



1) Um computador possui uma memória principal com capacidade para 4 Gbytes. Cada célula desta memória tem capacidade para 16 bits. Foi colocada neste computador uma memória cache de **mapeamento direto** com capacidade para 512 Kbytes. Cada linha desta cache tem capacidade para 64 bytes. Supondo que a CPU faça um acesso ao endereço (A2B1 2945)₁₆, Calcule:

- a) O total de bits do endereço;
- b) O total de bits para o número da coluna;
- c) O total de bits para o número da linha;
- d) O total de bits para a Tag;
- e) O número da coluna (em hexadecimal);
- f) O número da linha (em hexadecimal);
- g) O valor da Tag (em hexadecimal).

2) Um computador possui uma memória principal com capacidade para 8 Gbits. Cada célula desta memória tem capacidade para 2 bytes. Foi colocada neste computador uma memória cache de **mapeamento direto** com capacidade para 1 Mbyte. Cada linha desta cache tem capacidade para 16 células. Supondo que a CPU faça um acesso ao endereço (A92F CD1F)₁₆, Calcule:

- a) O total de bits do endereço;
- b) O total de bits para o número da coluna;
- c) O total de bits para o número da linha;
- d) O total de bits para a Tag;
- e) O número da coluna (em hexadecimal);
- f) O número da linha (em hexadecimal);
- g) O valor da Tag (em hexadecimal).

3) Um computador possui uma memória principal com capacidade para 2 Gbits. Cada célula desta memória tem capacidade para 1 byte. Foi colocada neste computador uma memória cache **puramente associativa** com capacidade para 512 Kbytes. Cada linha desta cache tem capacidade para 16 células. Supondo que a CPU faça um acesso ao endereço (D14B 7CB3)₁₆, Calcule:

- a) O total de bits do endereço;
- b) O total de bits para o número da coluna;
- c) O total de bits para a Tag;

- d) O número da coluna (em hexadecimal);
- e) O valor da Tag (em hexadecimal).

4) Um computador possui uma memória principal com capacidade para 16 Gbits. O Barramento de Endereços deste computador possui 30 bits. Foi colocado nele uma memória cache **puramente associativa** com capacidade para 1 Mbytes. Cada linha desta cache tem capacidade para 512 bits. Supondo que a CPU faça um acesso ao endereço $(0359\ 4BD5)_{16}$, Calcule:

- a) O total de bits do endereço;
- b) O total de bits para o número da coluna;
- c) O total de bits para a Tag;
- d) O número da coluna (em hexadecimal);
- e) O valor da Tag (em hexadecimal).

5) Um computador possui uma memória principal com capacidade para 4 Gbytes. Cada célula desta memória tem capacidade para 16 bits. Foi colocada neste computador uma memória cache **associativa por conjunto** com capacidade para 512 Kbytes. Cada linha desta cache tem capacidade para 64 bytes. Cada conjunto possui 2 linhas. Supondo que a CPU faça um acesso ao endereço $(73A1\ 49DE)_{16}$, Calcule:

- a) O total de bits do endereço;
- b) O total de bits para o número da coluna;
- c) O total de bits para o número do conjunto;
- d) O total de bits para a Tag;
- e) O número da coluna (em hexadecimal);
- f) O número do conjunto (em hexadecimal);
- g) O valor da Tag (em hexadecimal).

6) Um computador possui uma memória principal com capacidade para 2 Gbits. Cada célula desta memória tem capacidade para 2 bytes. Foi colocada neste computador uma memória cache **associativa por conjunto** com capacidade para 1 Mbyte. Cada linha desta cache tem capacidade para 512 bits. Cada conjunto possui 4 linhas. Supondo que a CPU faça um acesso ao endereço $(06ED\ C8AD)_{16}$, Calcule:

- a) O total de bits do endereço;
- b) O total de bits para o número da coluna;
- c) O total de bits para o número do conjunto;
- d) O total de bits para a Tag;
- e) O número da coluna (em hexadecimal);
- f) O número do conjunto (em hexadecimal);
- g) O valor da Tag (em hexadecimal).

7) Considere um drive de disco magnético com 12 superfícies, 1024 trilhas por superfície e 32 setores por trilha. O tamanho do setor é 2 kB. O tempo de busca médio é de 6 ms, o tempo de acesso de uma trilha para outra é de 1,25 ms, e o drive gira a 5.400 rpm. As trilhas sucessivas de um cilindro podem ser lidas sem movimento da cabeça.

- a) Qual a capacidade do disco?
- b) Qual o tempo médio de acesso?
- c) Estime o tempo necessário para transferir um arquivo de 10 MB. Suponha que esse arquivo seja armazenado em setores sucessivos e trilhas de cilindros sucessivos, começando no setor 0, trilha 0 do cilindro 0.
- d) Qual é a taxa de transferência de rajada (burst rate)?

8) Considere um disco com um único prato, com os seguintes parâmetros: velocidade de rotação: 7200 rpm; número de trilhas em um lado da placa: 40.000; número de setores por trilha: 800; tempo de busca: 1,2 ms para cada 100 trilhas atravessadas. Considere que o disco recebe uma solicitação para acessar um setor aleatório em uma trilha aleatória e suponha que a cabeça do disco comece na trilha 0.

- a) Qual o tempo médio de busca?
- b) Qual é a latência rotacional?
- c) Qual é o tempo de transferência para um setor?
- d) Qual é o tempo total médio para atender a uma solicitação?

9) Um microprocessador verifica o estado de um dispositivo de saída a cada 20 ms. Isso é feito por meio de um timer que alerta o processador a cada 20 ms. A interface do dispositivo inclui duas portas: uma para estado e uma para saída de dados. Quanto tempo é necessário para verificar e atender ao dispositivo, dada uma taxa de clock de 8 MHz? Suponha, para simplificar, que todos os ciclos de instrução pertinentes sejam de 12 ciclos de clock.

10) Um sistema em particular é controlado por um operador por meio de comandos digitados em um teclado. O número médio de comandos inseridos em um intervalo de 8 horas é 60.

- a) Suponha que o processador verifique o teclado a cada 100 ms. Quantas vezes o teclado será verificado em um período de 8 horas?
- b) Por que fração o número de verificações do processador ao teclado seria reduzido se fosse usada a E/S controlada por interrupção?

11) Um módulo DMA está transferindo caracteres para uma memória usando roubo de ciclo, a partir de um dispositivo transmitindo a 9.600 bps. O processador está buscando instruções na taxa de 1 milhão de instruções por segundo (1 MIPS). Por quanto tempo o processador será atrasado por conta da atividade de DMA?

12) Considere um sistema em que os ciclos do barramento levem 500 ns. A transferência do controle do barramento em qualquer direção, do processador para o dispositivo de E/S ou vice-

versa, leva 250 ns. Um dos dispositivos de E/S tem uma taxa de transferência de 50 kB/s e emprega DMA. Os dados são transferidos 1 byte de cada vez.

- a) Suponha que empreguemos DMA em modo de bloco. Ou seja, a interface DMA ganha controle do barramento antes do início de uma transferência em bloco e mantém o controle do barramento até que o bloco inteiro seja transferido. Por quanto tempo o dispositivo prenderia o barramento ao transferir um bloco de 128 bytes?
- b) Repita o cálculo para o modo de roubo de ciclo.