

PONTIFÍCIA UNIVERSIDADE CATÓLICA DO RIO GRANDE DO SUL
FACULDADE DE ENGENHARIA / FACULDADE DE INFORMÁTICA
CURSO DE ENGENHARIA DE COMPUTAÇÃO
DISCIPLINA: Projetos de Sistemas Integrados II
Profa. Dra. Letícia Maria Bolzani Pöhls

Devem ser entregues:

1. Arquivo compactado contendo todos os arquivos do trabalho
2. Relatório descritivo das etapas do trabalho (Atenção: Não copiar os scripts no relatório!)

Etapa T1_1: (**VALIDAÇÃO**: Simulação Funcional)

Realizar simulação com o objetivo de validar funcionalmente o design. Abaixo segue a lista dos arquivos/documentação que devem ser gerados/entregues durante esta Etapa:

- Script para simulação (*RTL_compile.do*)
- Dados relacionados à Code Coverage
 - File .vcd (Value Change Dump)
 - Relatório descritivo

Tarefa A_T1_1: Identifique 2 de 5 métricas que necessitem ser maximizadas e implemente modificações no testbench a fim de maximiza-las. O relatório deve conter a descrição das 5 métricas e uma explicação da estratégia adotada para maximizar as 2 métricas escolhidas.

Tarefa B_T1_1: Implemente um algoritmo em C ou C++ que leia o arquivo .vcd, indique o número de sinais que compõem cada módulo funcional e calcule o consumo de Dynamic Power do design. A saída deve mostrar de forma estruturada o nome do bloco funcional seguido de seus sinais, bem como os valores de Dynamic Power por bloco funcional e total.

Etapa T1_2: (**FRONT-END**: Síntese Comportamental)

Abaixo segue a lista dos arquivos/documentação que devem ser gerados/entregues durante esta Etapa:

- Relatório descritivo (documento com a descrição detalhada do trabalho)
- Script detalhado criado para a Síntese RTL com todos os comandos comentados (*script_rtl.tcl*)
 - Arquivo de variáveis (*settings_rtl.tcl*)
 - Arquivo SDC (*constraints_pre_rtl.sdc*)
 - Arquivo MMMC (*configuration_pre_rtl_mmmc.tcl*)
 - Netlist pós síntese comportamental (*design_pos_rtl.v*)
- Arquivo .sdc pós síntese comportamental (*constraints_pos_rtl.sdc*)
 - Arquivo .sdf pós síntese comportamental (*timing_pos_rtl.sdf*)
 - Arquivos para síntese física
- Relatórios gerados pela ferramenta de *power*, *timing* e *area*. Os resultados desses relatórios devem ser comentados pelo grupo

Tarefa A_T1_2: Identifique o número de Registros de Clock Gating introduzidos na versão low power do design.

Tarefa B_T1_2: Analise o relatório de timing da versão sintetizada com a biblioteca nominal e desenhe o fanout do caminho crítico (células, instâncias e interconexões). Descreva como é feito o cálculo e identificação deste caminho.

Tarefa C_T1_2: Analise e gere gráficos que comparem os resultados obtidos nos relatórios de timing, power e área para cada uma das versões sintetizadas (7 versões).

Durante a etapa de síntese comportamental, devem ser gerados resultados considerando bibliotecas referentes aos três corners (worst, nominal, best) e a síntese deve ser feita aplicando pelo menos dois diferentes esforços de síntese (low e high). Além disso, deve também ser realizada uma síntese orientada à low power que utilize o maior esforço de síntese e a biblioteca typical.

A escolha da frequência de clock deve ser feita com base na análise do slack time pós-síntese RTL. Assim, o design deve ser sintetizado com a maior frequência de clock possível.