

Arquitetura e Organização de Computadores

Guilherme Henrique de Souza Nakahata

Universidade Estadual do Paraná - Unespar

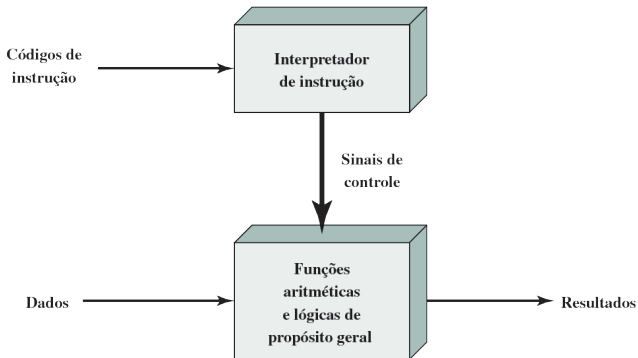
18 de Abril de 2023

- Abordagens de hardware e software - programação no hardware:



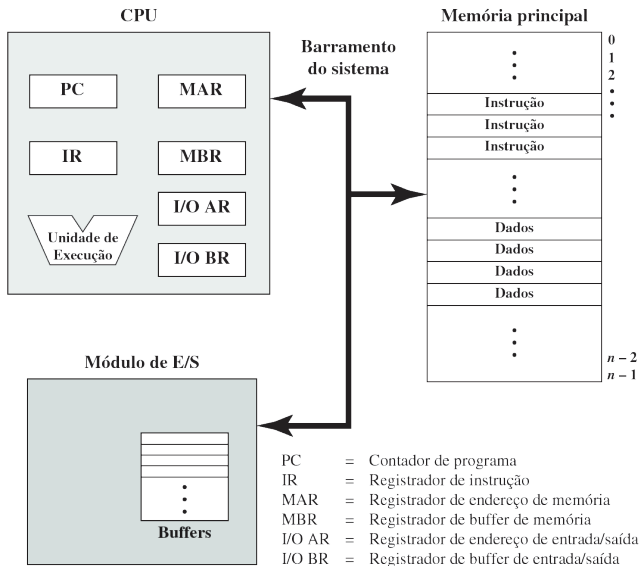
Componentes do computador

- Abordagens de hardware e software - programação no software:



Componentes do computador

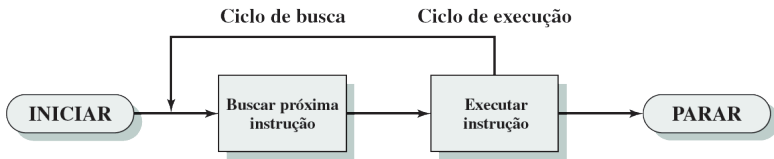
- Componentes do computador - vista de nível superior:



- A função básica realizada por um computador é a execução de um programa, que consiste em um conjunto de instruções armazenadas na memória.
- O processamento exigido para uma única instrução é chamado de **ciclo de instrução**.

Componentes do computador

- Ciclo de instrução básico:
- As duas etapas são conhecidas como ciclo de busca (fetch) e ciclo de execução.



Componentes do computador

- No início de cada ciclo de instrução, o processador busca uma instrução da memória.
- Em um processador típico, um registrador chamado **contador de programa (PC)** mantém o endereço da instrução a ser buscada em seguida.
- O processador sempre incrementa o PC após cada busca de instrução, de modo que buscará a próxima instrução em sequência (ou seja, a instrução localizada no próximo endereço de memória mais alto).

Busca e execução de instruções

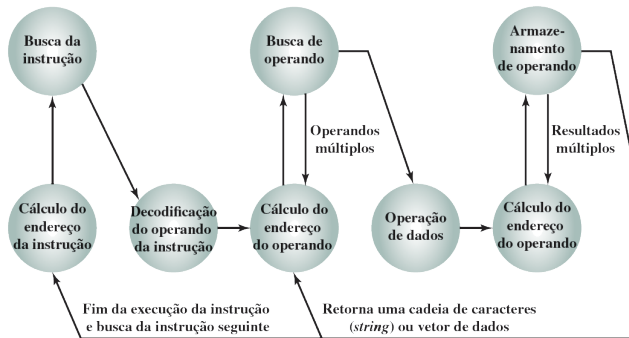
- O processador interpreta a instrução e realiza a ação solicitada.
- Em geral, essas ações estão em uma destas **quatro** categorias:
- Processador-memória: os dados podem ser transferidos do processador para a memória ou da memória para o processador.
- Processador-E/S: os dados podem ser transferidos de ou para um dispositivo periférico, transferindo entre o processador e um módulo de E/S.

Busca e execução de instruções

- Processamento de dados: o processador pode realizar alguma operação aritmética ou lógica sobre os dados.
- Controle: uma instrução pode especificar que a sequência de execução seja alterada.
- Além disso, em vez de referências à memória, uma instrução pode especificar uma operação de E/S.

Busca e execução de instruções

- Diagrama de estado de ciclo de instrução:

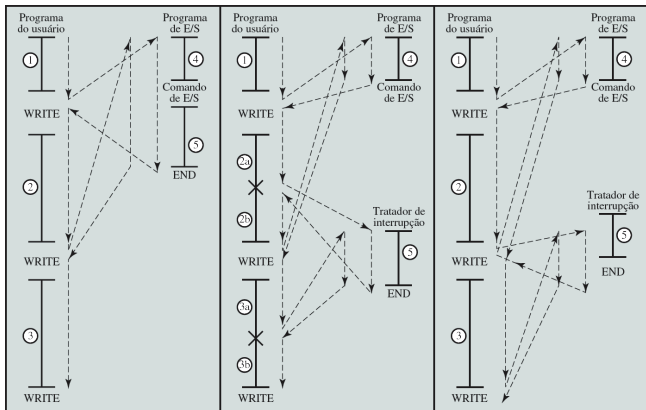


- As interrupções são fornecidas como um modo de melhorar a eficiência do processamento.
- Com as interrupções, o processador pode estar engajado na execução de outras instruções enquanto uma operação de E/S está em andamento.
- Depois que essas poucas instruções tiverem sido executadas, o controle retorna ao programa do usuário.
- Enquanto isso, o dispositivo externo está ocupado aceitando e imprimindo dados vindos da memória do computador.

- Essa operação de E/S é realizada simultaneamente com a execução de instruções no programa do usuário.
- Quando o dispositivo externo está pronto para ser atendido, o módulo de E/S para o dispositivo externo envia um sinal de requisição de interrupção ao processador.
- O processador responde suspendendo a operação do programa atual, desviando para um programa para atender a esse dispositivo de E/S em particular, conhecido como tratador de interrupção, e retomando a execução original depois que o dispositivo for atendido.

Interrupções

- Fluxo de controle de um programa sem e com interrupções:

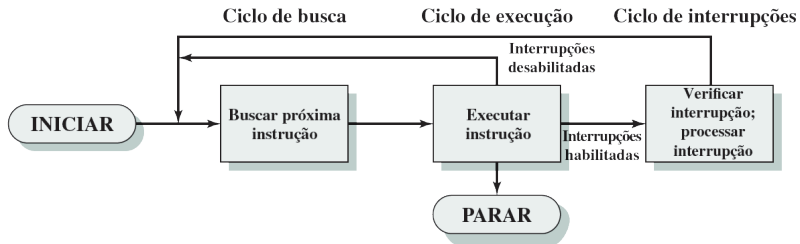


(a) Sem interrupções

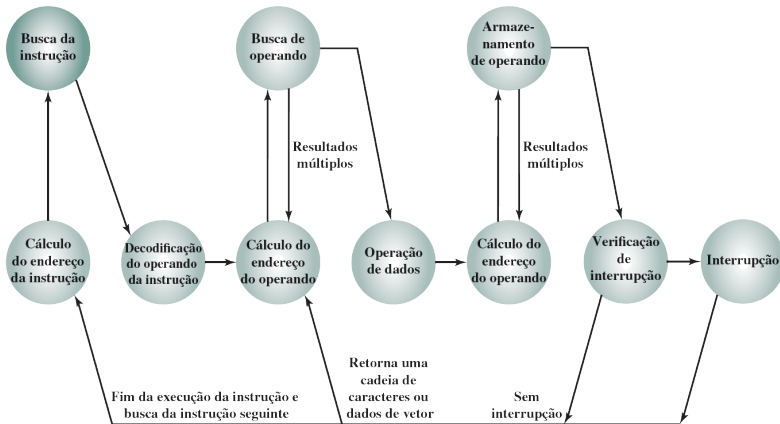
(b) Interrupções; curta espera de E/S

(c) Interrupções; longa espera de E/S

- Ciclo de instruções com interrupção:



- Diagrama do estado de ciclo de instruções, com interrupções:

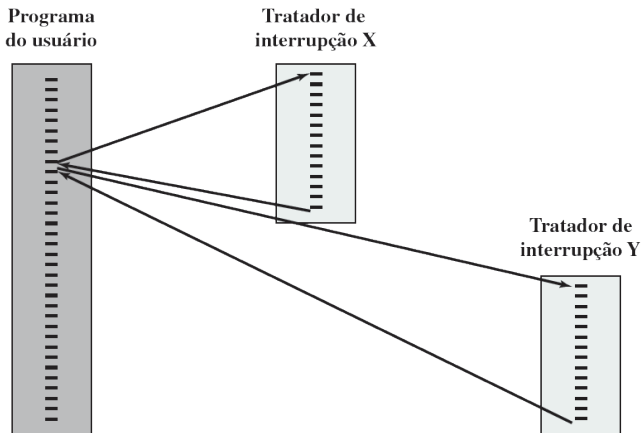


Interrupções múltiplas

- Duas técnicas podem ser utilizadas para lidar com **múltiplas interrupções**:
- Desativar as interrupções enquanto uma interrupção estiver sendo processada.
- Uma interrupção desabilitada significa simplesmente que o processador pode ignorar e ignorará esse sinal de requisição de interrupção.
- Definir prioridades para interrupções e permitir que uma interrupção de maior prioridade faça com que um tratamento de interrupção com menor prioridade seja interrompido.

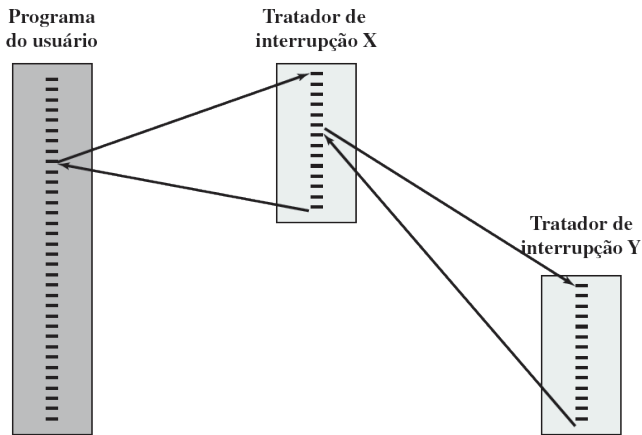
Interrupções múltiplas

- Transferência de controle com múltiplas interrupções - processamento de interrupção sequencial:



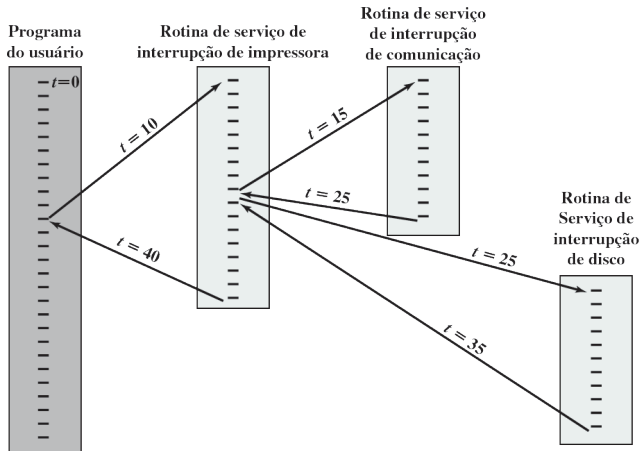
Interrupções múltiplas

- Transferência de controle com múltiplas interrupções - processamento de interrupção aninhado:



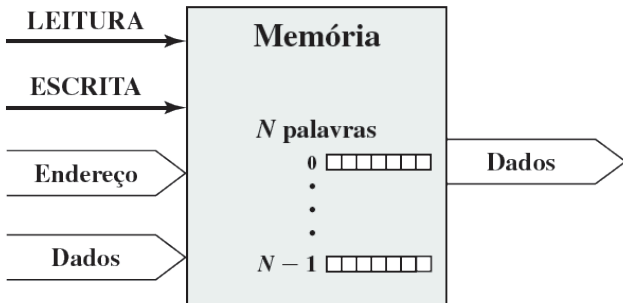
Interrupções múltiplas

- Exemplo de sequência de tempo de múltiplas interrupções:

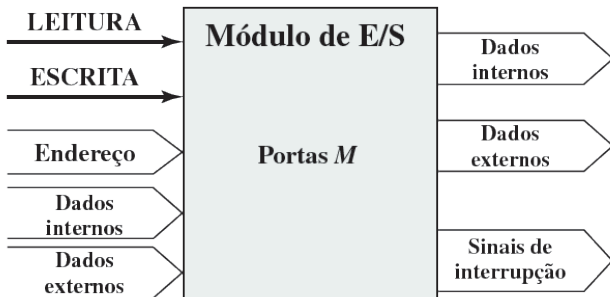


- O conjunto de caminhos conectando os diversos módulos é chamado de **estrutura de interconexão**.
- O projeto dessa estrutura depende das trocas que precisam ser feitas entre os módulos.
- As principais formas de entrada e saída para cada tipo de módulo:
 - Memória
 - Módulo de E/S
 - Processador

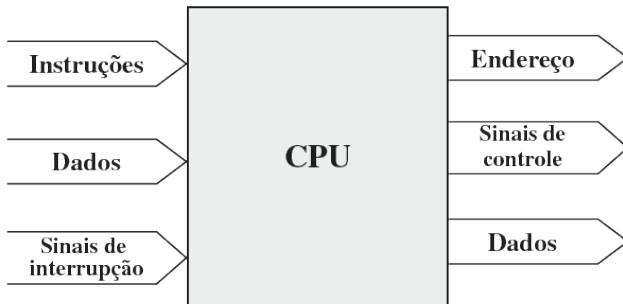
- Módulos do computador:



- Módulos do computador:



- Módulos do computador:



- A estrutura de interconexão deve admitir os seguintes tipos de transferências:
 - Memória para processador
 - Processador para memória
 - E/S para processador
 - Processador para E/S
 - E/S de ou para a memória

- Um **barramento** é um caminho de comunicação que conecta dois ou mais dispositivos.
- Um meio de transmissão compartilhado.
- Cada linha é capaz de transmitir sinais representando o binário 0 e 1.
- Com o tempo, uma sequência de dígitos binários pode ser transmitida por uma única linha. Juntas, várias linhas de um barramento podem ser usadas para transmitir dígitos binários simultaneamente (em paralelo).

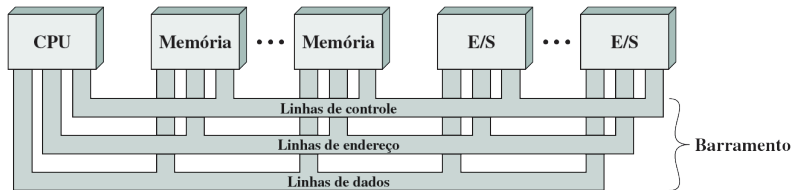
- Um barramento que conecta os principais componentes do computador (processador, memória, E/S) é chamado de **barramento do sistema**.
- Um barramento do sistema consiste, normalmente, em cerca de 50 a centenas de linhas separadas.
- As linhas de dados oferecem um caminho para movimentação de dados entre os módulos do sistema.
- Essas linhas, coletivamente, são chamadas de barramento de dados.

- As linhas de endereço são usadas para designar a origem ou o destino dos dados no barramento de dados.
- As linhas de controle são usadas para controlar o acesso e o uso das linhas de dados e endereço.
- As linhas de controle típicas incluem:
 - Escrita de memória
 - Leitura de memória
 - Escrita de E/S

- Leitura de E/S
- ACK de transferência
- Solicitação de barramento (bus request)
- Concessão de barramento (bus grant)
- Requisição de interrupção (interrupt request)
- ACK de interrupção (interrupt acknowledge)
- Clock
- Reset

Interconexão de barramento

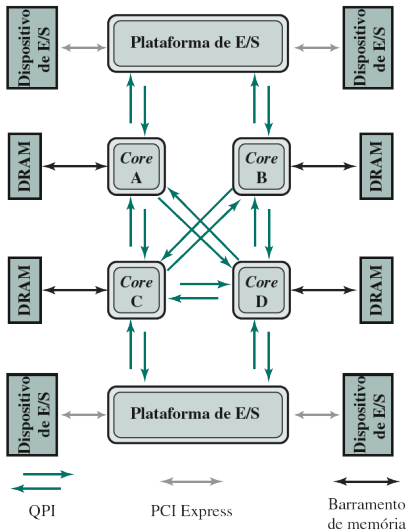
- Esquema de interconexão de barramento:



- Em comparação com o barramento compartilhado, a **interconexão ponto a ponto** tem menor latência, maior taxa de dados e melhor escalabilidade.
- Características significativas da QuickPath Interconnect (QPI):
 - Conexões diretas múltiplas
 - Arquitetura de protocolo em camadas
 - Transferência de dados em pacotes

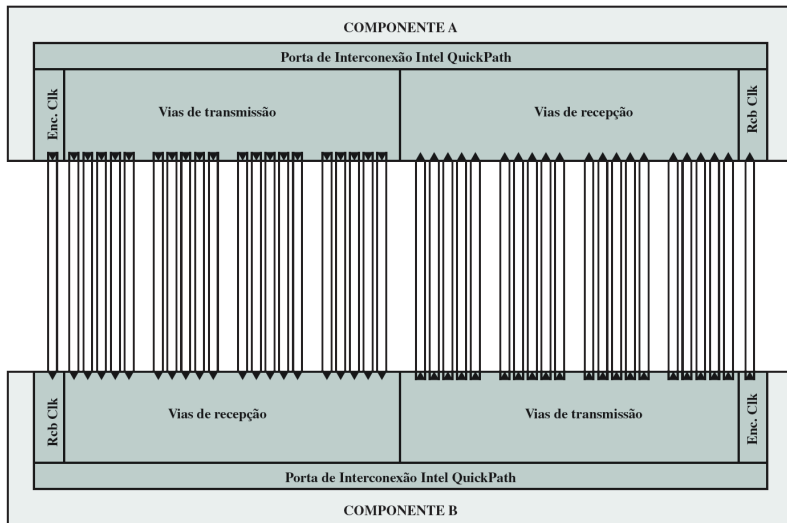
Interconexão ponto a ponto

- Configuração multicore usando QPI:



QPI – Camada física:

- Interface física da interconexão da Intel QPI:



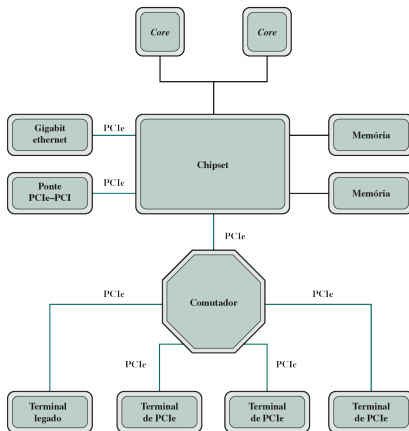
- Define-se QPI como uma arquitetura de protocolo de quatro camadas, que abrange as seguintes camadas:
- Física
- Ligação
- Roteamento
- Protocolo

- A **camada de ligação** QPI desempenha duas funções-chave: controle de fluxo e controle de erro.
- A **camada de roteamento** é usada para determinar o caminho que um pacote vai trafegar através de interconexões disponíveis do sistema.
- A **camada de protocolo** define a unidade de transferência.

- O barramento **PCI** (do inglês, Peripheral Component Interconnect) é um barramento de grande largura de banda, independente de processador, que pode funcionar como uma unidade intermediária ou barramento de periféricos.
- A PCI oferece melhor desempenho de sistema para subsistemas de E/S de alta velocidade.
- Uma nova versão, conhecida como **PCI Express** (PCIe) foi desenvolvida.
- A PCIe é um esquema de interconexão ponto a ponto que visa substituir os esquemas baseados em barramento, como a PCI.

PCI – Arquitetura física e lógica

- Configuração comum usando PCIe:



- STALLINGS, W. **Arquitetura e Organização de Computadores**. 10 ed. São Paulo: Pearson, 2017;
- TANENBAUM, A. S. **Organização Estruturada de Computadores**. 5 ed. Pearson 2007;
- HENNESY, J. PATTERSON, D. **Organização e Projeto de Computadores**. 3 ed. Editora Campus, 2005.

Obrigado! Dúvidas?

Guilherme Henrique de Souza Nakahata

guilhermenakahata@gmail.com

<https://github.com/GuilhermeNakahata/UNESPAR-2023>