

Projeto Final de Prática de Eletrônica Digital 1 Controlador de Semáforo de um Cruzamento

1. Objetivo

Ao final do semestre, os alunos devem desenvolver uma aplicação real usando os conceitos aprendidos durante a disciplina. Neste caso, o objetivo é implementar o controlador de semáforo de um cruzamento entre uma Rua Principal e uma Rua Lateral (Figura 1). A sequência de operação é definida a seguir:

- A luz verde da Rua Principal (MG) permanece acesa por no mínimo 25 s ou enquanto não houver veículos na Rua Lateral;
- A luz verde da Rua Lateral (SG) permanece acesa até que não haja mais nenhum veículo nela, sendo que a duração máxima é de 25 s;
- As luzes amarelas (MY e SY) permanecem ligadas por 4 s entre as mudanças de verde para vermelho.

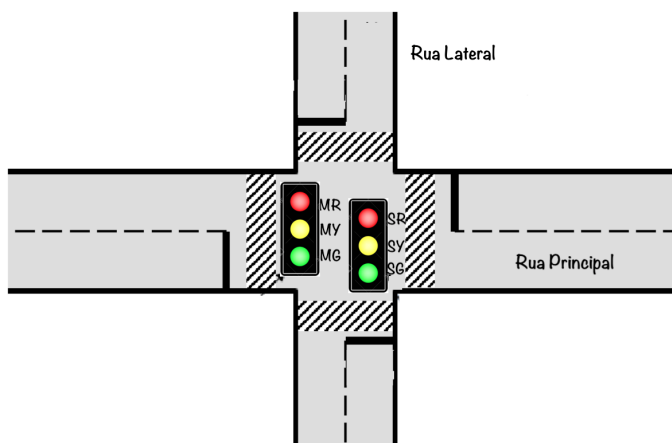


Figura 1 – Cruzamento entre rua principal e rua lateral

2. Especificação

2.1. Diagrama de estados

O diagrama da Figura 2 mostra a sequência de estados, as saídas para cada estado e as condições para as transições entre os mesmos. As variáveis são:

- V_S : Representa o sensor da Rua Lateral. Quando igual a 1, indica que há veículo(s) na mesma;
- T_L : Representa o *timer* de maior duração (*long timer*). Quando igual a 1, indica que está ligado. O *long timer* desliga após 25 s;
- T_S : Representa o *timer* de menor duração (*short timer*). Quando igual a 1, indica que está ligado. O *short timer* desliga após 4 s;

Os 4 estados estão descritos a seguir. Observe que eles estão codificados de acordo com a sequência de Gray.

- **First State (00):** Nesse estado, a luz verde da Rua Principal (MG) e a vermelha da Rua Lateral (SR) permanecem acesas enquanto não houver nenhum carro na Rua Lateral ($V_S = 0$) **ou** o *long timer* estiver ligado ($T_L = 1$), indicando que ainda não se passaram 25 s. O sistema muda para o próximo estado quando o *long timer* é desligado ($T_L = 0$) **e** há veículo(s) na Rua Lateral ($V_S = 1$).
- **Second State (01):** Nesse estado, a luz amarela da Rua Principal (MY) e a luz vermelha da Rua Lateral (SR) permanecem acesas enquanto o *short timer* estiver ligado ($T_S = 1$). O sistema muda para o próximo estado após 4 s, quando o *short timer* é desligado ($T_S = 0$).
- **Third State (11):** Nesse estado, a luz vermelha da Rua Principal (MR) e a verde da Rua Lateral (SG) permanecem acesas enquanto houver veículo(s) na Rua Lateral ($V_S = 1$) **e** o *long timer* estiver ligado ($T_L = 1$). O sistema muda para o próximo estado quando o *long timer* for desligado ($T_L = 0$) **ou** quando não houver veículo(s) na Rua Lateral ($V_S = 0$).
- **Fourth State (10):** Nesse estado, a luz vermelha da Rua Principal (MR) e a luz amarela da Rua Lateral (SY) permanecem acesas por 4 s, enquanto o *short timer* estiver ligado ($T_S = 1$). O sistema muda para o próximo estado quando o *short timer* é desligado ($T_S = 0$).

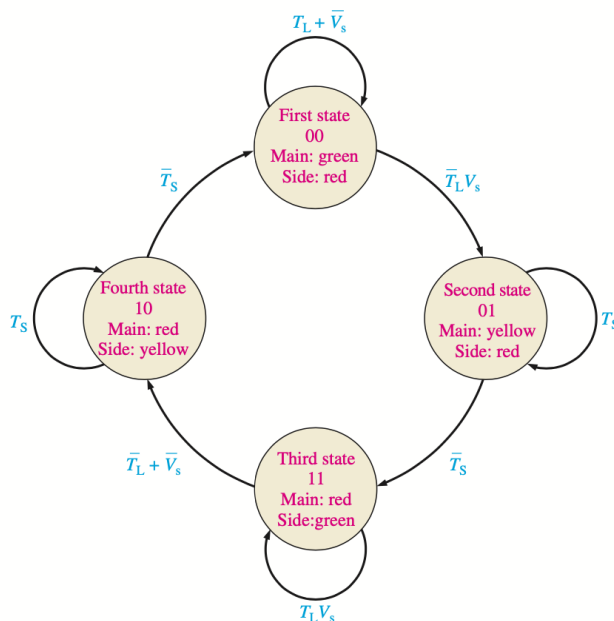


Figura 2 – Diagrama de estados [1]

2.2. Diagrama de Blocos

O controlador é composto por 3 blocos: (1) lógica combinacional, (2) lógica sequencial e (3) circuitos de temporização, conforme mostra a Figura 3.

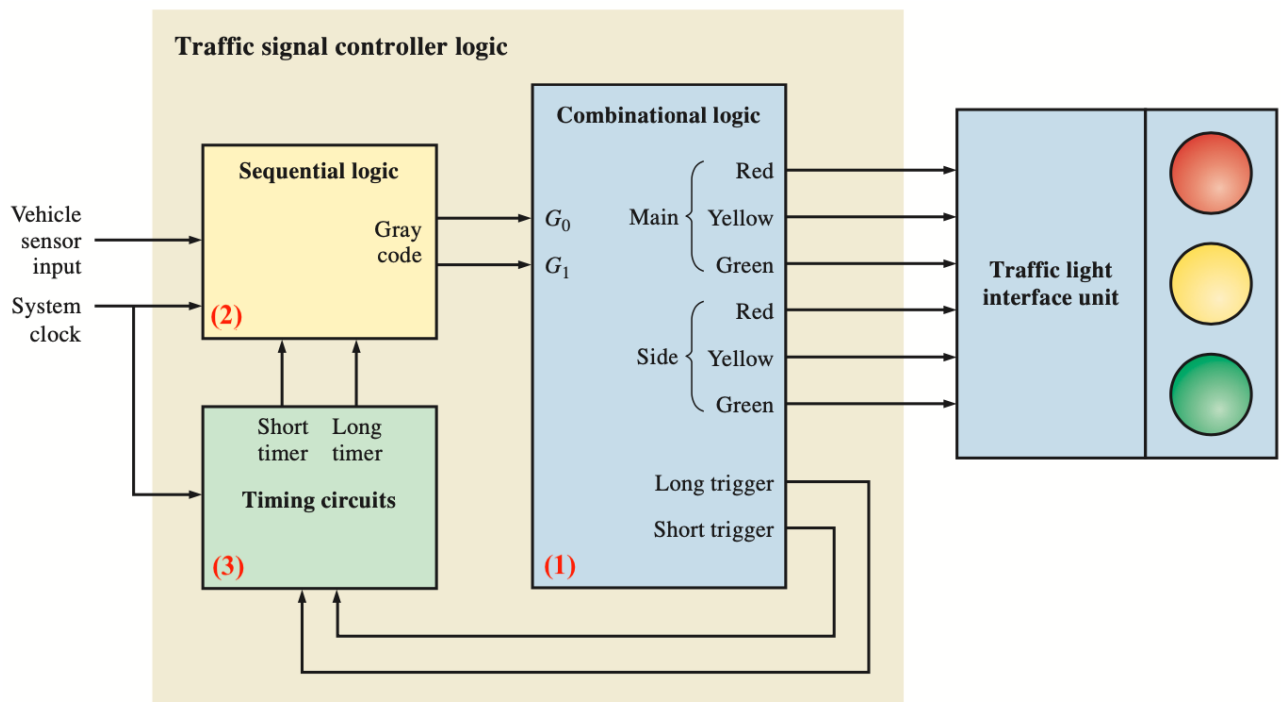


Figura 3 – Diagrama de blocos [1]

O bloco de lógica combinacional (1) fornece as saídas para acionar as luzes dos semáforos e ambos os *timers*. As entradas desse bloco são as variáveis G_0 e G_1 , que representam os quatro estados do diagrama da Figura 2, conforme detalha a Figura 4.

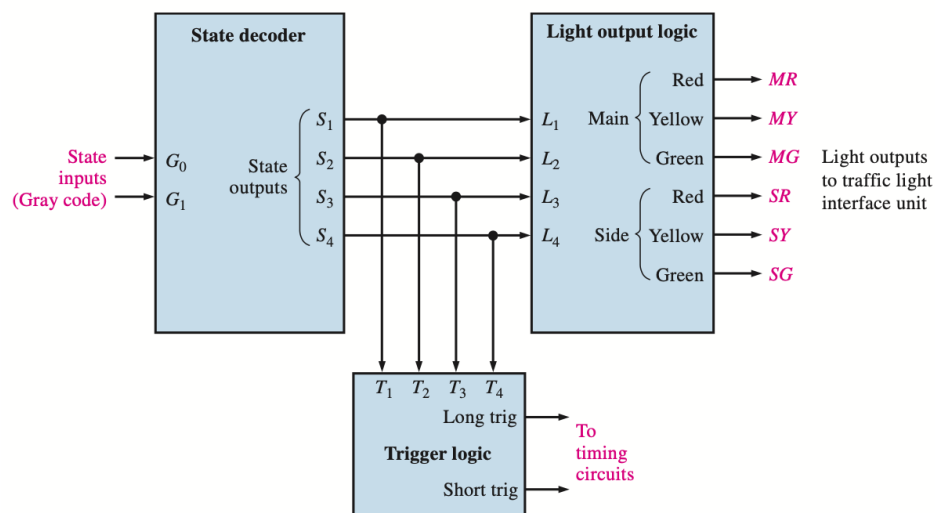


Figura 4 – Bloco de lógica combinacional (1) [1]

A Figura 5a mostra o decodificador que gera as saídas S_1 , S_2 , S_3 e S_4 a partir das variáveis G_0 e G_1 , e a Figura 5b, a lógica para acionar as saídas. A Figura 5c contém a lógica que produz as saídas para acionar os *timers* de 25 s (no início do primeiro e do terceiro estados) e 4 s (no início do segundo e do quarto estados).

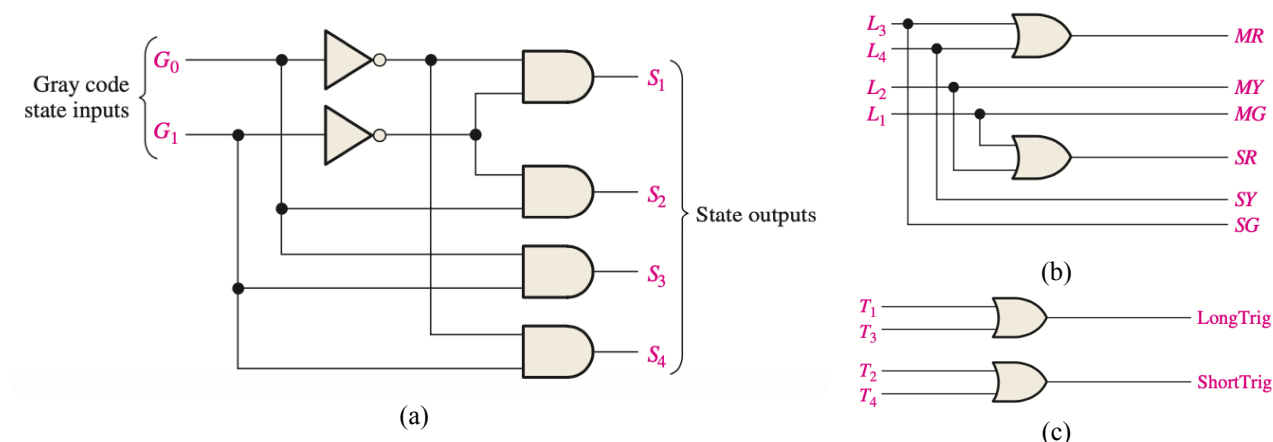


Figura 5 – Decodificador de estados (a) e lógicas de saída (b) e de *trigger* para os *timers* (c) [1]

Os códigos de Gray da sequência de estados são produzidos pelo bloco (2) da Figura 3, com base nas entradas dos circuitos de temporização (T_S e T_L) e no sensor de veículos da Rua Lateral (V_S), conforme mostra a Figura 6.

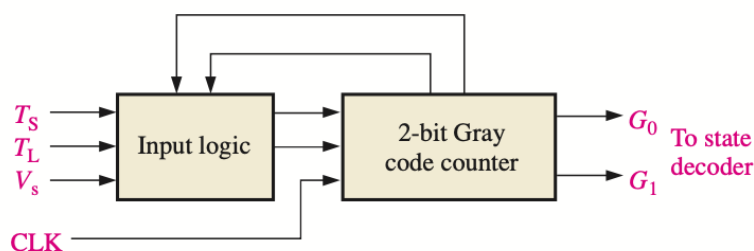


Figura 6 – Diagrama de blocos da lógica sequencial [1]

O bloco (3) da Figura 3 fornece as saídas de 25 s e 4 s. Nesse caso, é necessário usar um divisor de clock para gerar a frequência de 1 Hz (Figura 7).

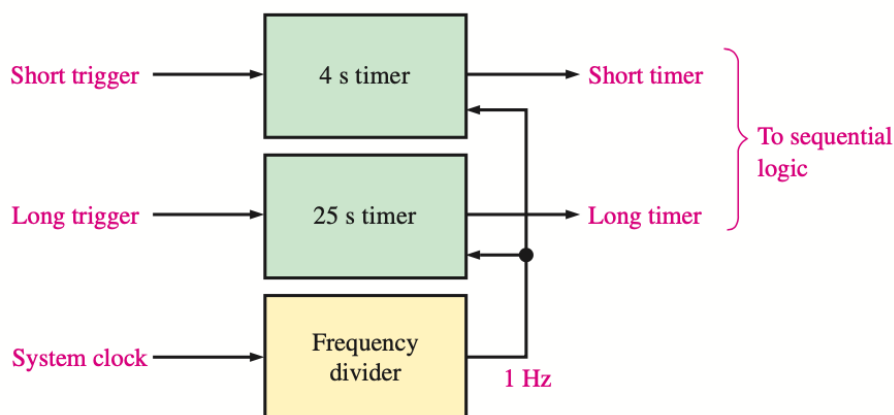


Figura 7 – Diagrama de blocos dos circuitos de temporização [1]

As saídas do timer de 25 s (T_L) e de 4 s (T_S) podem ser obtidas a partir de contadores operando com a frequência de 1 Hz (saída do divisor de clock), disparados pelos *triggers* (*long* e *short*, respectivamente).

3. Procedimento

Os estudantes serão divididos em grupos de até 3 integrantes. Os grupos de cada turma deverão implementar o sistema completo descrito na especificação (Figura 8).

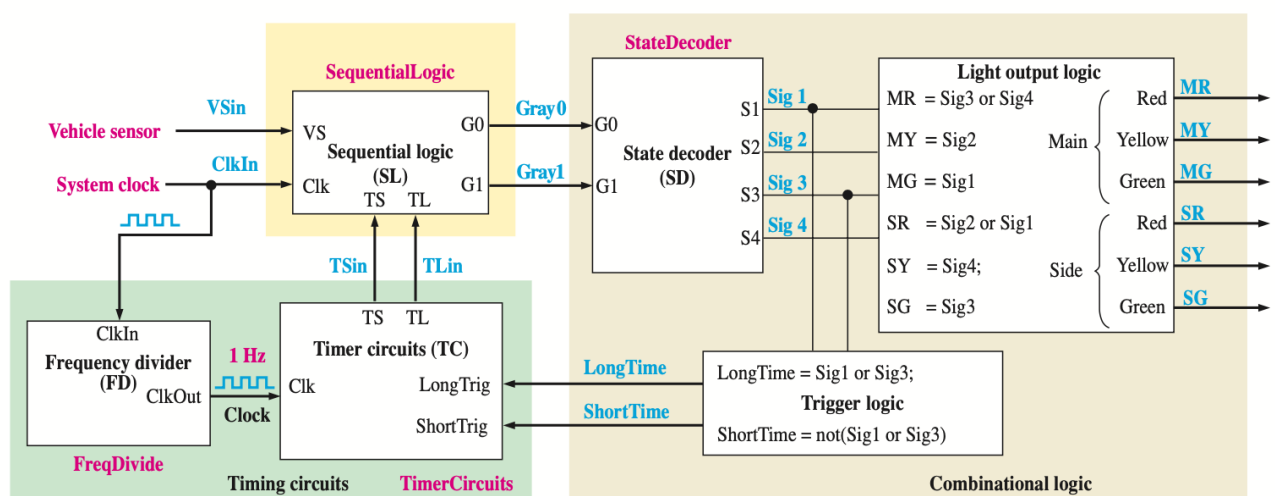


Figura 8 – Diagrama do controlador de semáforo [1]

Cada estudante deverá ficar responsável por ao menos um bloco (1, 2 e 3), que deve ser descrito e simulado de forma independente usando um *testbench*. Após a validação, os blocos deverão ser integrados e o sistema completo deverá ser testado usando um *testbench*. O sistema completo deverá ser testado na Basys3, de maneira a demonstrar o seu correto funcionamento. Caso necessite de alguma especificação que não tenha sido descrita neste roteiro, o grupo poderá definir o que considerar mais adequado, desde que justifique na apresentação final.

4. Avaliação

O projeto completo deve ser enviado pelo Moodle dentro do prazo estipulado e **por apenas um dos integrantes** da equipe. Os arquivos a seguir deverão ser enviados:

- Pasta do projeto no Vivado compactada. Os arquivos **.vhd** dos componentes devem incluir o nome do autor nos comentários.
- Vídeos contendo a simulação de cada componente do sistema (apresentado pelo autor do componente), a simulação do sistema completo, a implementação e teste no LabRemoto, de preferência com os mesmos estímulos utilizados no *testbench*.
- Relatório técnico usando o *template* IEEE para conferência e contendo:

(1,0) Resumo: descrição resumida do problema, da solução adotada e dos resultados.

(1,0) Especificação (meia-página, no máximo): resumo da funcionalidade esperada do sistema, incluindo quaisquer alterações que tenham sido feitas, e dos recursos que serão utilizados para implementação e teste.

(2,0) Procedimentos: descrição do que foi feito (passo-a-passo) durante a execução do projeto, desde a divisão dos blocos até o teste na placa.

(2,0) Implementação em VHDL: descrição resumida de como cada bloco foi codificado e simulado, e de como a integração foi feita (podem ser incluídos **trechos** de códigos e figuras com resultados de simulação).

(2,5) Resultados e Discussão: descrição dos testes realizados na placa e comparação dos resultados obtidos com os esperados. Caso algum comportamento inesperado tenha surgido, apresentar as possíveis razões. Por fim, incluir os esquemáticos obtidos na análise RTL e na síntese, e dados dos relatórios de síntese, como % de ocupação da placa, consumo de potência e atrasos.

(1,0) Conclusão: resumo do que foi feito e dos resultados obtidos, bem como indicação de possíveis melhorias.

(0,5) Referências bibliográficas.

A avaliação do projeto será feita com base nesses arquivos e o professor conferirá o funcionamento e questionará as técnicas utilizadas no desenvolvimento.

5. Datas Importantes

- **02/09 (sexta):** Envio das equipes e divisão de trabalho
- **09/09 (sexta):** Envio do arquivo VHDL top-level do projeto (“esqueleto” contendo a entidade com entradas e saídas e com declaração dos componentes)
- **16/09 (sexta):** Envio da descrição VHDL dos componentes isolados (blocos 1, 2 e 3)
- **20/09 (terça):** Envio dos arquivos do projeto descritos no item 4 para avaliação
- **23/09(sexta):** Envio do relatório

Referência:

[1] Floyd, T. L., *Sistemas Digitais: Fundamentos e Aplicações*, 9a. Edição, Bookman, 2007

Bom trabalho!