

**ESTE PROJETO VISA ENTENDER A APLICAÇÃO E CONSTRUÇÃO DE
CONCEITOS VISTOS EM SALA DE AULA, SENDO ELES: ULA(UNIDADE
LÓGICA E ARITMÉTRICA) E O SOMADOR BCD.**

RELATÓRIO DESCRITIVO

CAMPO DA INVENÇÃO

[001] A ULA é responsável por operações matemáticas entre dois vetores de 4 bits . São elas: Adição, subtração, XOR, AND, lógica relacional: <, =, >.

Cada operação é escolhida de acordo com os seletores de entrada.

Sua saída é representada por vetor: número inteiro, bit de overflow e saída relacional.

ANTERIORIDADES

DESCRIÇÃO GERAL

[002] A ULA é composta de 9 módulos operacionais, sendo eles:

1. Somador/Subtrator: Componente que realiza a operação de soma ou subtração entre dois vetores de 4 bits, tendo como saída outro vetor e 4 bits. A operação escolhida dependerá do bit de entrada(CIn), no qual, se o mesmo for 0, o bloco realizará a operação de soma, caso contrário, o bloco realizará a operação de subtração.
2. Comparador-Igual: Componente que realiza comparação entre dois vetores de 4 bits, tendo como saída um bit, sinalizando se o vetor A é igual ao vetor B.
3. Comparador-Maior-Que: Componente que realiza comparação entre dois vetores de 4 bits, tendo como saída um bit, sinalizando se o vetor A é maior que o vetor B.
4. Comparador-Menor-Que: Componente que realiza comparação entre dois vetores de 4 bits, tendo como saída um bit, sinalizando se o vetor A é menor que o vetor B.

5. Vector_XOR: Componente que realiza a operação XOR entre cada um dos 4 bits de A e B, do menos significativo para o mais significativo.
6. Vector_AND: Componente que realiza a operação AND entre cada um dos 4 bits de A e B, do menos significativo para o mais significativo.
7. IsOverflow: Componente que realiza a checagem de overflow, tendo como saída um bit.
8. Binary_MUX: Componente que realiza a seleção entre os componentes de entrada: Comparador_Menor_Que, Comparador_Maior_Que e Comparador_Igual. Tendo como saída o bit resposta da operação selecionada.
9. Vector_MUX: Componente que realiza a seleção entre os componentes de entrada: Soma/Subtrator, Vector-AND e Vector-XOR. Tendo como saída o vetor resposta da operação selecionada.

Descrição de Imagens da ULA:As imagens da ULA serão anexadas no repositório do projeto.

Figura Circuito do módulo Somador/Subtrator implementado no Quartus II.

Figura Waveform do módulo Somador/Subtrator implementado no Quartus II.

Figura Tabela-Verdade bit a bit do módulo Soma/Subtrator. Por o módulo operar com vetores de 4 bits, é feita a operação de soma 4 vezes . A tabela verdade da operação de subtração se baseia na mesma da tabela verdade da operação de soma, com o adicional do bit B sendo barrado e o Carry In com bit 1.

Figura Mapa de Karnaugh do módulo Somador/Subtrator.

Figura Circuito do módulo Comparador-Igual implementado no Quartus II.

Figura Waveform do módulo Comparador-Igual implementado no Quartus II.

Figura Tabela-Verdade bit a bit do módulo Comparador-Igual. Por o módulo operar com vetores de 4 bits, é feita a operação 4 vezes.

Figura Mapa de Karnaugh do módulo Comparador-Igual.

Figura Circuito do módulo Comparador-Maior implementado no Quartus II.

Figura Waveform do módulo Comparador-Maior implementado no Quartus II.

Figura Tabela-Verdade bit a bit do módulo Comparador-Maior. Por o módulo operar com vetores de 4 bits, é feita a operação 4 vezes.

Figura Mapa de Karnaugh do módulo Comparador-Maior.

Figura Circuito do módulo Comparador-Menor implementado no Quartus II.

Figura Waveform do módulo Comparador-Menor implementado no Quartus II.

Figura Tabela-Verdade bit a bit do módulo Comparador-Menor. Por o módulo operar com vetores de 4 bits, é feita a operação 4 vezes.

Figura Mapa de Karnaugh do módulo Comparador-Menor.

Figura Circuito do módulo Vector-XOR implementado no Quartus II.

Figura Waveform do módulo Vector-XOR implementado no Quartus II.

Figura Tabela-Verdade bit a bit do módulo Vector-XOR. Por o módulo operar com vetores de 4 bits, é feita a operação 4 vezes.

Figura Mapa de Karnaugh do módulo Vector-XOR.

Figura Circuito do módulo Vector-AND implementado no Quartus II.

Figura Waveform do módulo Vector-AND implementado no Quartus II.

Figura Tabela-Verdade bit a bit do módulo Vector-AND. Por o módulo operar com vetores de 4 bits, é feita a operação 4 vezes.

Figura Mapa de Karnaugh do módulo Vector-AND.

Figura Circuito do módulo Binary_MUX implementado no Quartus II.

Figura Waveform do módulo Binary_MUX implementado no Quartus II.

Figura Tabela-Verdade bit a bit do módulo Binary_MUX. Por ser um multiplexador, a saída será escolhida de acordo com os seletores.

Figura Mapa de Karnaugh do módulo Binary_MUX.

Figura Circuito do módulo Vector_MUX implementado no Quartus II.

Figura Waveform do módulo Vector_MUX implementado no Quartus II.

Figura Tabela-Verdade bit a bit do módulo Vector_MUX. Por ser um multiplexador, a saída será escolhida de acordo com os seletores.

Figura Mapa de Karnaugh do módulo Somador.

Componente Display:

O display é composto por 14 LEDs, sendo 7 voltados para sinal e os outros 7 voltados para a visualização do número. Tem como entrada um vetor de 4 bits e, como saída, dois vetores de 7 bits. As imagens do Display serão indexadas

no repositório do projeto.

MODALIDADES PREFERIDAS

[003] A ULA tem como aplicação a utilização para micro-controladores digitais para processamento de dados, voltados para conversão de sinais digitais para sinais analógicos.

[004] A ULA pode ser utilizada para fazer funções lógicas que aceleram o processamento de dados em um sistema complexo.

REIVINDICAÇÕES

DESENHOS

ESTE PROJETO VISA ENTENDER A APLICAÇÃO E CONSTRUÇÃO DE CONCEITOS VISTOS EM SALA DE AULA, SENDO ELES: ULA(UNIDADE LÓGICA E ARITMÉTICA) E O SOMADOR BCD.

RESUMO