

Simulador de Arquitetura de Von Neumann e Pipeline MIPS

1st Rafael Augusto Campos Moreira
DECOM-DV
CEFET-MG
Divinópolis, Brasil
rafaelaugustocampos@outlook.com

2nd Victor Ramos de Albuquerque Cabral
DECOM-DV
CEFET-MG
Divinópolis, Brasil
vramoscabral2020@gmail.com

Abstract—Este artigo propõe o desenvolvimento de um sistema operacional simplificado em linguagem C, inspirado na arquitetura de Von Neumann e no pipeline MIPS. O objetivo é explorar conceitos fundamentais de sistemas operacionais, como gerenciamento de processos, memória e dispositivos de entrada/saída. A implementação inclui a simulação de instruções, controle de memória com uso de cache e a execução sequencial de operações, permitindo a compreensão do funcionamento interno de um sistema operacional de forma prática e didática.

Index Terms—Sistemas Operacionais, Arquitetura, Gerenciamento, Processos

I. INTRODUÇÃO

Os sistemas operacionais (SOs) desempenham um papel essencial no funcionamento de dispositivos computacionais, servindo como uma interface entre o hardware e o software (Tanenbaum & Bos, 2014). Desde os primórdios da computação, a evolução dos sistemas operacionais tem sido um marco no avanço tecnológico. Nos anos 1950, sistemas batch eram utilizados para processar um trabalho de cada vez, mas foi apenas com o advento do time-sharing nos anos 1960 que os sistemas começaram a suportar múltiplos usuários e tarefas simultaneamente, abrindo caminho para os sistemas modernos (Ceruzzi, 2003).

Com base na arquitetura de Von Neumann, proposta em 1945, a computação estruturada em programas armazenados tornou-se um padrão universal (Von Neumann, 1945). Essa arquitetura, que define que dados e instruções compartilham o mesmo espaço de memória, é a base sobre a qual muitos sistemas operacionais e arquiteturas de computadores modernos são construídos. Neste projeto, a arquitetura de Von Neumann é explorada como fundamento para a implementação de um sistema operacional simplificado, destacando sua relevância histórica e conceitual.

A simulação de pipelines MIPS no projeto também remete ao desenvolvimento de arquiteturas RISC (Reduced Instruction Set Computer), uma evolução significativa na década de 1980 (Patterson & Hennessy, 2013). Os pipelines, responsáveis por dividir a execução de instruções em etapas sequenciais, aumentam a eficiência do processamento e são amplamente utilizados em arquiteturas modernas. O estudo do MIPS proporciona uma compreensão prática de como as instruções são processadas

a nível de hardware, conectando conceitos de arquitetura de computadores e sistemas operacionais.

Outro conceito fundamental abordado no projeto é o gerenciamento de memória. A memória cache, por exemplo, surgiu como uma resposta ao crescente desafio de desempenho entre processadores e memória principal (Jacob, Ng, & Wang, 2010). No início, o armazenamento de dados era lento e custoso, mas o desenvolvimento de memórias de alta velocidade, como a cache, trouxe melhorias significativas. O projeto inclui uma implementação simulada de memória cache, que ilustra como a hierarquia de memória impacta diretamente o desempenho dos sistemas computacionais.

Além disso, o gerenciamento de processos é outro ponto central abordado no projeto, uma vez que é classificado como um dos pilares dos sistemas operacionais. Desde os primeiros sistemas multitarefa, como o Multics na década de 1960, até os sistemas modernos, a capacidade de gerenciar e escalonar processos é fundamental para o uso eficiente dos recursos computacionais (Tanenbaum & Bos, 2014). O projeto aborda a execução sequencial de instruções como uma forma simplificada de explorar esse conceito, evidenciando as complexidades envolvidas no gerenciamento de processos.

Os dispositivos de entrada/saída também são considerados, reforçando a importância de entender como sistemas operacionais interagem com o hardware. Desde os antigos sistemas que dependiam de fitas magnéticas até os dispositivos modernos de armazenamento e interfaces de rede, a evolução das tecnologias de I/O moldou a maneira como os SOs são projetados.

A proposta deste sistema operacional simplificado também reflete uma abordagem educacional, alinhando-se a métodos baseados em aprendizagem prática e construtiva. Inspirado por modelos acadêmicos e exercícios projetados para ensinar conceitos de arquitetura de computadores e sistemas operacionais, o projeto oferece uma experiência que vai além da teoria, permitindo que os alunos enfrentem desafios reais de implementação.

Outro aspecto relevante é a integração de conceitos abstratos, como ciclos de instruções e buffers de memória, em um ambiente concreto e programável. Essa abordagem ajuda a consolidar o aprendizado, conectando conhecimentos teóricos com aplicações práticas (Kernighan & Ritchie, 1988). Tal

conexão entre abstração e implementação se deu através da linguagem C, pelo motivo de esta ter sido projetada especificamente para o desenvolvimento de sistemas operacionais, como o Unix, na década de 1970. A linguagem C combina recursos de baixo nível, que permitem acesso direto ao hardware, com características de alto nível, que facilitam a legibilidade e a manutenção do código. Essa versatilidade faz com que a linguagem C seja amplamente utilizada até hoje para o desenvolvimento de sistemas embarcados, drivers e sistemas operacionais modernos, servindo como uma ponte entre o hardware e as camadas mais abstratas do software.

A computação é um campo em constante evolução, e o desenvolvimento de sistemas simplificados permite explorar os fundamentos que deram origem às tecnologias contemporâneas (Ceruzzi, 2003). Ao recriar os elementos básicos de um sistema operacional, os alunos podem apreciar as soluções engenhosas que impulsionaram avanços históricos, como os sistemas Unix, Windows e Linux.

Por fim, este projeto não se limita apenas a ensinar conceitos técnicos, mas também busca estimular o pensamento crítico e a resolução de problemas. Ao abordar desafios práticos, como o funcionamento interno de um sistema operacional, os alunos são incentivados a aplicar sua criatividade e habilidades de programação, com o intuito de construir soluções para problemas complexos presentes nessa pesquisa acadêmica.

II. QUADRO TEÓRICO

O quadro teórico envolve a revisão de literatura existente relacionada ao tema do estudo, incluindo teorias, modelos e conceitos que fundamentam a pesquisa e investigação (Flinck, 2018). Tendo isso em vista, essa seção se subdivide em três tópicos. São eles: Arquitetura de Von Neumann, Pipeline MIPS, Arquitetura Multicore, Linguagem C e Trabalhos Correlatos.

A. Arquitetura de Von Neumann

A Arquitetura de Von Neumann, proposta por John von Neumann em 1945, é um modelo teórico que define a organização básica de computadores modernos (Von Neumann, 1945). Este modelo revolucionou a computação ao apresentar o conceito de armazenar dados e instruções em uma única memória, acessada sequencialmente pela unidade de processamento. Antes disso, os computadores eram projetados com arquiteturas rígidas, onde os programas precisavam ser fisicamente reconfigurados para realizar diferentes tarefas. A ideia de uma memória unificada permitiu que computadores executassem uma ampla variedade de programas, tornando-os mais versáteis e eficientes.

Uma característica fundamental da Arquitetura de Von Neumann é o "ciclo de busca e execução", onde a unidade de controle busca instruções da memória, decodifica-as e as executa. Este processo é realizado de maneira sequencial, o que torna a arquitetura intuitiva, mas também suscetível ao "gargalo de Von Neumann". Esse gargalo refere-se à limitação na taxa de transferência de dados entre a CPU e a memória principal, que pode restringir o desempenho do sistema, especialmente em

aplicações que demandam alta largura de banda (Tanenbaum & Bos, 2014).

A arquitetura de Von Neumann também introduziu os conceitos de unidade aritmética e lógica (ALU), unidade de controle, memória, e dispositivos de entrada/saída, todos conectados por um barramento comum. Esses componentes se tornaram pilares dos computadores digitais e, também, do trabalho desenvolvido em questão.

B. Pipeline MIPS

O pipeline MIPS é uma técnica de arquitetura de computadores que busca aumentar a eficiência do processamento ao dividir a execução de instruções em etapas. Tal técnica organiza as operações da CPU em 5 estágios sequenciais, sendo eles: busca de instrução, decodificação, execução, acesso de memória, escrita de resultado (Patterson, D. A., & Hennessy, J. L., 2013).

- **Busca de instrução (IF - Instruction Fetch):** Nesta etapa, a CPU localiza e carrega a instrução da memória principal para o registrador de instrução. O contador de programa (PC) é usado para indicar o endereço da próxima instrução a ser buscada, e ele é incrementado automaticamente após cada ciclo para apontar para a instrução seguinte.
- **Decodificação (ID - Instruction Decode):** A instrução carregada no estágio anterior é decodificada para identificar qual operação será realizada. Nesta etapa, os operandos são lidos a partir dos registradores, e o tipo de operação (aritmética, lógica, acesso à memória, etc.) é determinado.
- **Execução (EX - Execute):** A operação especificada pela instrução é executada. Dependendo da instrução, isso pode envolver cálculos aritméticos ou lógicos realizados pela Unidade Lógica e Aritmética (ALU), ou o cálculo de endereços para operações de acesso à memória.
- **Acesso à memória (MEM - Memory Access):** Este estágio é responsável por acessar a memória, caso a instrução envolva leitura ou escrita de dados. Por exemplo, uma instrução de carregamento (load) irá buscar dados da memória, enquanto uma instrução de armazenamento (store) grava dados na memória. Caso a instrução não envolva memória, este estágio é ignorado.
- **Escrita de resultado (WB - Write Back):** Finalmente, o resultado da instrução é escrito de volta no registrador apropriado. Este estágio garante que os valores calculados ou recuperados da memória estejam disponíveis para as próximas instruções que precisem deles.

Cada estágio trabalha simultaneamente com uma instrução diferente, permitindo que várias instruções sejam processadas ao mesmo tempo. Essa abordagem resulta em maior aproveitamento dos recursos do processador, reduzindo o tempo de execução global das instruções.

Embora o pipeline MIPS traga ganhos significativos de desempenho, ele também apresenta desafios, como o gerenciamento de dependências de dados e de controle entre as instruções. A simplicidade e eficiência do pipeline MIPS

tornaram-no um modelo amplamente estudado, tendo em vista sua alta aplicação. No trabalho em questão, seu uso foi fundamental para compreensão dos conceitos computacionais modernos.

C. Arquitetura Multicore

A arquitetura multicore é uma abordagem de design de processadores que integra dois ou mais núcleos de processamento dentro de um único chip. Cada núcleo é uma unidade de processamento independente que pode executar instruções e processos de forma autônoma. Essa configuração foi adotada como solução para as limitações físicas e térmicas enfrentadas pelo aumento da frequência dos processadores tradicionais. Em vez de aumentar a velocidade de um único núcleo, os projetistas passaram a incorporar múltiplos núcleos, permitindo que tarefas paralelas sejam realizadas de forma mais eficiente (Jacob, B., Ng, S., & Wang, D., 2010). Essa arquitetura é amplamente utilizada em aplicações modernas, como servidores, dispositivos móveis e sistemas embarcados, onde o desempenho e a eficiência energética são cruciais.

A principal vantagem da arquitetura multicore é a capacidade de executar várias tarefas simultaneamente, conhecida como paralelismo. Isso é particularmente benéfico para aplicações que requerem processamento intensivo, como simulações científicas, edição de vídeo e inteligência artificial. No entanto, o pleno aproveitamento dessa capacidade depende do software, que deve ser projetado para dividir tarefas entre os núcleos. Além disso, o gerenciamento eficiente de recursos, como memória compartilhada e comunicação entre núcleos, é um desafio importante nesse tipo de arquitetura.

D. Suporte à Preempção

O suporte à preempção é uma característica essencial em sistemas operacionais modernos que permite a interrupção temporária de um processo em execução para que outro processo, geralmente de maior prioridade, possa ser executado. Essa funcionalidade garante a implementação de um sistema multitarefa eficiente, onde os recursos do processador são compartilhados de maneira justa e responsiva entre os processos. A preempção é frequentemente usada em sistemas em tempo real, onde a execução de tarefas críticas deve ser priorizada (Silberschatz, Galvin Gagne, 2018).

A implementação do suporte à preempção requer o uso de um escalonador preemptivo, responsável por tomar decisões sobre qual processo deve ser executado em cada momento. Quando uma interrupção ocorre, o estado do processo em execução é salvo, permitindo que ele seja retomado posteriormente exatamente de onde parou. Essa abordagem garante a continuidade e a consistência das operações, mesmo em ambientes com alta carga de trabalho.

No trabalho em questão, o suporte à preempção foi implementado para fins de simulação inicial. Por esse motivo, a preempção foi realizada com base no término do quantum alocado a cada processo.

E. Trabalhos Correlatos

Nesta seção, são apresentados diversos estudos que exploram a aplicação e construção de um simulador da arquitetura de Von Neumann, cada um com seu contexto e objetivo específico.

Em se tratando da construção única e própria de um simulador, cita-se Erick Vagner Cabral de Lima Borges, Igor Lucena Peixoto Andrezza, Eduardo de Lucena Falcão, Glauco Sousa e Silva e Hamilton Soares da Silva como grandes contribuidores. Esse grupo construiu o "SEAC", um simulador online para ensino de arquitetura de computadores, o qual utiliza de todos os conceitos propostos por Von Neumann.

Além disso, Artur Jordão Lima Correia, Mario Augusto Pazoti, Francisco Assis da Silva, Leandro Luiz de Almeida e Danilo Roberto Pereira implementaram um simulador de CPU com suporte à memória cache e pipeline, sendo esses tópicos primordiais trabalhos no projeto em questão.

Dessa forma, os trabalhos aqui citados serviram de modelo para a construção do trabalho e fomentaram a busca de conhecimento para a elaboração do simulador de maneira eficiente e robusta, buscando a utilização de habilidades aprendidas no curso de Arquitetura de Computadores e Sistemas Operacionais.

III. METODOLOGIA

Para construir o simulador de arquitetura Von Neumann e pipeline MIPS, foi utilizada a linguagem de programação C, escolhida por sua proximidade com o hardware e pela sua eficiência no gerenciamento de recursos computacionais. A linguagem também foi selecionada por sua ampla utilização em sistemas operacionais, arquitetura de computadores e processamento de baixo nível, temas diretamente relacionados ao foco deste estudo (Kernighan & Ritchie, 1988).

A implementação do código foi realizada na IDE Visual Studio Code (VS Code), escolhida por sua versatilidade, suporte a múltiplas linguagens e extensões que facilitam o desenvolvimento e depuração de código em C (Microsoft, n.d.), e pela facilidade de acompanhamento nas alterações do código por outros desenvolvedores da equipe, com o recurso Git.

De modo geral, o trabalho foi dividido em três etapas principais:

- **Planejamento e Levantamento Teórico:** Pesquisa bibliográfica para embasar os conceitos fundamentais, como Arquitetura de Von Neumann, Pipeline MIPS e Arquitetura Multicore. A revisão foi essencial para compreender os fundamentos e identificar as ferramentas adequadas para as implementações. Também, as aulas ministradas pelo professor M.Sc. Michel Pires foram de suma importância para entendimento geral do projeto.
- **Desenvolvimento e Simulação:** Criação de programas em C utilizando o VS Code como IDE. O desenvolvimento foi orientado por conceitos abordados no quadro teórico, como a implementação de pipelines simplificados, simulação de processamento em multicore e análise

de resultados. Utilizou-se também de metodologias ágeis e boas práticas de programação, como GitFlow.

- **Validação e Análise:** Testes foram realizados nos códigos implementados para verificar a aderência às teorias estudadas. Os resultados obtidos foram analisados e comparados com as expectativas teóricas, permitindo identificar possíveis otimizações e limitações (erros) das abordagens utilizadas.

Dissertando um pouco mais sobre a etapa intermediária da metodologia (Desenvolvimento e Simulação), a construção de software foi dividida em 5 etapas, sendo elas: construção do simulador com pipeline MIPS, implementação de arquitetura multicore e suporte a preempção, implementação do escalador de processos, gerenciamento de cache e escalonamento baseado em similaridade e gerenciamento de memória e PCB.

A. Construção do Simulador com Pipeline MIPS

Na primeira etapa, iniciou-se com a Construção do Simulador com Pipeline MIPS, onde foram implementados os componentes fundamentais para a execução das instruções, como registradores, unidades de controle e pipeline MIPS. Para isso, foi feita uma divisão do código em 23 arquivos, cada um com um propósito específico, permitindo uma organização clara das responsabilidades.

A seguir, localiza-se duas tabelas de informações sobre esse assunto, sendo que a primeira tabela apresenta os arquivos .h (arquivos de cabeçalho), que são responsáveis por declarar as funções, estruturas, macros e variáveis globais utilizadas no projeto, e a segunda tabela lista os arquivos .c (arquivos de código-fonte), que contêm a implementação das funções e lógicas declaradas nos arquivos de cabeçalho.

TABLE I
DESCRIÇÃO DOS ARQUIVOS .H E SEUS OBJETIVOS

Arquivo	Objetivo
architecture.h	Declara as funções e estruturas utilizadas na implementação da arquitetura.
cache.h	Declara as funções e estruturas relacionadas ao cache.
control_unit.h	Declara as funções e estruturas relacionadas à unidade de controle.
cpu.h	Declara as funções e estruturas da CPU.
disc.h	Declara as funções e estruturas relacionadas ao disco.
interpreter.h	Declara as funções do interpretador.
libs.h	Arquivo auxiliar contendo bibliotecas comuns utilizadas no projeto.
peripherals.h	Declara as funções e estruturas dos periféricos.
pipeline.h	Declara as funções e estruturas do pipeline.
ram.h	Declara as funções e estruturas da memória RAM.
reader.h	Declara as funções relacionadas à leitura de programas.
uthash.h	Biblioteca externa utilizada para implementar tabelas hash.

TABLE II
DESCRIÇÃO DOS ARQUIVOS .C E SEUS OBJETIVOS

Arquivo	Objetivo
architecture.c	Implementa a estrutura e funcionalidades relacionadas à arquitetura de Von Neumann.
cache.c	Implementa o gerenciamento de cache, simulando armazenamento intermediário de alta velocidade.
control_unit.c	Implementa a unidade responsável por coordenar a execução de instruções.
cpu.c	Implementa as funcionalidades relacionadas à simulação da unidade de processamento central.
disc.c	Simula operações de entrada/saída e armazenamento em disco.
interpreter.c	Implementa o interpretador das instruções do programa.
main.c	Arquivo principal, responsável por integrar os módulos e executar o programa simulador.
peripherals.c	Simula os dispositivos periféricos conectados à arquitetura.
pipeline.c	Implementa a simulação do pipeline MIPS.
ram.c	Implementa a memória RAM, incluindo leitura e escrita de dados.
reader.c	Implementa a leitura de programas e instruções a partir de arquivos.

Os programas executados pelo simulador seguem um conjunto de instruções específicas, que representam operações essenciais para o seu funcionamento. Essas instruções são divididas em categorias como carregamento e armazenamento de dados, operações aritméticas, controle de fluxo e manipulação de memória, as quais são descritas abaixo:

- **LOAD:** Carrega um valor numérico ou o conteúdo de outro registrador em um registrador especificado.
Formato: LOAD <REG> <VAL>
Exemplo: LOAD A0 10
- **STORE:** Armazena o valor de um registrador em uma posição de memória especificada.
Formato: STORE <REG> <MEM>
Exemplo: STORE A0 A250
- **ADD:** Soma o conteúdo de dois registradores ou de um registrador com um valor numérico e armazena o resultado.
Formato: ADD <REG> <VAL/REG>
Exemplo: ADD A0 B0
- **SUB:** Subtrai o conteúdo de dois registradores ou de um registrador com um valor numérico e armazena o resultado.
Formato: SUB <REG> <VAL/REG>
Exemplo: SUB A0 1
- **MUL:** Multiplica o conteúdo de dois registradores ou de um registrador com um valor numérico e armazena o resultado.
Formato: MUL <REG> <VAL/REG>
Exemplo: MUL A0 B1
- **DIV:** Divide o conteúdo de um registrador pelo de outro ou por um valor numérico e armazena o resultado.
Formato: DIV <REG> <VAL/REG>

Exemplo: DIV A0 2

- **LOOP:** Define o início de um laço de repetição baseado no valor de um registrador.

Formato: LOOP <VAL/REG>

Exemplo: LOOP A0

- **L_END:** Marca o término do bloco de repetição iniciado por um LOOP.

Formato: L_END

Exemplo: L_END

- **IF:** Verifica uma condição lógica entre dois valores e executa o bloco associado se a condição for verdadeira.

Formato: IF <REG> <COND> <VAL/REG>

Exemplo: IF D0 == 1

- **ELSE:** Define o bloco de instruções a ser executado caso a condição do IF não seja satisfeita.

Formato: ELSE

Exemplo: ELSE

- **ELS_END:** Marca o término do bloco associado ao ELSE.

Formato: ELS_END

Exemplo: ELS_END

- **I_END:** Marca o término do bloco associado ao IF.

Formato: I_END

Exemplo: I_END

Para que essas instruções possam ter seus dados processados e armazenados de maneira correta, usam-se de duas ferramentas principais: o interpretador e os registradores.

O interpretador é responsável por validar as instruções fornecidas ao sistema, garantindo que elas estejam em conformidade com os formatos esperados antes de serem processadas. Essa validação inclui a análise de cada linha do programa para identificar o tipo de instrução e verificar sua estrutura sintática, como a presença correta de operandos e delimitadores. Dessa forma, o interpretador assegura que apenas instruções válidas sejam executadas, evitando erros durante o processamento.

Já os registradores são organizados em um vetor que armazenam os dados temporários utilizados nas operações. Os principais registradores incluem nomes como A0, B0, C0 e assim por diante, totalizando 32 registradores, organizados em duas faixas (de A0 a P0 e de A1 a P1). Cada registrador serve como um contêiner para armazenar valores intermediários de cálculo ou parâmetros necessários para controle de fluxo.

Dessa forma, para que cada operação siga seu fluxo adequado, a unidade de controle coordena a sua execução, interpretando e gerenciando o fluxo de dados entre os componentes da CPU. Ela identifica o tipo de instrução (como ADD, SUB, LOOP), já validada anteriormente pelo interpretador, e emite sinais de controle para garantir a execução correta das operações, incluindo estruturas de controle de fluxo, como loops e condicionais. Após isso, os resultados dessas execuções serão armazenadas nos registradores.

Já a pipeline foi implementada da forma descrita na seção **Quadro Teórico**, onde cada etapa possui seu próprio objetivo. Cada estágio da pipeline é responsável por uma parte específica do processamento da instrução, permitindo a execução

simultânea de várias instruções, o que resulta em um aumento significativo na eficiência do processador.

	T0	T1	T2	T3	T4	T5	T6	T7	T8
Instrução 1	IF	ID	EX	MA	WB				
Instrução 2		IF	ID	EX	MA	WB			
Instrução 3			IF	ID	EX	MA	WB		
Instrução 4				IF	ID	EX	MA	WB	
Instrução 5					IF	ID	EX	MA	WB

Fig. 1. Pipeline - Fonte: Própria.

Por fim, nessa primeira etapa, a adoção de conceitos das metodologias ágeis durante o desenvolvimento se mostrou crucial para o sucesso da implementação. Embora não tenha sido especificada uma metodologia ágil formal como Scrum ou Kanban em sua totalidade, os princípios ágeis permearam o processo, com ênfase em iterações curtas, feedback contínuo e adaptação às mudanças (Sommerville, 2016).

B. Arquitetura Multicore e Suporte à Preempção

Na segunda etapa do projeto, o foco foi expandir as funcionalidades do simulador, implementando uma arquitetura multicore e suporte à preempção, com o objetivo de simular, de forma mais realista, o comportamento de sistemas operacionais modernos. Abaixo, detalham-se as principais mudanças realizadas, bem como os novos componentes introduzidos no projeto.

A arquitetura multicore foi implementada para permitir a execução simultânea de processos em múltiplos núcleos, simulando o paralelismo encontrado em processadores modernos. Cada núcleo foi representado por uma thread, utilizando a biblioteca pthread para gerenciar a execução concorrente. Mecanismos como exclusão mútua e sincronização foram empregados para evitar condições de corrida e garantir a consistência dos dados compartilhados entre os núcleos.

O suporte à preempção foi integrado por meio da implementação de uma lógica de interrupção que permite a troca de contexto entre processos. A preempção ocorre quando o quantum alocado a um processo termina, permitindo que o sistema operacional pause sua execução e selecione outro processo da fila de prontos para ser executado. Também, caso dois processos utilizem o mesmo recurso computacional na sua execução (posição de memória RAM), esse fenômeno também irá ocorrer.

Além disso, foram integrados os estados do ciclo de vida dos processos, baseados no modelo descrito por Tanenbaum: "pronto", "bloqueado" e "executando". Processos bloqueados, por exemplo, vão para a fila de bloqueio e, ao término desse estado, retornam à fila de "executando", enquanto os processos em execução podem ser preemptados ou finalizados (Tanenbaum & Bos, 2014). A fila de processos foi gerenciada utilizando três diferentes estruturas:

- **Fila de Start:** Armazena os programas iniciais que aguardam para serem carregados nos núcleos.
- **Fila de End:** Armazena os programas finalizados após a execução.
- **Fila de Block:** Contém processos bloqueados por solicitações de recursos, aguardando a liberação dos mesmos.

Para suportar essas funcionalidades, foram criados 3 novos (arquivos .h e arquivos .c) para gerenciar o PCB (Process Control Block), filas de processos e threads que controlam o comportamento do sistema operacional, sendo que cada thread (unidades de execução dentro de um processo) representa um núcleo, sendo responsável por executar os processos atribuídos a ele (Kerrisk, 2010).

TABLE III
DESCRIÇÃO DOS ARQUIVOS .H E SEUS OBJETIVOS

Arquivo	Objetivo
pcb.h	Declara as estruturas e funções relacionadas ao Process Control Block (PCB), incluindo estados, prioridades e memória.
queues.h	Define as funções para manipulação das filas (start, block, end) e gerenciamento de processos nelas.
threads.h	Declara as funções e estruturas necessárias para a criação e controle das threads que simulam os núcleos do processador.

TABLE IV
DESCRIÇÃO DOS ARQUIVOS .C E SUAS IMPLEMENTAÇÕES

Arquivo	Descrição
pcb.c	Implementa as funções relacionadas à manipulação do PCB, como criação, atualização e leitura dos dados do processo.
queues.c	Implementa a lógica de gerenciamento das filas de processos, incluindo acesso sincronizado e controle de estados.
threads.c	Contém a implementação das threads e funções relacionadas à execução de processos e à preempção nos núcleos.

Por fim, nessa segunda etapa, a adoção de conceitos das metodologias ágeis continuou a desempenhar um papel essencial para o sucesso da implementação.

IV. RESULTADOS E DISCUSSÕES

Esta seção apresenta os resultados obtidos com a simulação do sistema operacional simplificado e discute suas implicações. Devido à natureza do simulador, os resultados se concentram na validação do comportamento do pipeline MIPS, na execução correta das instruções implementadas, na simulação do gerenciamento de memória com cache, bem como na implementação da arquitetura multicore e do suporte à preempção.

A. Validação do Pipeline MIPS

O pipeline MIPS foi implementado com sucesso, demonstrando a execução concorrente de diferentes estágios de instruções. Para validar o funcionamento do pipeline, foram

executados programas de teste com diferentes sequências de instruções, observando o comportamento dos estágios IF, ID, EX, MEM e WB. A Figura 1 ilustra o funcionamento do pipeline.

B. Execução das Instruções

Todas as instruções implementadas (LOAD, STORE, ADD, SUB, MUL, DIV, LOOP, L_END, IF, ELSE, ELS_END, I_END) foram testadas individualmente e em conjunto, dentro de programas mais complexos. Os resultados demonstraram a execução correta das operações aritméticas, lógicas e de controle de fluxo.

Em particular, a implementação das instruções de controle de fluxo (LOOP, IF, ELSE) permitiu a simulação de programas com estruturas de repetição e desvio condicional, demonstrando a capacidade do simulador de executar programas mais complexos.

C. Simulação do Gerenciamento de Memória com Cache

A implementação da memória cache permitiu a simulação do comportamento de um sistema de memória hierárquico. Foram realizados testes com diferentes tamanhos de cache e padrões de acesso à memória, observando o impacto no número de hits (acertos) e misses (falhas) de cache.

Os resultados demonstraram que o uso da cache resulta em uma redução significativa no tempo médio de acesso à memória, especialmente em programas com alta localidade espacial e temporal. Essa observação valida a importância da cache para o desempenho dos sistemas computacionais.

D. Arquitetura Multicore e Suporte à Preempção

A arquitetura multicore foi validada com a execução simultânea de processos em múltiplos núcleos, representados por threads. Para testar essa funcionalidade, foram executados programas com múltiplos processos, observando o comportamento das threads e sua interação concorrente.

Os resultados indicaram que a arquitetura multicore foi eficaz em simular o paralelismo, com múltiplos processos sendo executados simultaneamente em diferentes núcleos. A utilização de sincronização e exclusão mútua garantiu a consistência dos dados compartilhados entre as threads, evitando condições de corrida. A preempção, por sua vez, demonstrou sua utilidade na troca de contexto entre os processos, permitindo que o sistema operacional simulasse de maneira realista a interrupção e a execução de novos processos a cada quantum alocado.

E. Discussão

O desenvolvimento do simulador permitiu a compreensão prática dos conceitos de arquitetura de Von Neumann, pipeline MIPS e gerenciamento de memória com cache. A implementação em linguagem C proporcionou um controle preciso sobre os detalhes da simulação, permitindo a observação do comportamento dos diferentes componentes do sistema.

Uma limitação do simulador é a simplificação de alguns aspectos do hardware, como a representação simplificada da

unidade de controle e a ausência de alguns recursos mais avançados presentes em processadores reais. No entanto, essa simplificação foi intencional, visando a clareza e o foco nos conceitos fundamentais.

Como trabalhos futuros, pretende-se expandir o simulador com a implementação de outros recursos, como interrupções, gerenciamento de processos mais robusto e suporte a instruções mais complexas. Além disso, pretende-se realizar uma avaliação mais quantitativa do desempenho do simulador, comparando os resultados com modelos teóricos e benchmarks.

V. AGRADECIMENTOS

Fica em evidência a gratidão ao Professor M.Sc. Michel Pires pelas aulas ministradas na disciplina de Sistemas Operacionais. Sua clareza na exposição dos conteúdos foram fundamentais para a compreensão dos conceitos que fundamentaram este trabalho. As discussões em sala de aula e o suporte oferecido foram essenciais para o desenvolvimento deste projeto.

Também, ressalta-se o agradecimento à instituição Centro Federal de Educação Tecnológica de Minas Gerais (CEFET-MG) pela oportunidade de desenvolver este trabalho acadêmico. O ambiente de aprendizado proporcionado pela instituição, bem como a infraestrutura disponibilizada, foram cruciais para a concretização deste projeto.

REFERENCES

- [1] Tanenbaum, A. S., & Bos, H. (2014). *Modern Operating Systems* (4th ed.). Pearson.
- [2] Von Neumann, J. (1945). *First Draft of a Report on the EDVAC*. University of Pennsylvania.
- [3] Patterson, D. A., & Hennessy, J. L. (2013). *Computer Organization and Design: The Hardware/Software Interface* (5th ed.). Morgan Kaufmann.
- [4] Hennessy, J. L., & Patterson, D. A. (2017). *Computer Architecture: A Quantitative Approach* (6th ed.). Morgan Kaufmann.
- [5] Jacob, B., Ng, S., & Wang, D. (2010). *Memory Systems: Cache, DRAM, Disk*. Morgan Kaufmann.
- [6] Kernighan, B. W., & Ritchie, D. M. (1988). *The C Programming Language* (2nd ed.). Prentice Hall.
- [7] Ceruzzi, P. E. (2003). *A History of Modern Computing* (2nd ed.). MIT Press.
- [8] U. Flick, (2018). *An Introduction to Qualitative Research* (6th ed.). Sage Publications.
- [9] E. V. C. L. Borges, I. L. P. Andrezza, E. L. Falcão, G. S. Silva, H. S. da Silva, (2012) *SEAC: Um Simulador Online para Ensino de Arquitetura de Computadores*. Universidade Federal da Paraíba.
- [10] A. J. L. Correia, M. A. Pazoti, F. A. da Silva, L. L. de Almeida, D. R. Pereira, (2014) *Simulador de UCP com Suporte à Memória Cache e Pipeline*. Universidade do Oeste Paulista.
- [11] Microsoft. (n.d.). *Visual Studio Code*. Retrieved from <https://code.visualstudio.com/>
- [12] Sommerville, I. (2016). *Software Engineering* (10th ed.). Pearson Education Limited.
- [13] Silberschatz, A., Galvin, P. B., & Gagne, G. (2018). *Operating System Concepts* (10th ed.). Wiley.
- [14] Kerrisk, M. (2010). *The Linux Programming Interface: A Linux and UNIX System Programming Handbook*. No Starch Press.