



UNIVERSITAT POLITÈCNICA
DE CATALUNYA
BARCELONATECH

Disseny i implementació d'un amplificador d'àudio de tipus D modulat per una FPGA

DEFENSA DEL TFG

Autor: Guillem Roperó Serrano

Director: Jordi Cosp Vilella

Convocatòria: Gener 2025

Introducció

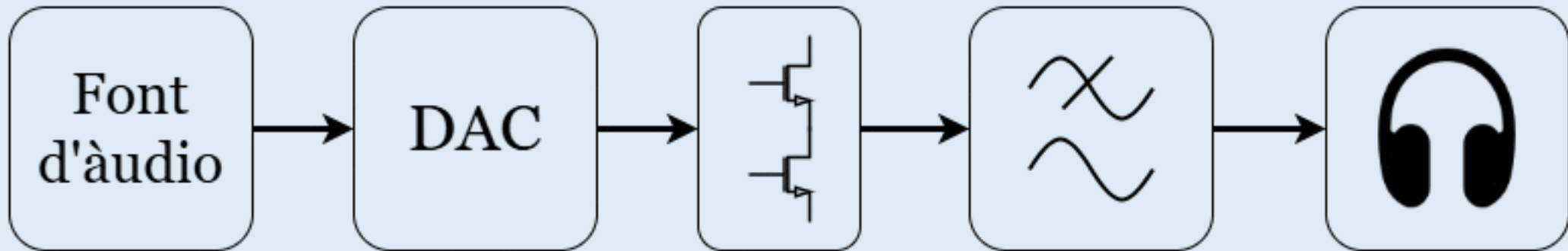


Fig. 1.- Diagrama de blocs d'un amplificador digital de classe D.

Introducció

Eff. Energ. \approx 90-80 %

TAS2320	93,2 – 80 %
MAX98365	92,7 – 84,8 %

Taula 1.- Taula de rendiment energètics d'amplificadors d'àudio de tipus D comercials.

Introducció

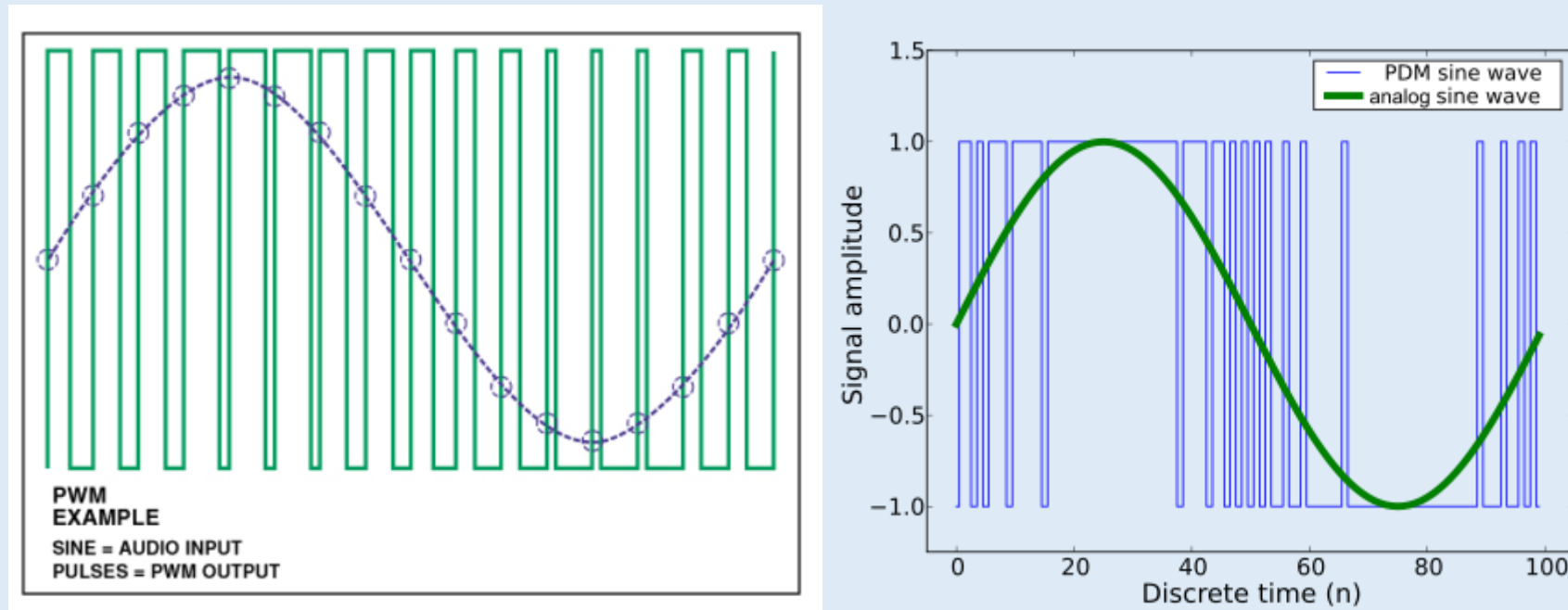


Fig. 2.- Estratègies de modulació: PWM (dreta) [1], PDM (esquerra) [2].

Introducció

TFG

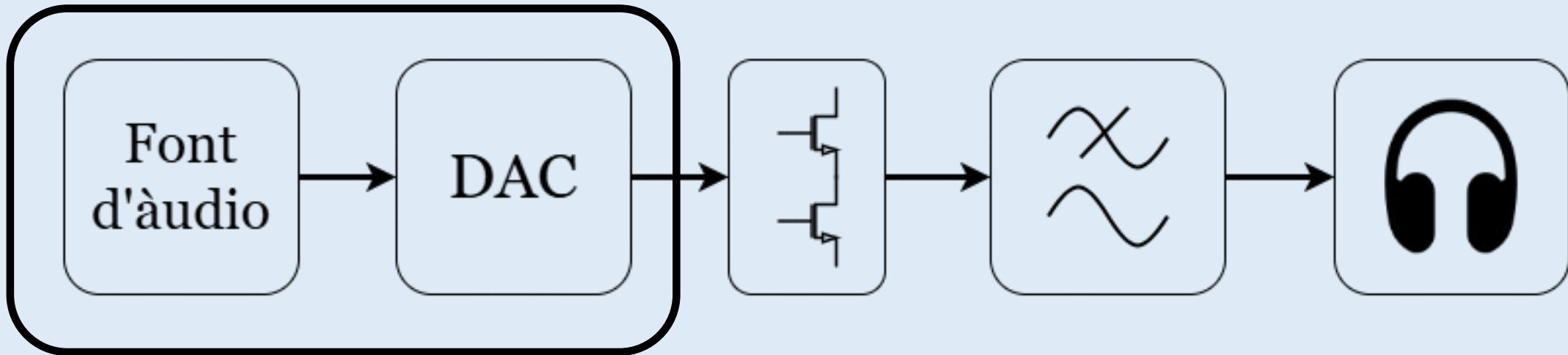


Fig. 1.- Diagrama de blocs d'un amplificador digital de classe D.

Introducció

Objectiu 1

Implementar
Receptor I2S

Objectiu 2

D & I Filtre
Anti-Aliasing

Objectiu 3

D & I
modulador $\Sigma\Delta$

Objectiu 4

D & I Filtre
Delmat



Proposta de Resolució

Diagrama de blocs del sistema

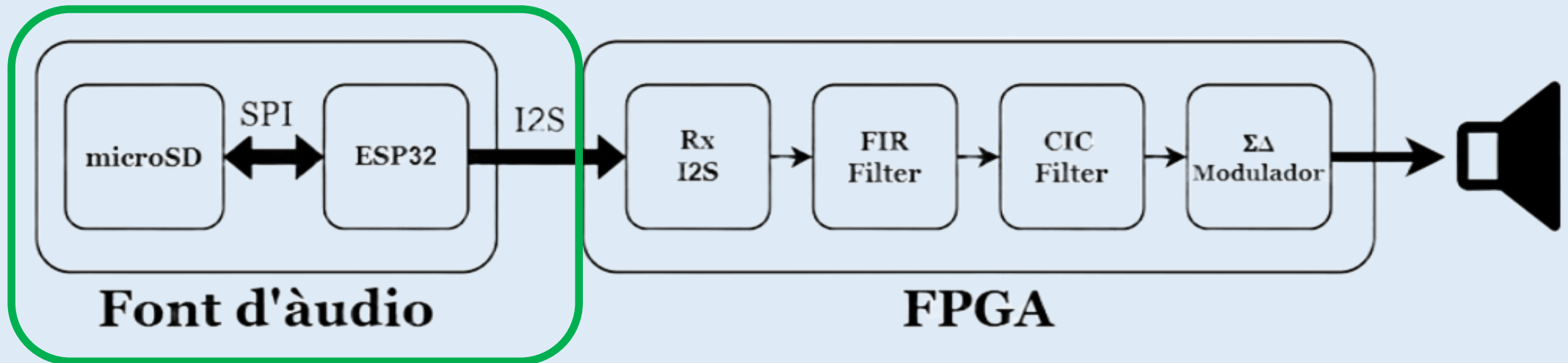


Fig. 2.- Diagrama de blocs del sistema implementat.



Font d'Àudio Digital

Font d'Àudio Digital

Objectius:

- Lectura d'arxius .wav
- Transmetre mostres d'àudio en protocol I2S
- Freqüència de mostreig = 44,1 kHz
- Format Philips estàndard

Font d'Àudio Digital

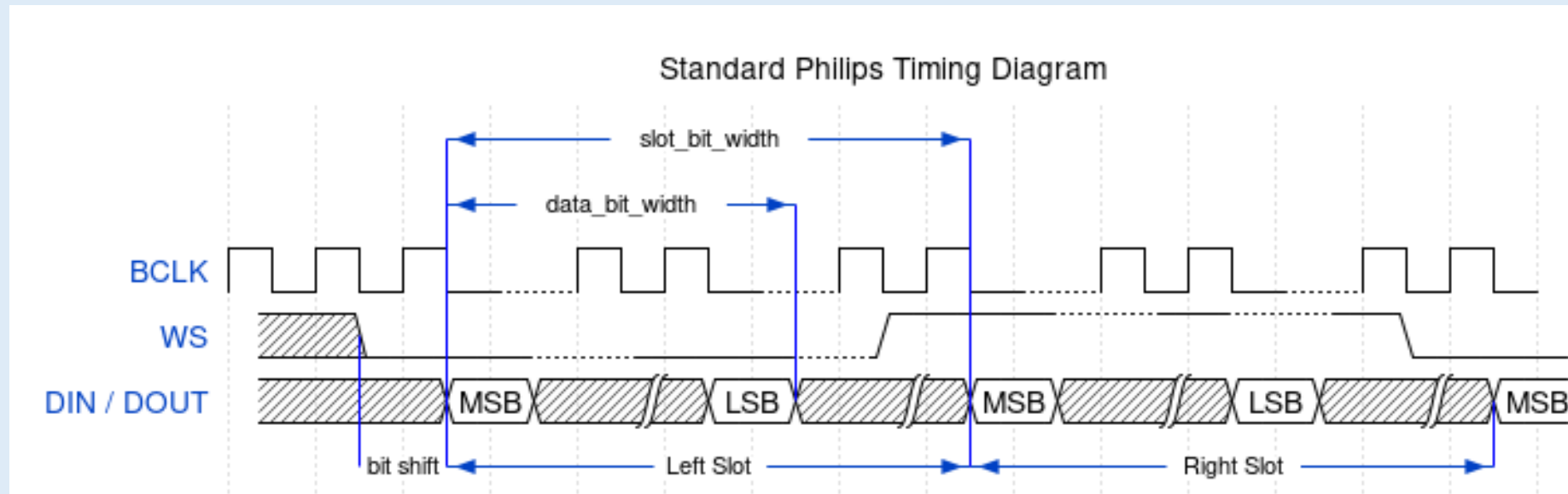


Fig. 3.- Frame del bus I2S en mode d'operació de l'estàndard Philips. [3]

Font d'Àudio Digital

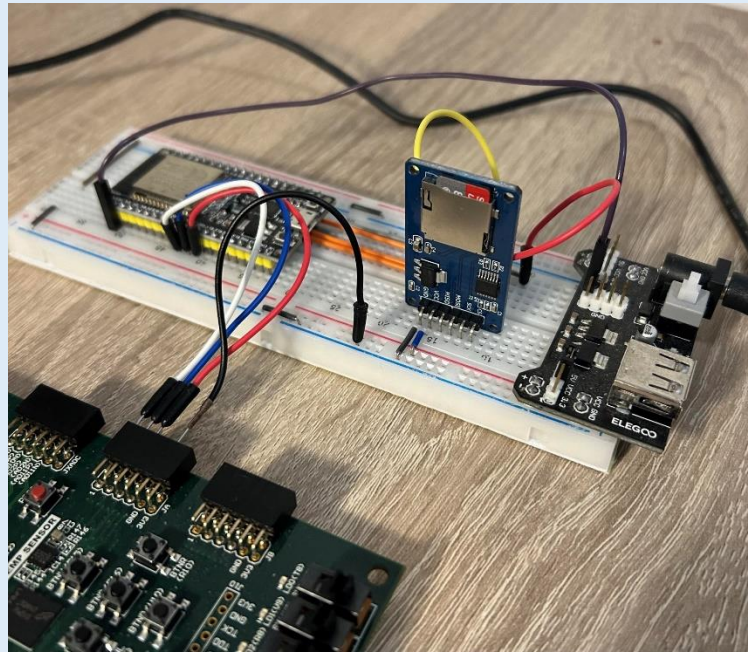


Fig. 3.- Fotografia de la implementació de la font d'àudio.

Font d'Àudio Digital

Què s'ha utilitzat?

- Targeta ESP32



Fig. 4.- Fotografia d'una
targeta ESP32 WROOM.

[4]

Font d'Àudio Digital

Què s'ha utilitzat?

- Mòdul adaptador targeta microSD



Fig. 5.- Fotografia del mòdul adaptador d'una targeta microSD. [4]

Font d'Àudio Digital

Què s'ha utilitzat?

- Targeta microSD

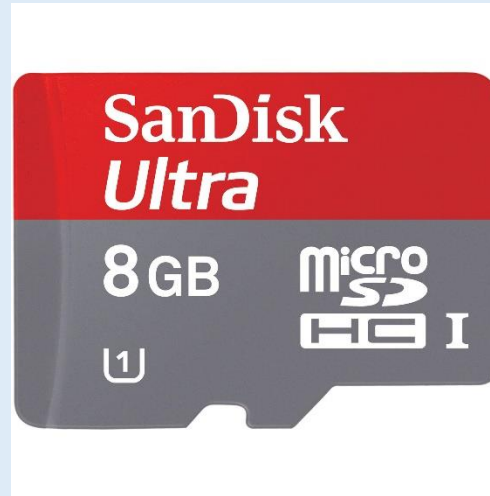


Fig. 6.- Fotografia de la targeta microSD utilitzada per emmagatzemar l'arxiu .wav . [5]

Font d'Àudio Digital

Què s'ha utilitzat?

- Mòdul alimentació 5V i 3,3V



Fig. 7.- Fotografia d'un mòdul d'alimentació 5V i de 3,3V. [4]

Font d'Àudio Digital

Funcionalitats del codi

- Lectura de l'arxiu emmagatzemat a la targeta microSD
- Transmetre les mostres d'àudio pel bus I2S



Fig. 8.- Diagrama de flux del codi implementat pel funcionament de la font d'àudio.

Diagrama de blocs del sistema

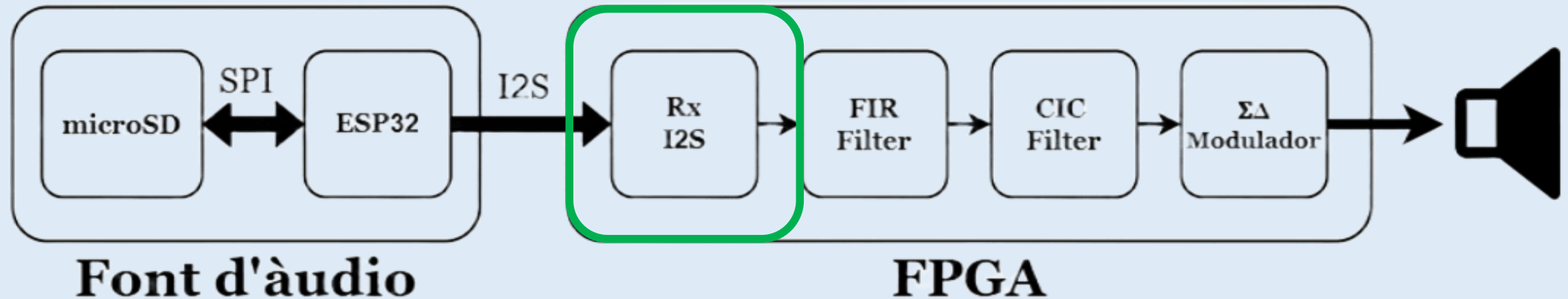


Fig. 2.- Diagrama de blocs del sistema implementat.



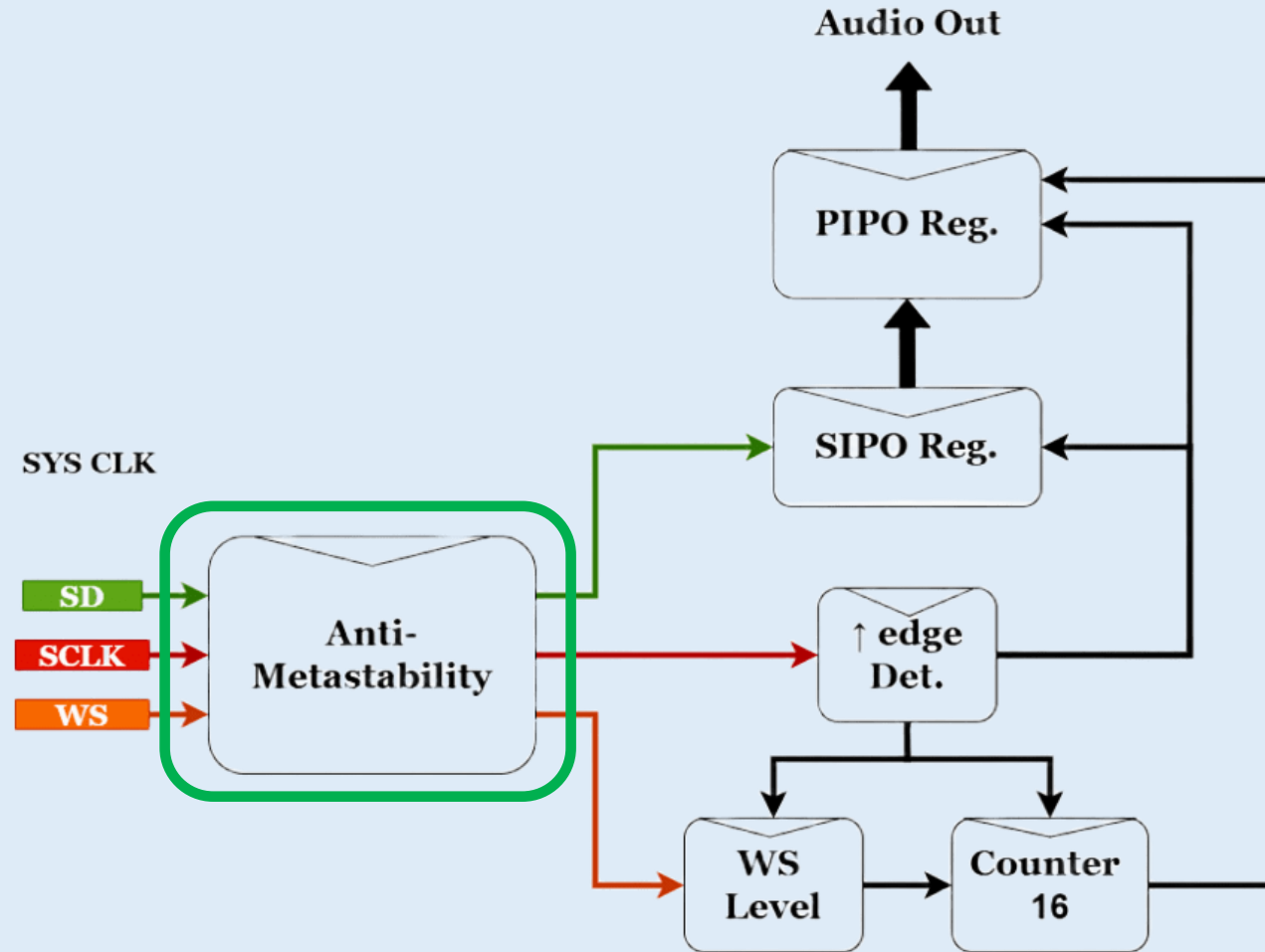
Receptor I2S

Receptor I2S

Objectius:

- Lectura bus I2S en format Philips estàndard
- Capturar mostres d'àudio enviades pel bus I2S
- Amplada mostres d'àudio de 16 bits
 - Sortida àudio mono

Fig. 9.- Diagrama de blocs de l'entitat dissenyada en VHDL.



Receptor I2S

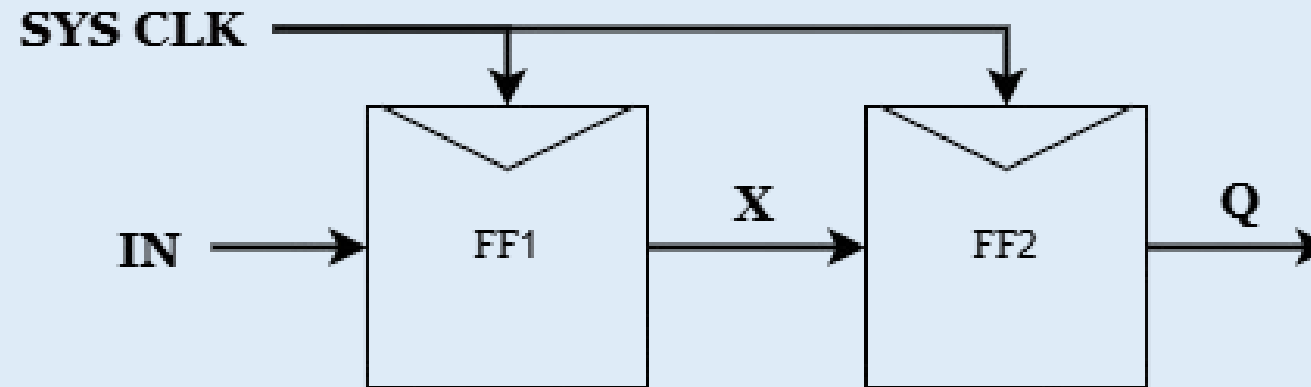
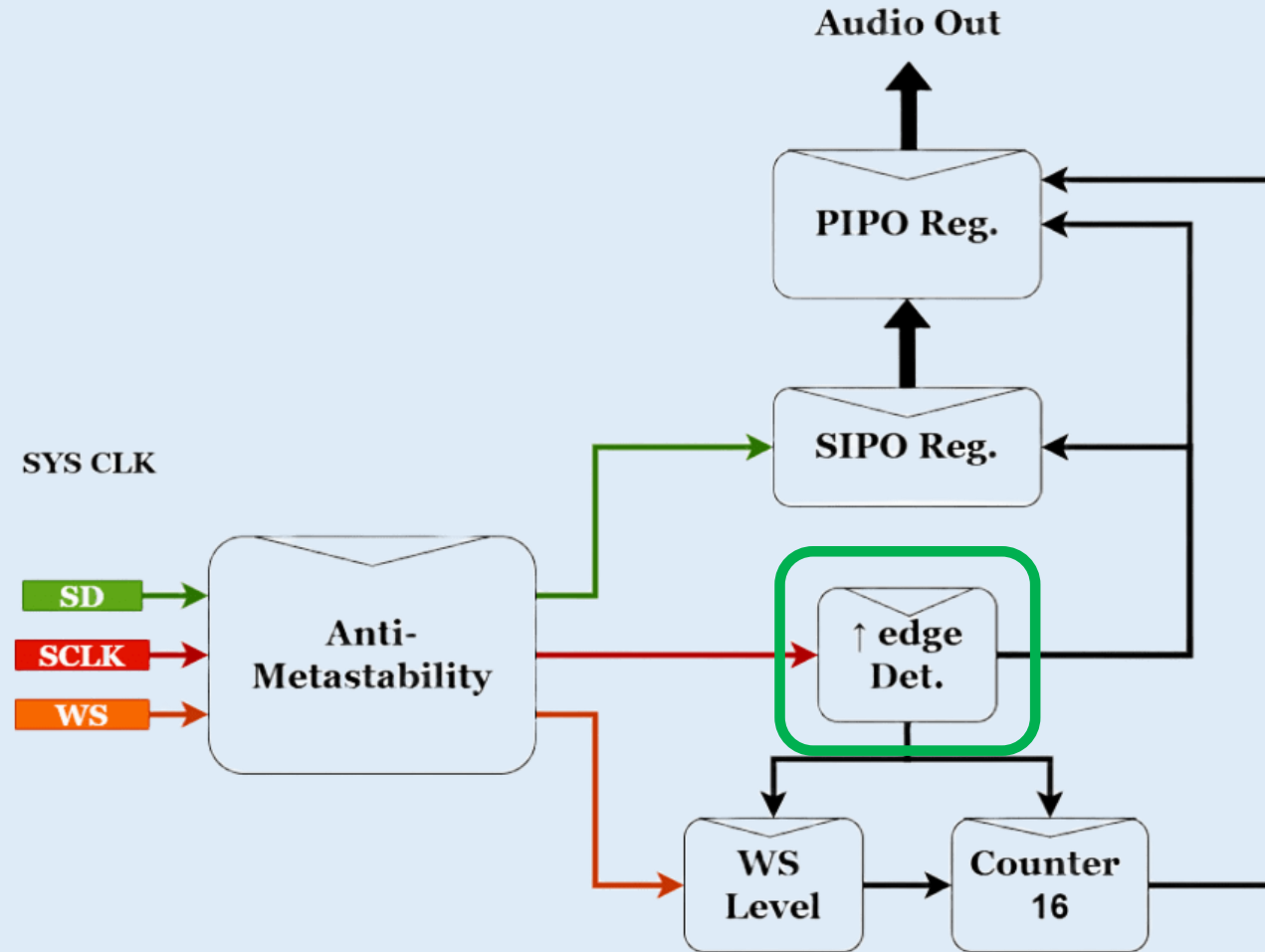


Fig. 10.- Diagrama de blocs de l'entitat Anti-Metastability process.

Fig. 9.- Diagrama de blocs de l'entitat dissenyada en VHDL.



Receptor I2S

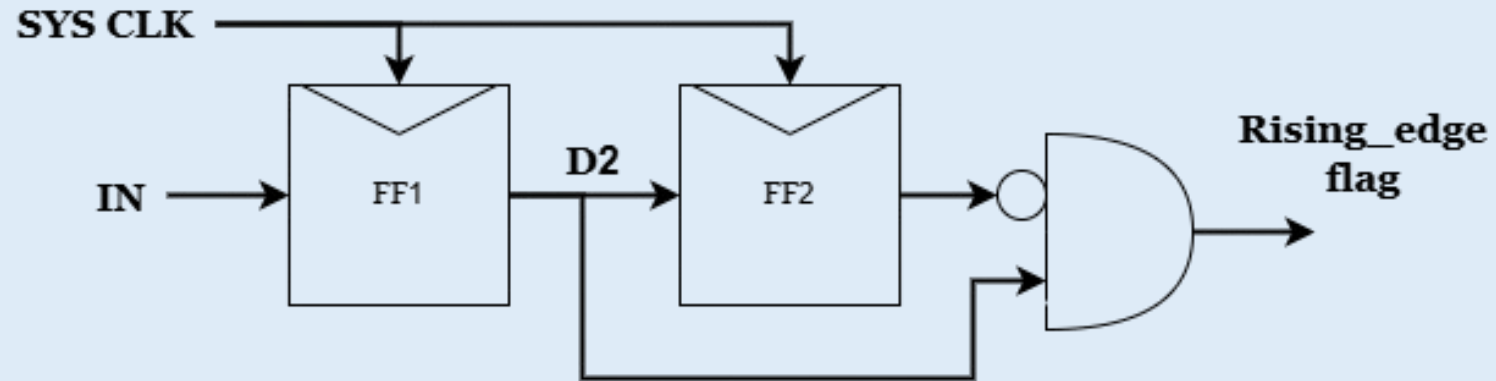
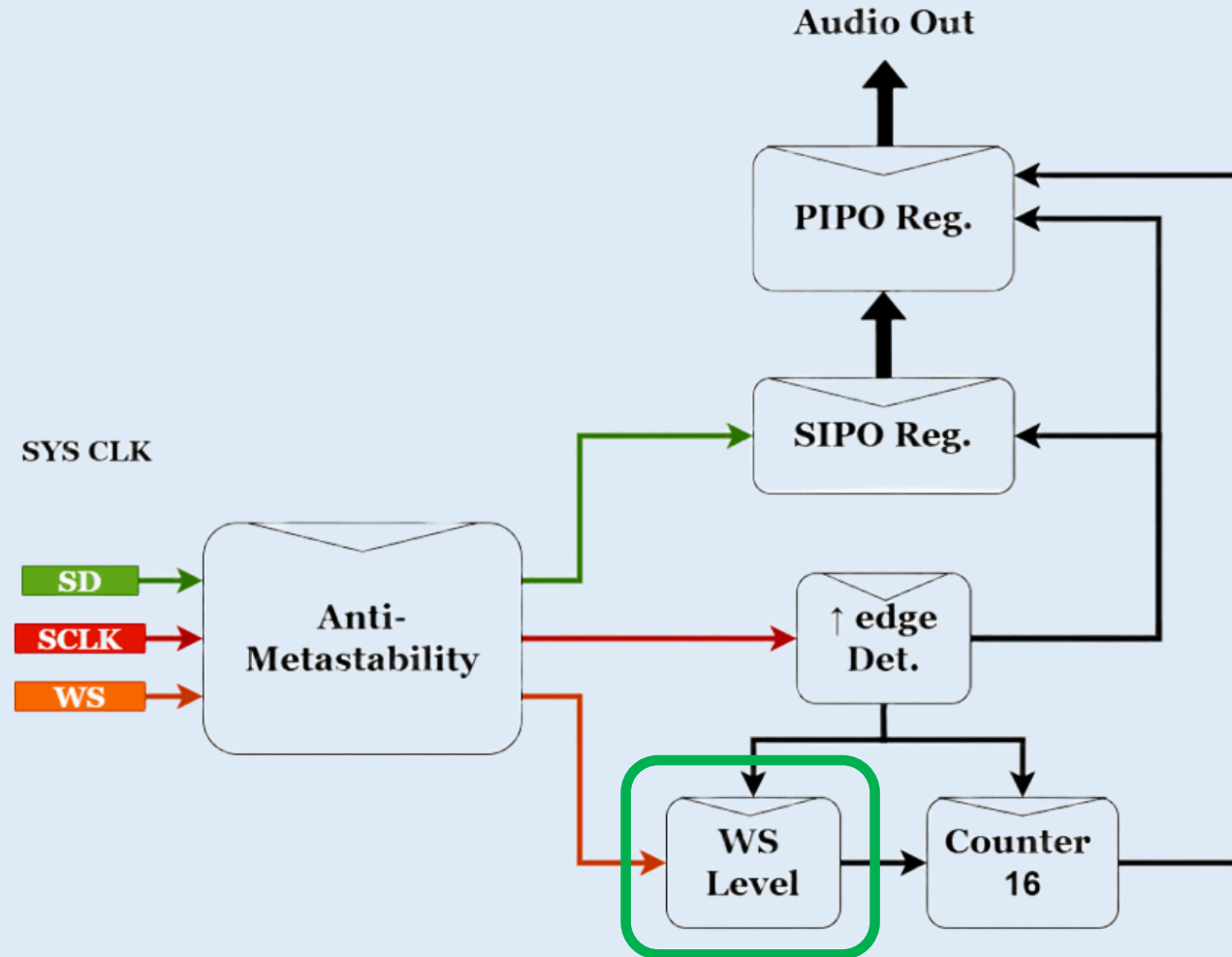


Fig. 11.- Diagrama de blocs de l'entitat Rising edge Detection.

Fig. 9.- Diagrama de blocs de l'entitat dissenyada en VHDL.



Receptor I2S

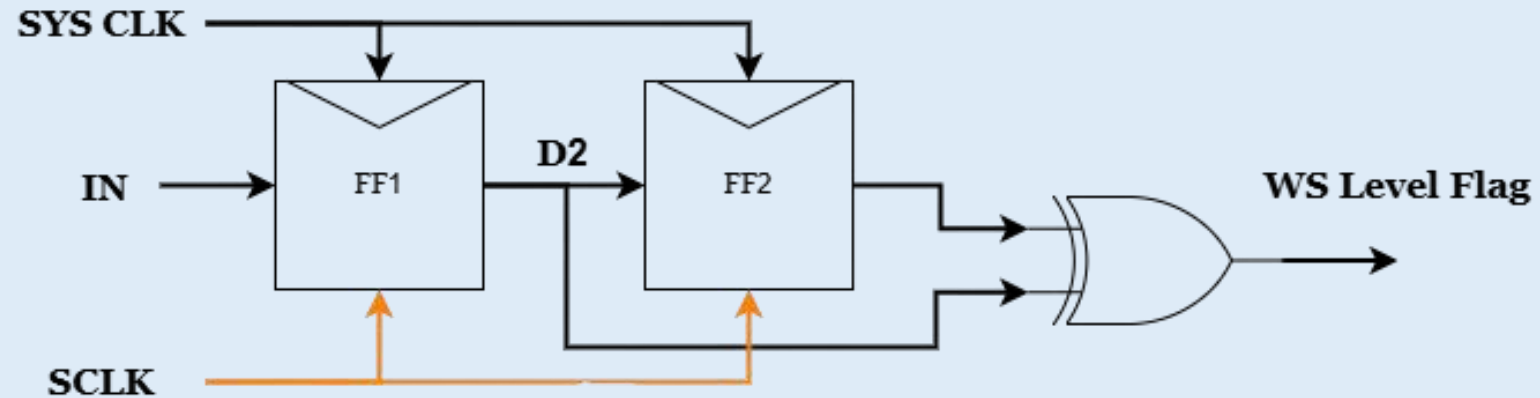


Fig. 12.- Diagrama de blocs de l'entitat WS Level Detection.

Fig. 9.- Diagrama de blocs de l'entitat dissenyada en VHDL.

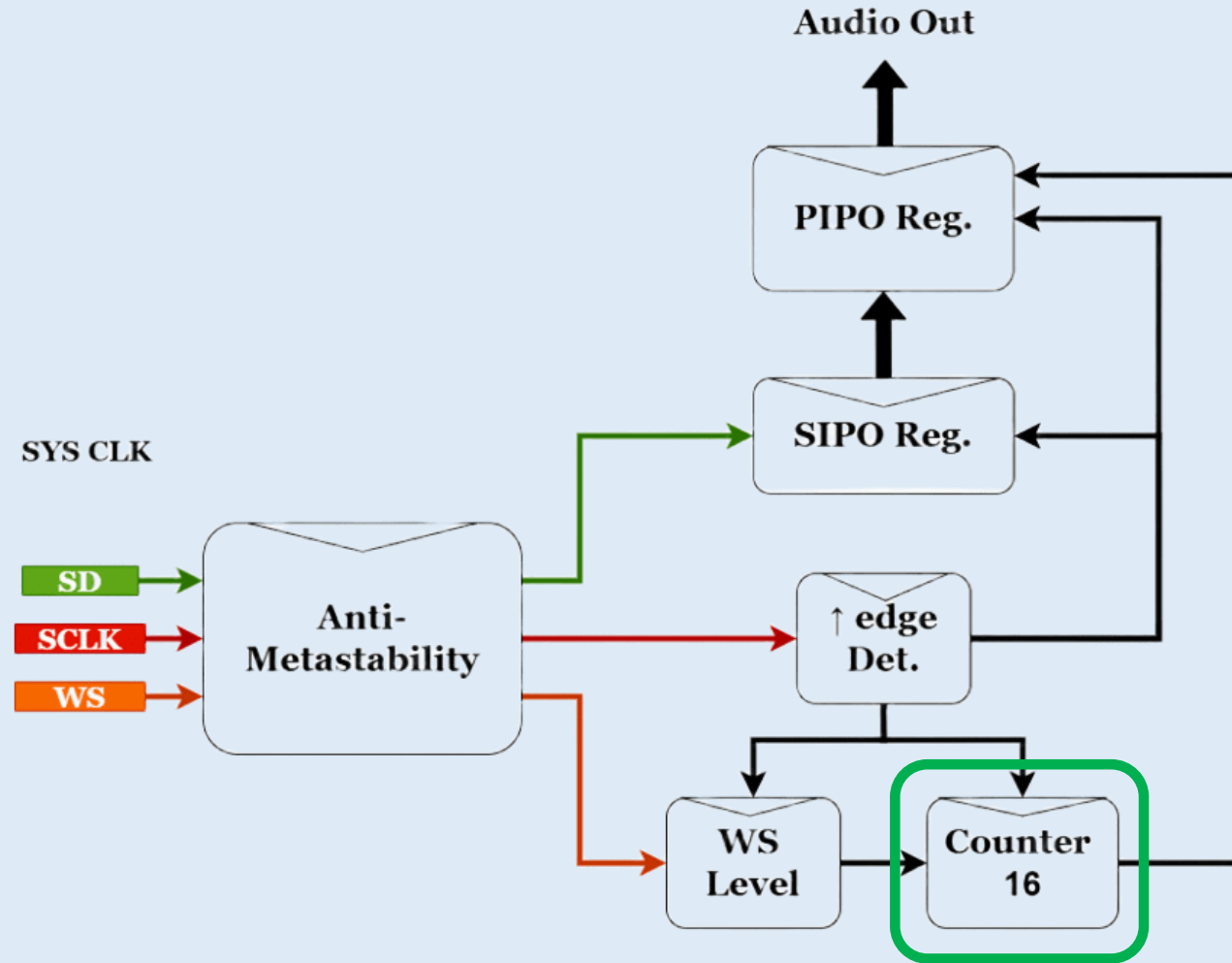


Fig. 9.- Diagrama de blocs de l'entitat dissenyada en VHDL.

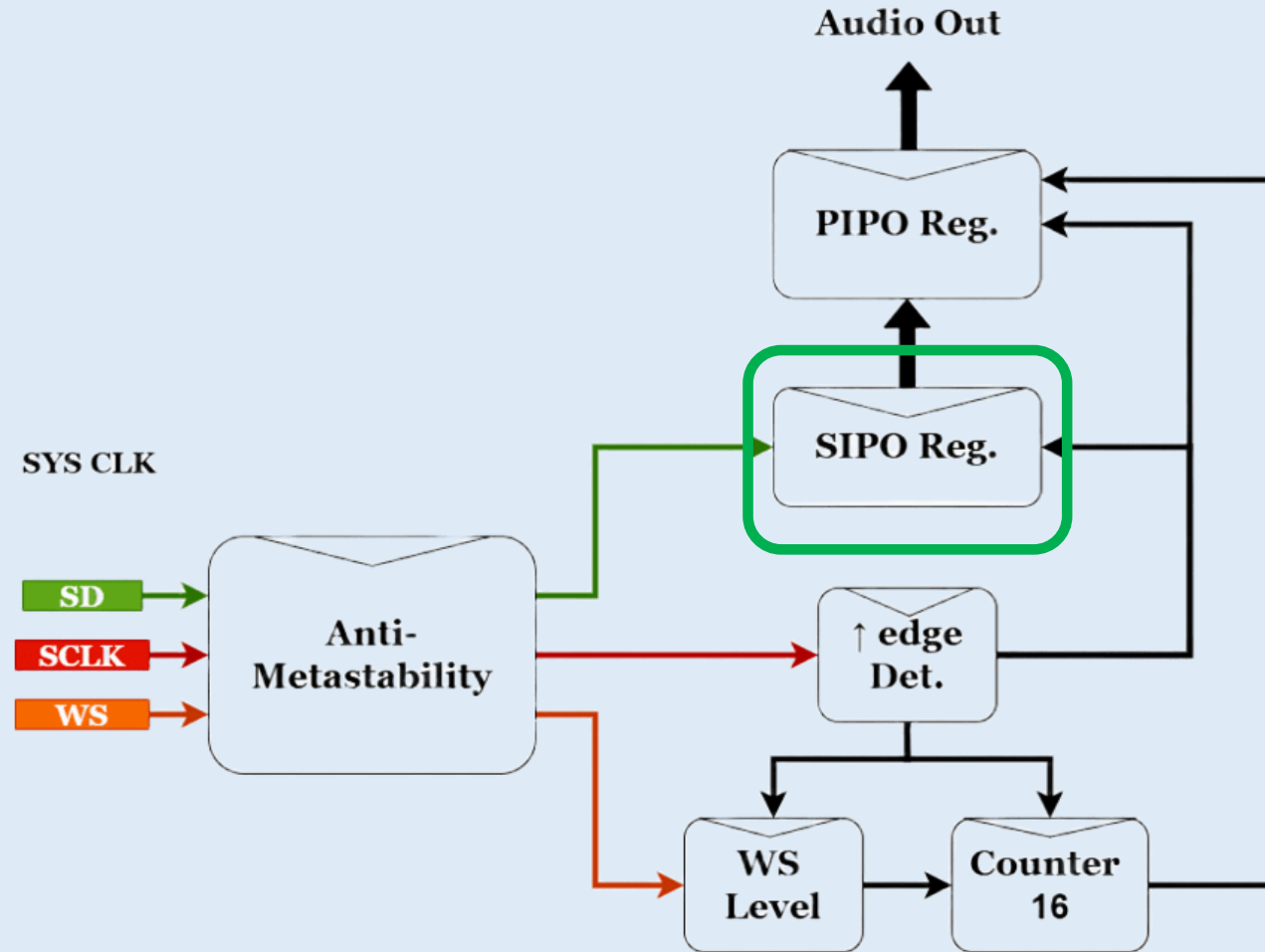


Fig. 9.- Diagrama de
blocs de l'entitat
dissenyada en VHDL.

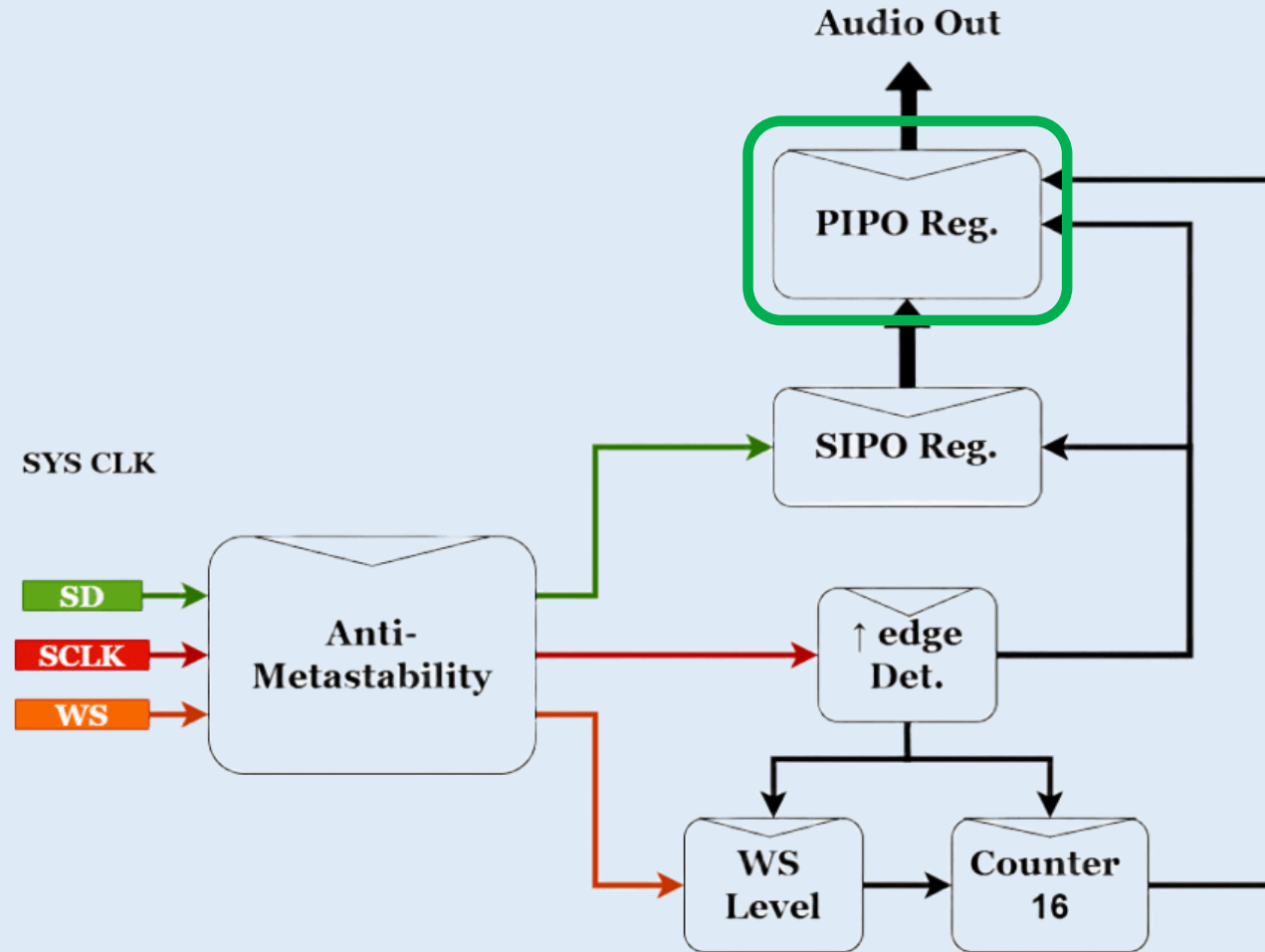


Diagrama de blocs del sistema

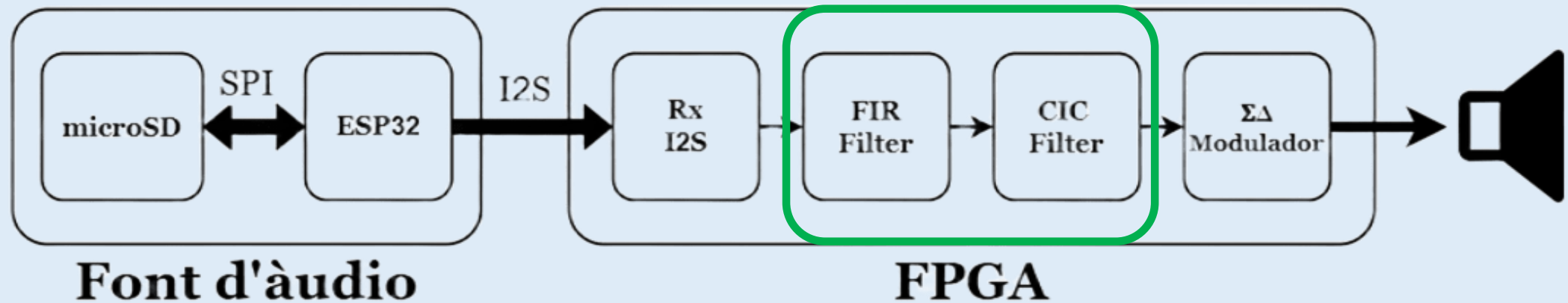


Fig. 2.- Diagrama de blocs del sistema implementat.



Filtre Anti-Aliasing

Filtre Anti-Aliasing

Objectius:

- Sobremostrejar el senyal d'entrada a x32 de la freqüència de mostreig i interpolar.
- Atenuar components harmònics fora de l'espectre d'interés (20 a 20000 Hz).

Filtre Anti-Aliasing

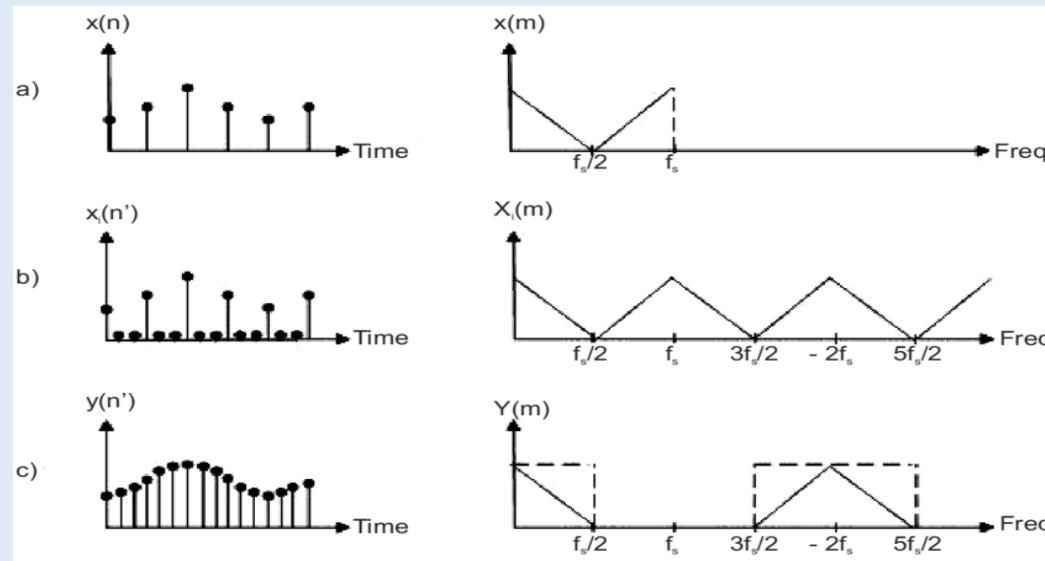


Fig. 13.- Procés d'interpolació d'un senyal en temps discret. [6]

Filtre Anti-Aliasing

L'etapa de filtrat es divideix en dues etapes:

- Filtre de compensació
- Filtre CIC

Filtre Anti-Aliasing

Filtre de compensació

Factor d'interpolació	2
Freqüència de pas	20 kHz
Freqüència de tall	22,05 kHz
Atenuació a la banda de tall	80 dB
Freqüència de mostreig	44,1 kHz

Taula 2.- Especificacions del filtre de compensació de l'etapa d'Interpolació.

Filtre Anti-Aliasing

Filtre de compensació

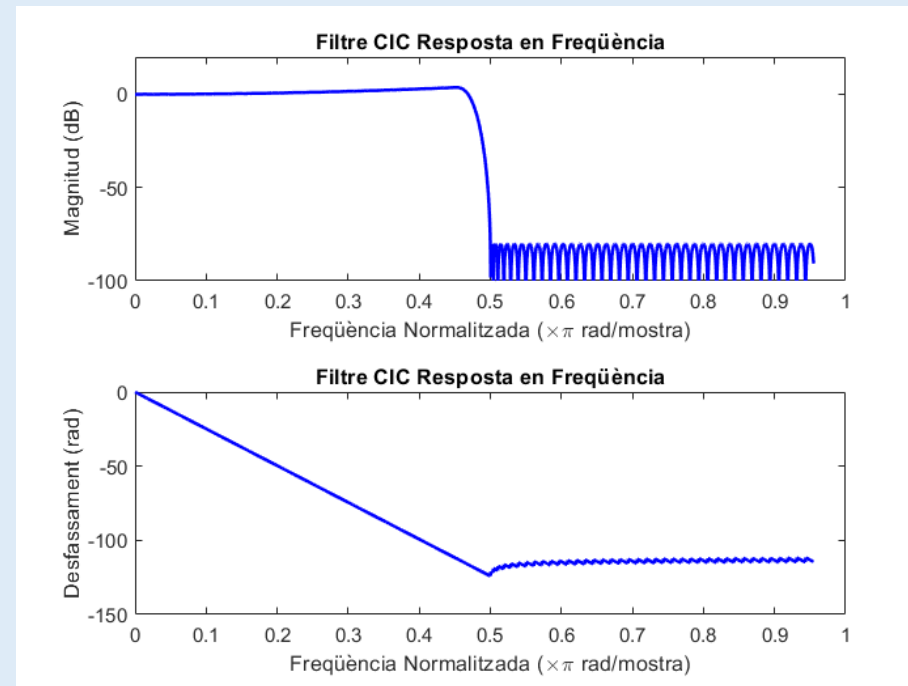


Fig. 14.- Diagrama de Bode de l'etapa de filtrat i compensació de la resposta en freqüència de l'interpolador CIC.

Filtre Anti-Aliasing

Filtre de compensació

Implementació a la FPGA:

■ Mòdul IP FIR Compiler

Taula 3.- Configuracions dels paràmetres
del mòdul IP FIR Compiler.

Nom del Paràmetre	Valor
Tipus de Filtre	Interpolació
Taxa d'Interpolació	2
Freqüència de mostreig d'entrada	44,1 kHz
Freqüència del rellotge	100 MHz
Tipus de coeficients	Amb signe
Amplada de coeficients	153
Tipus de dades d'entrada	Amb signe
Amplada de les dades d'entrada	16
Mode d'arrodoniment a la sortida	Truncar els LSBs
Amplada de dades a la sortida	16

Filtre Anti-Aliasing

Filtre CIC

Filtre de Mitjana Mòbil: $y[n] = \frac{\sum_{k=0}^{M-1} x[n-k]}{M}$



Filtre CIC: $y[n] = \frac{y[n-1] + x[n] - x[n-M]}{M}$

Filtre Anti-Aliasing

Filtre CIC

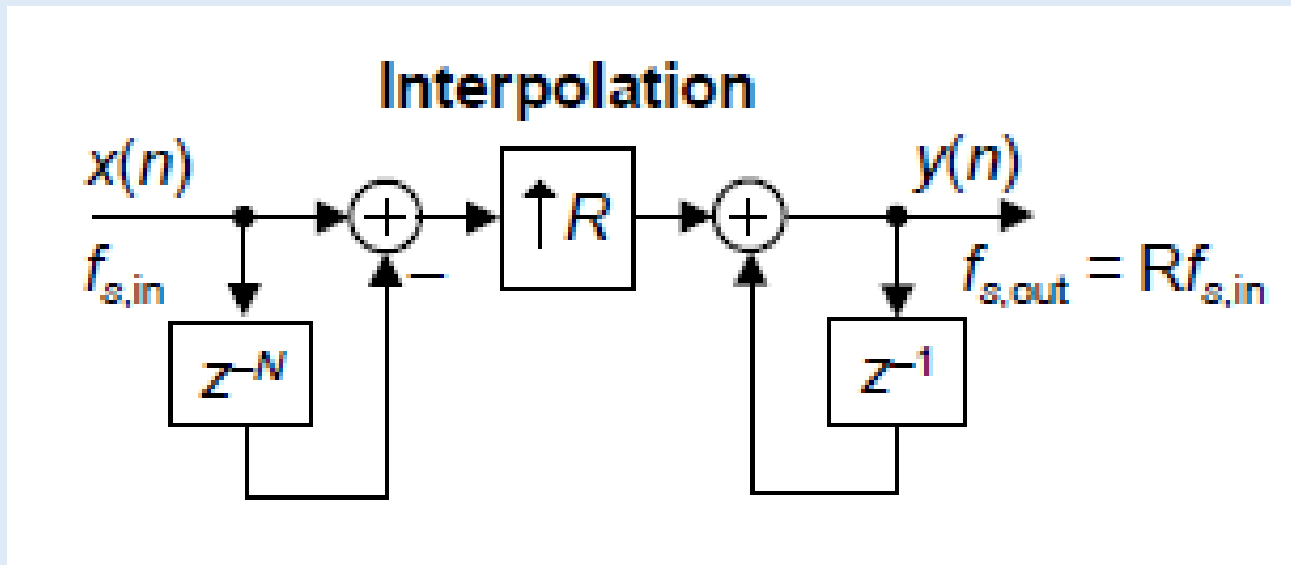


Fig. 15.- Estructura d'un filtre CIC Interpolador. [7]

Filtre Anti-Aliasing

Filtre CIC

Factor d'interpolació (R)	16
Delay diferencial (M)	1
Ordre del filtre (N)	5

Taula 4.- Especificacions del filtre CIC.

Filtre Anti-Aliasing

Filtre CIC

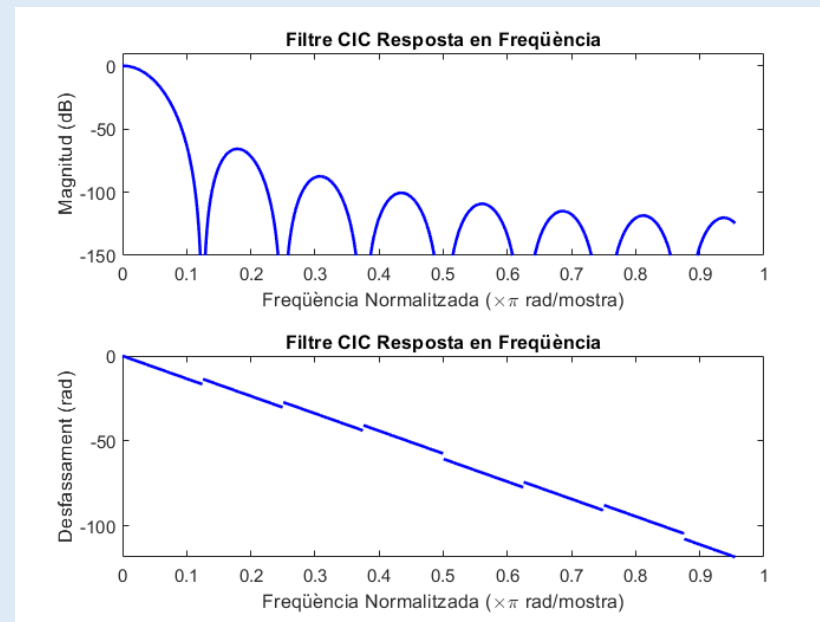


Fig. 16.- Diagrama de Bode de l'etapa de l'interpolador CIC.

Filtre Anti-Aliasing

Filtre CIC

Implementació a la FPGA:

- Mòdul IP CIC Compiler

Nom del Paràmetre	Valor
Tipus de Filtre	Interpolació
Taxa d'Interpolació	16
Freqüència de mostreig d'entrada	88,2 kHz
Freqüència del rellotge	100 MHz
Amplada de les dades d'entrada	16
Quantificació	Truncament
Amplada de dades a la sortida	16

Taula 5.- Configuracions dels paràmetres del mòdul IP CIC Compiler.

Filtre Anti-Aliasing

Resultats Etapa de filtrat

Oscil·lació màxima en la banda de pas	1,49 dB
Freqüència de tall	20460 Hz
Atenuació en la banda de tall	-53 dB

Taula 6.- Especificacions de l'etapa de filtrat anti-aliasing.

Filtre Anti-Aliasing

Resultats Etapa de filtrat

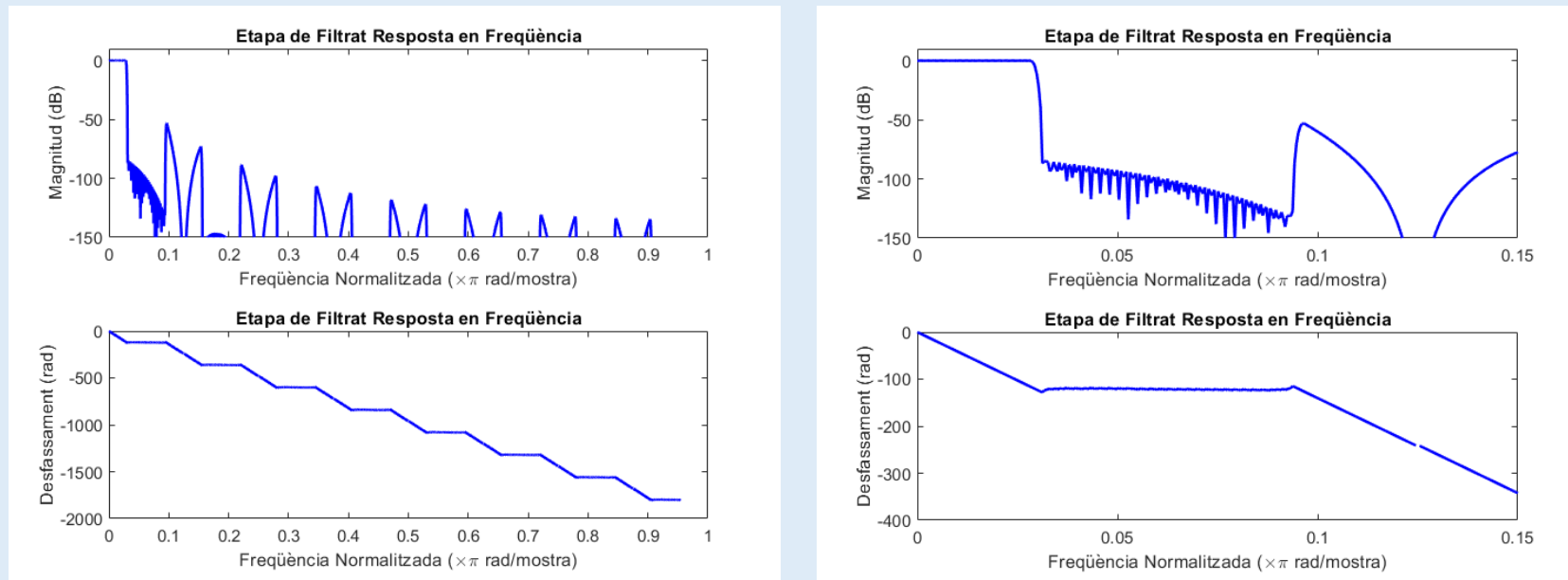


Fig. 17.- Diagrama de Bode de l'etapa de filtrat anti-aliasing.

Diagrama de blocs del sistema

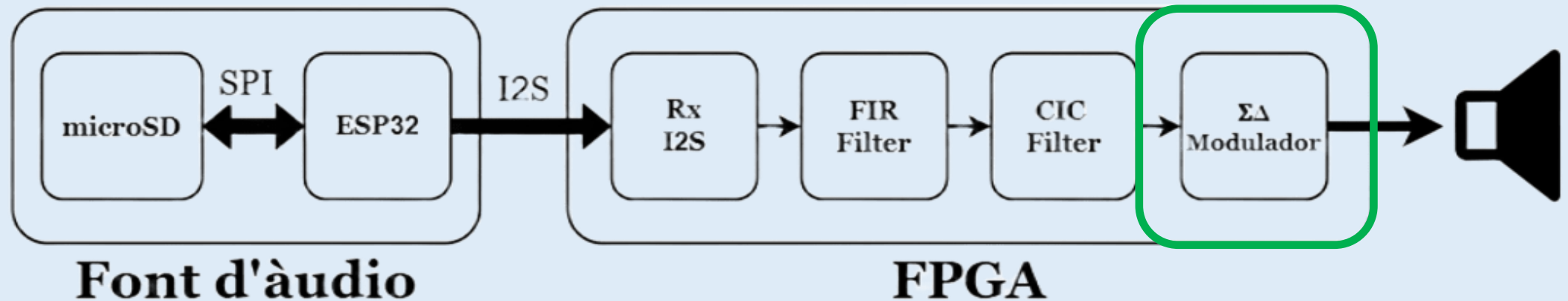


Fig. 2.- Diagrama de blocs del sistema implementat.



Modulador $\Sigma\Delta$

Modulador $\Sigma\Delta$

Objectius:

- Desplaçar soroll produït pel procés de quantificació a freqüències $>$ freqüència de mostreig.
- Atenuar components harmònics del senyal fora de la banda de mostreig.

Modulador $\Sigma\Delta$

Disseny del modulador

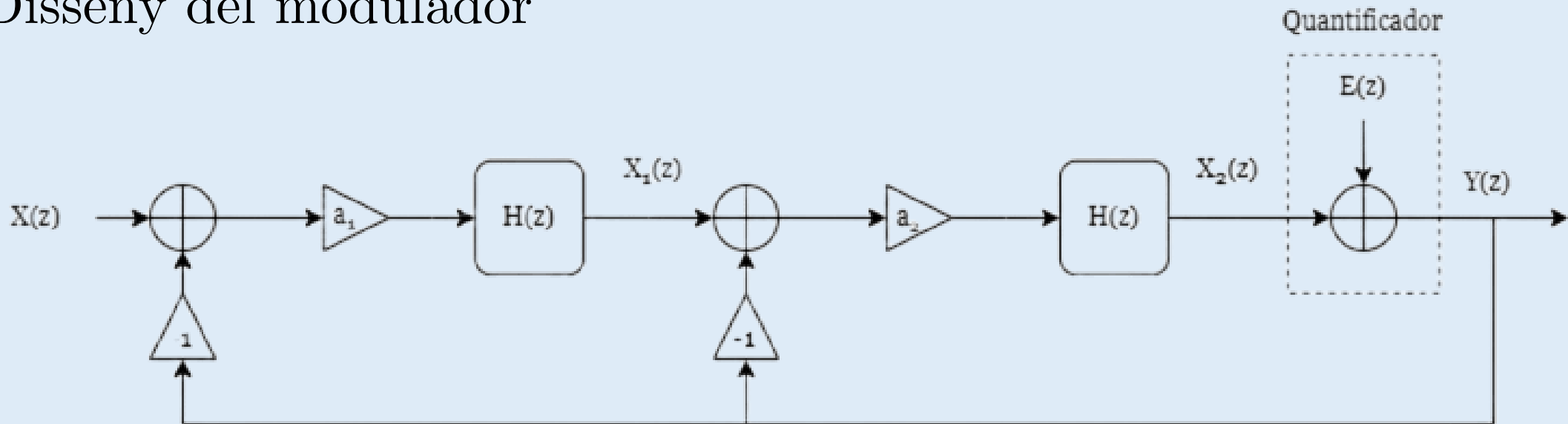


Fig. 18.- Diagrama de blocs del modulador $\Sigma\Delta$ de segon ordre.

Modulador $\Sigma\Delta$

Disseny del modulador

$$a_1 = a_2 = 0,5 \quad H(z) = \frac{z^{-1}}{1 - z^{-1}}$$

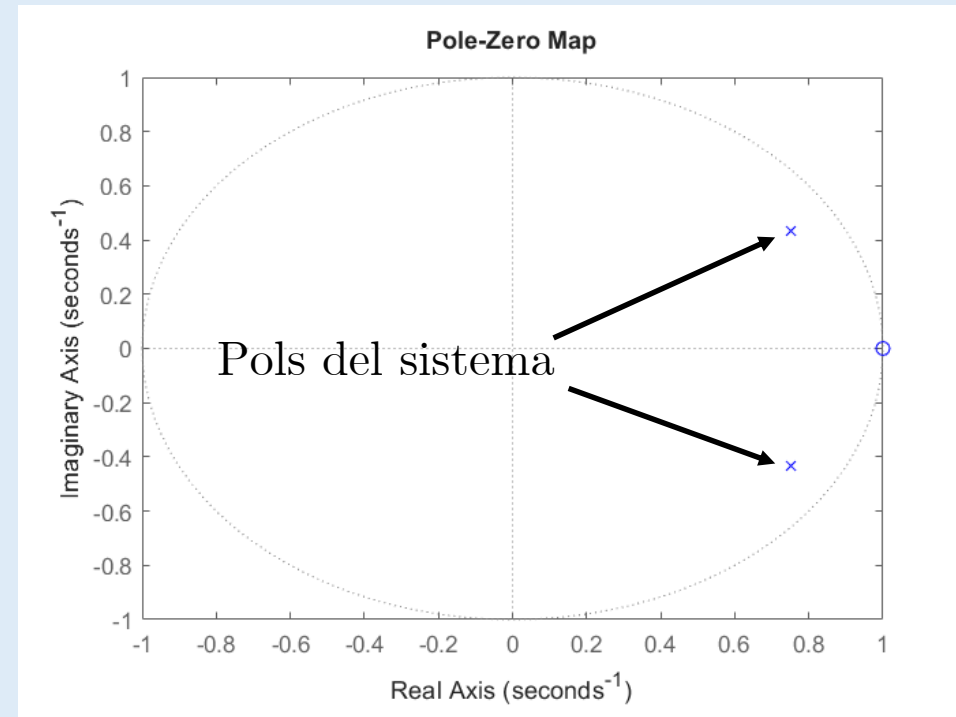
$$STF(z) = \frac{z^{-2}}{3z^{-2} - 6z^{-1} + 4}$$

$$NTF(z) = \frac{(1 - z^{-1})^2}{3z^{-2} - 6z^{-1} + 4}$$

Modulador $\Sigma\Delta$

Disseny del modulador

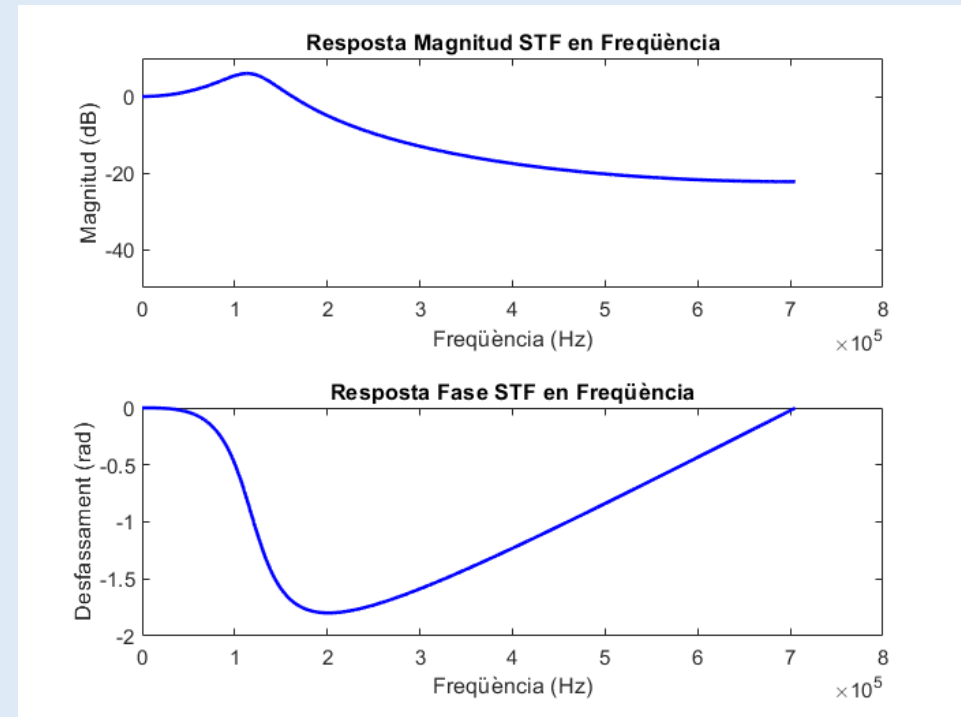
Fig. 19.- Cercle unitari en
el pla polar de STF i
NTF.



Modulador $\Sigma\Delta$

Disseny del modulador

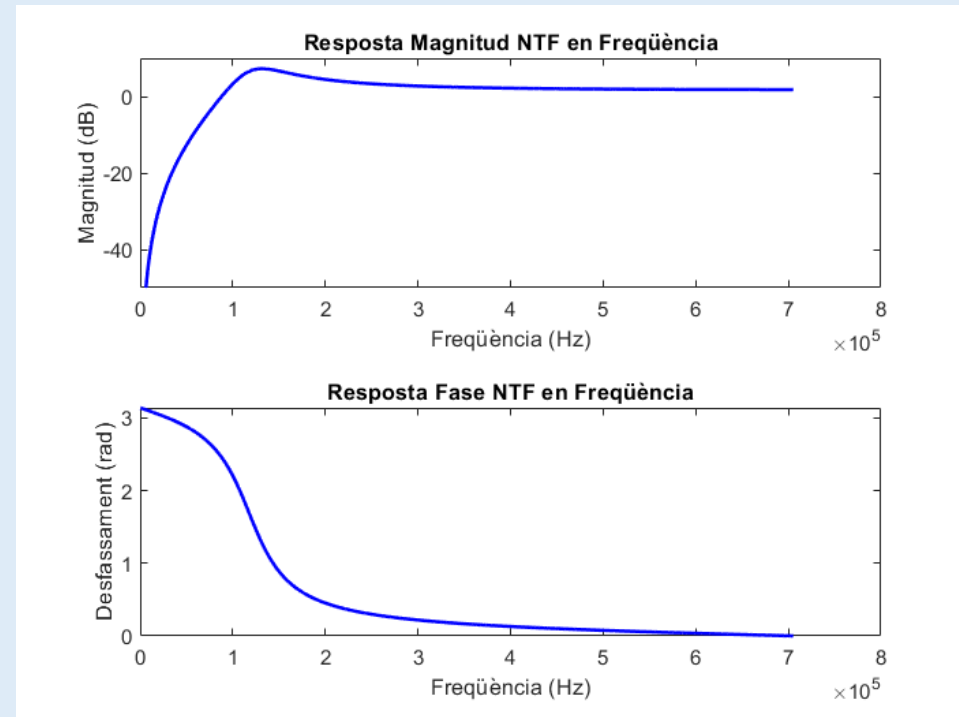
Fig. 20.- Diagrama de Bode de la funció de transferència del senyal (STF).



Modulador $\Sigma\Delta$

Disseny del modulador

Fig. 21.- Diagrama de Bode de la funció de transferència del soroll (NTF).



Modulador $\Sigma\Delta$

Disseny del modulador

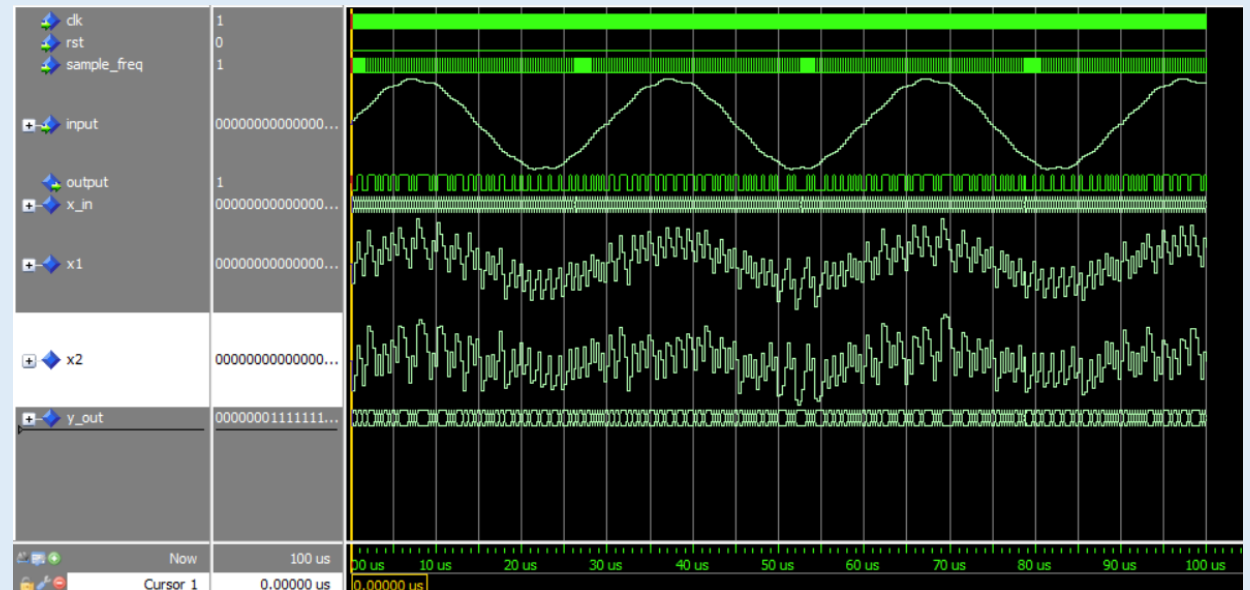
Taula 7.- Taula de les mètriques de rendiment calculades pel modulador $\Sigma\Delta$.

SQNR	70,1 dB
DR	112,28 dB
OSR	32
Freqüència de mostreig	1,41 MHz
Freqüència de tall de la STF	183,6 kHz
Freqüència de tall de la NTF	77,95 kHz
Freqüència de pic de la STF i NTF	117,46 kHz

Modulador $\Sigma\Delta$

Implementació a la FPGA

Fig. 22.- Cronograma del
banc de proves del
modulador $\Sigma\Delta$.



Modulador $\Sigma\Delta$

Implementació a la FPGA

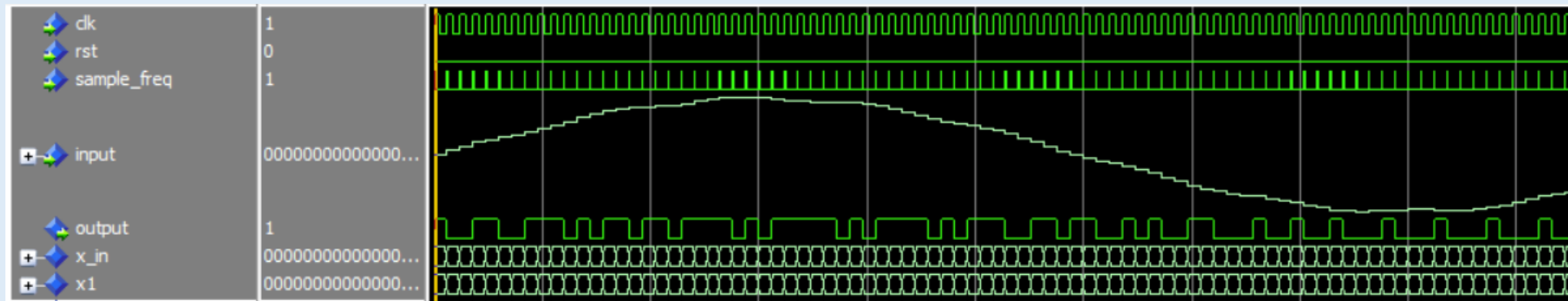


Fig. 23.- Cronograma del banc de proves del modulador $\Sigma\Delta$.



Implementació final

Implementació final

Projecte sintetitzat a la FPGA

Taula 8.- Utilització de recursos de la FPGA en la implementació final del projecte.

Recurs	Nombre
LUTs	1170
Registres	891
Slices	247
Muxes	46
DSPs	4

Implementació final

Resultat final



Implementació final

Conclusions

Objectiu 1

Implementar
Receptor I2S

Objectiu 2

D & I Filtre
Anti-Aliasing

Objectiu 3

D & I
modulador $\Sigma\Delta$

Objectiu 4

D & I Filtre
Delmat

Implementació final

Futures línies de treball

- Disseny & Implementació d'una etapa de delmat.
- Disseny d'un modulador $\Sigma\Delta$ de major ordre.
- Disseny & Implementació d'una etapa d'amplificació amb transistors GaN FET.

Bibliografia

- [1] E. Gaalaas, “**Class D Audio amplifiers: What, why, and how**”, *Analog Devices*.
<https://www.analog.com/en/resources/analog-dialogue/articles/class-d-audio-amplifiers.html>

- [2] Wikipedia contributors, “**Pulse-density modulation**”, Wikipedia, Feb. 14, 2024.
https://en.wikipedia.org/wiki/Pulse-density_modulation

- [3] E. Systems, “**Inter-ic sound (i2s)- esp32- esp-idf programming guide v5.4 documentation.**”
<https://docs.espressif.com/projects/esp-idf/en/stable/esp32/api-reference/peripherals-/i2s.html>, accedit el Gener 2025.

- [4] Diotronic, “**Diotronic S.A. – Componentes electrónicos**” <https://diotronic.com/>, accedit el Gener 2025.

Bibliografía

[5] eBay, “8G SanDisk Micro SD TF Memory Card 8GB Flash Memory Card Mini SDHC SDXC Adapter” <https://www.ebay.ca/itm/8G-SanDisk-Micro-SD-TF-Memory-Card-8GB-Flash-Memory-Card-Mini-SDHC-SDXC-Adapter/224081107877>, accedit el Gener 2025.

[6] F. Rubén, I. A. Badillo, G. F. Torres, and J. S. García, “Simplification to the fast FIR-FFT filtering technique in the DSP interpolation process for band-limited signals” *Revista Facultad de Ingeniería Universidad de Antioquia*, no. 68, pp. 9–19, Oct. 2013, doi: <https://doi.org/10.17533/udea.redin.17036>.

[7] R. Lyons, “A beginner’s guide to cascaded integrator-comb (cic) filters.” <https://www.dsprelated.com/showarticle/1337.php>, accedit el Gener 2025.



Gràcies per la vostra atenció