

# 各类总线接口

## 单周期SRAM接口说明

### 1.端口描述

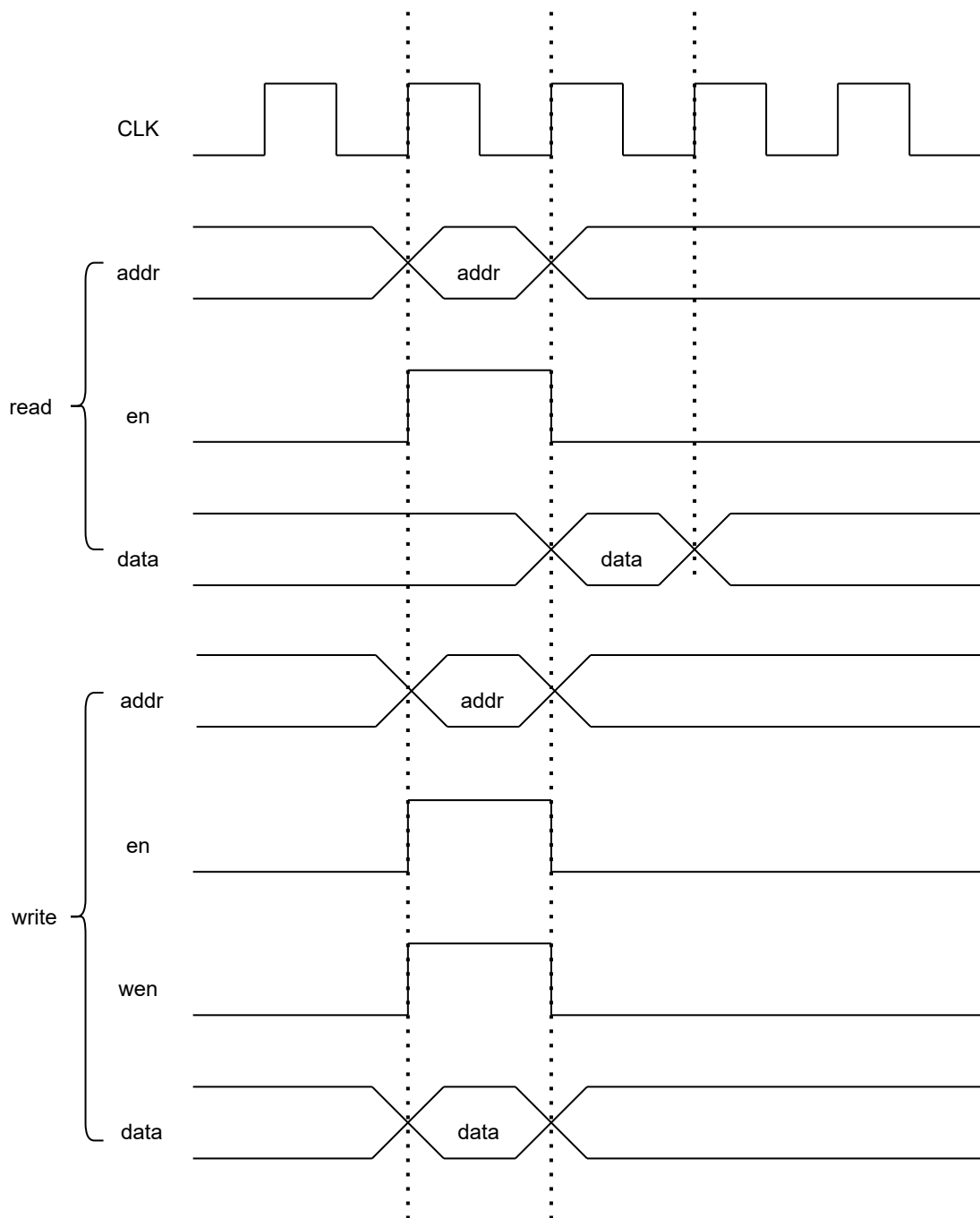
名称	宽度	方向	描述
clk	1	->master/slave	时钟
en	1	->slave	使能信号，片选，读写均需要高电平有效
addr	32	->slave	地址，读写均使用同一地址线
wen	4	->slave	字节写使能，指示写字节的位置
din	32	->slave	写数据
dout	32	slave->	读数据

- 指令SRAM大小为1MB，数据SRAM大小为256KB
- SRAM按字寻址，在 soc\_lit\_top.v 中进行字节寻址到字寻址的转换

### 2.时序

#### 读写数据

- 读：当拍传地址，下拍回数据
- 避免同时读写
- 大赛中提供的sram具有读保持功能，即当RAM的片选信号无效时，即使读地址在不断变化，RAM的输出数据仍保持最后一次片选信号有效时的地址对应的输出值。



# 类SRAM接口

## 1.接口定义

信号	位宽	方向	功能
clk	1	input	时钟
req	1	m->s	请求信号，为1时有读写请求
wr	1	m->s	该次请求是写
size	[1:0]	m->s	该次请求传输的字节数，0，1，2
addr	[31:0]	m->s	该次请求的地址
wdata	[31:0]	m->s	该次请求的写数据
addr_ok	1	s->m	地址握手信号，读：地址被接收，写：地址和数据被接收
data_ok	1	s->m	数据握手信号，读：数据返回，写：数据写入完成
rdata	[31:0]	s->m	该次请求返回的读数据

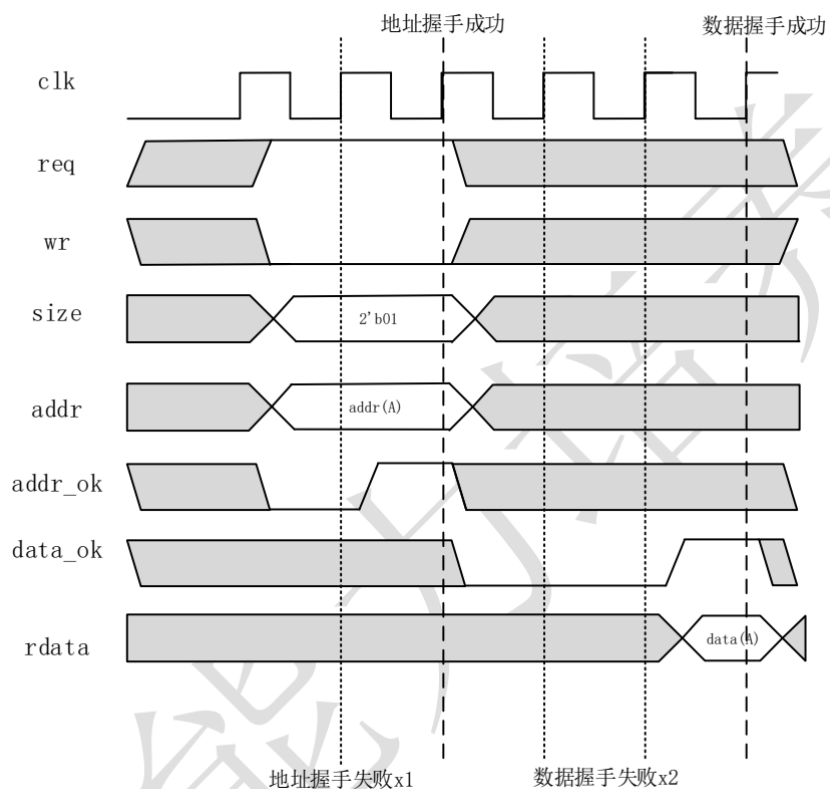
- 类SRAM的地址信号是字节寻址，且只支持地址对齐访问

1. addr[1:0]=2'b00 时，可能的组合：  
size=2'b00, size=2'b01, size=4'b10,
2. addr[1:0]=2'b01 时，可能的组合：  
size=2'b00
3. addr[1:0]=2'b10 时，可能的组合：  
size=2'b00, size=2'b01
4. addr[1:0]=2'b11 时，可能的组合：  
size=2'b00

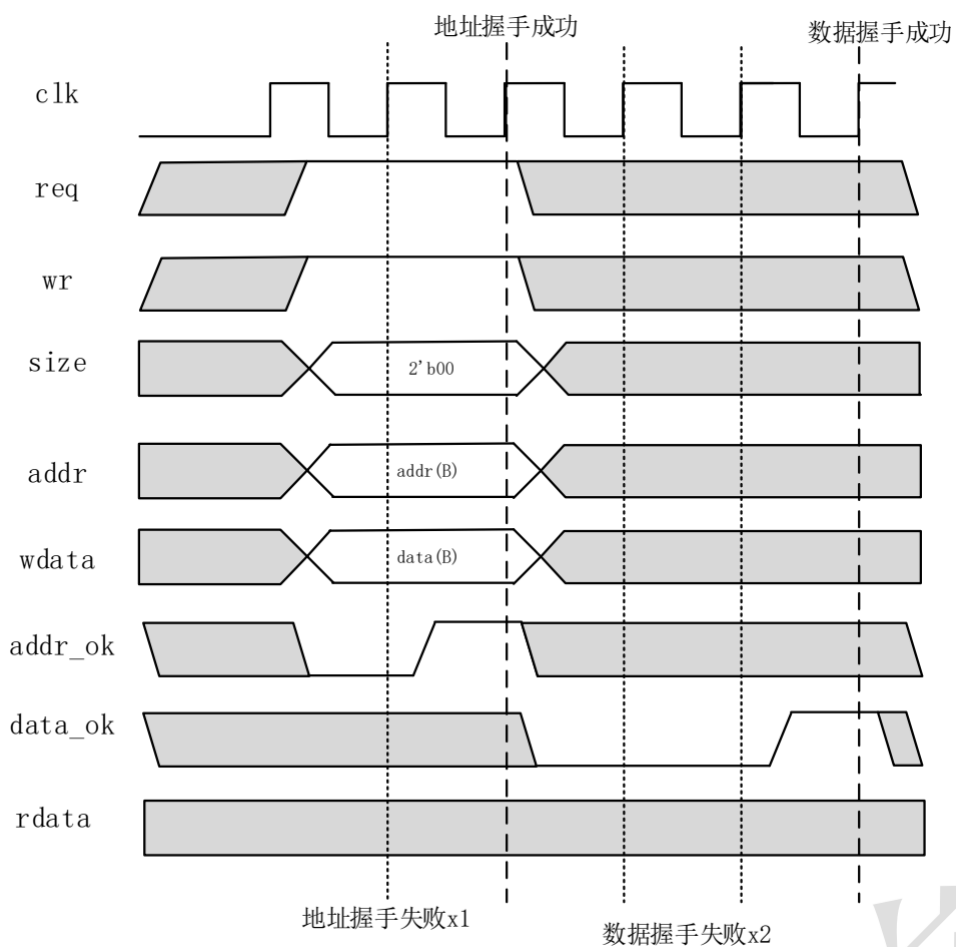
表 1-2 类 SRAM 接口数据有效情况

	data[31:24]	data[23:16]	data[15:8]	data[7:0]
size=2'b00,addr=2'b00	-	-	-	valid
size=2'b00,addr=2'b01	-	-	valid	-
size=2'b00,addr=2'b10	-	valid	-	-
size=2'b00,addr=2'b11	valid	-	-	-
size=2'b01,addr=2'b00	-	-	valid	valid
size=2'b01,addr=2'b10	valid	valid	-	-
size=2'b10,addr=2'b00	valid	valid	valid	valid

读一个半字的时序逻辑：



写一个字节的时序逻辑:



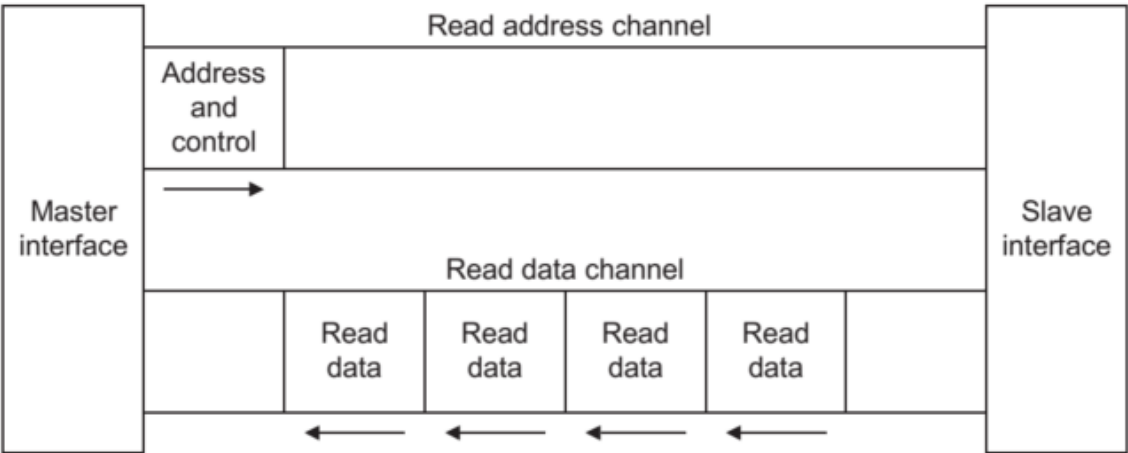
## AHB-Lite接口

# AXI接口

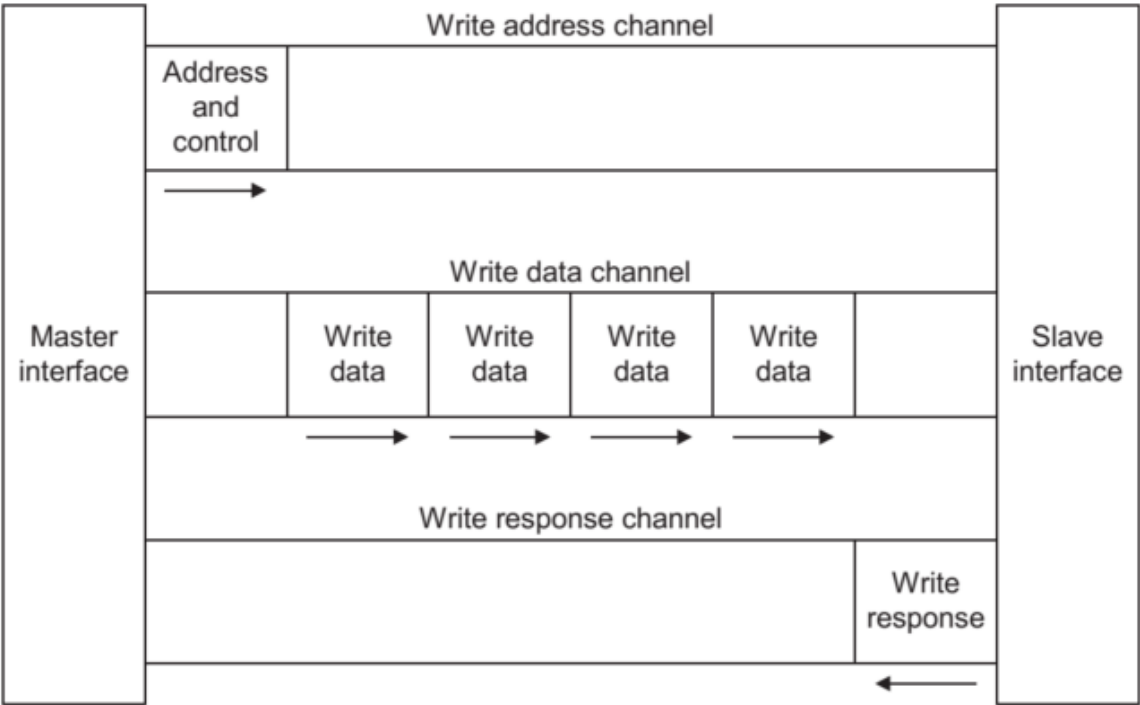
## 特性

- 增加乱序的特性，如乱序访问，乱序返回
- 读操作,分为地址传输和数据传输
- 写操作，分为地址传输，数据传输和响应传输
- 有5个通道，读写操作完全分开，读操作占用两个通道，写操作占用三个通道，每个通道有自己的握手信号
- 支持burst传输
- AXI4与AXI3相比无写数据ID，写数据必须in order，且增加了burst长度

## 读通道



## 写通道



## 端口描述

- 写地址以 `aw` 开头，写数据以 `w` 开头，写响应以 `b` 开头，读地址以 `ar` 开头，读数据以 `r` 开头
- 数据源使用 `valid` 信号表示数据已经准备好了，接受端使用 `ready` 信号表示可以接受数据了。

- 当valid和ready同时有效时完成数据传输
- 如果需要有序传输，则数据 ID 要求一致

时钟复位与握手信号

名称	宽度	方向	描述
aclk	1	->master/slave	
hresetn	1	->master/slave	低电平有效
读地址握手			
arvalid	1	->slave	读请求地址有效
arready	1	->master	从设备准备好，已接收读地址
读数据握手			
rvalid	1	->master	从设备返回数据，读数据有效
rready	1	->slave	主设备准备好，已接收返回的读数据
写地址握手			
awvalid	1	->slave	写请求地址有效
awready	1	->master	从设备准备好，已接收写地址
写数据握手			
wvalid	1	->slave	写数据有效
wready	1	->master	从设备准备好，已接受写数据
写响应握手			
bvalid	1	->master	从设备回应写结果，写回应有效
bready	1	->slave	从设备准备好，已接受写回应

握手信号依赖关系

- 两个箭头表示依赖关系不能改变

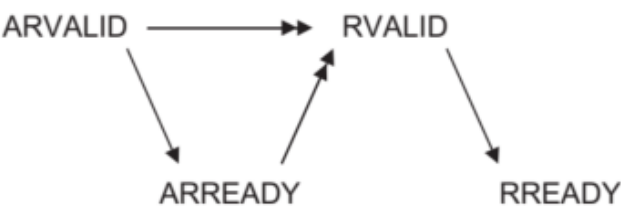
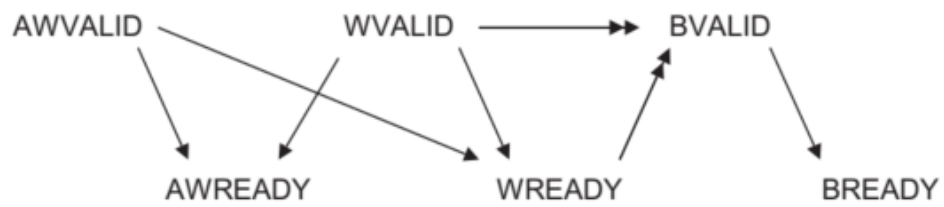


Figure 3-4 Read transaction handshake dependencies



**Figure 3-5 Write transaction handshake dependencies**