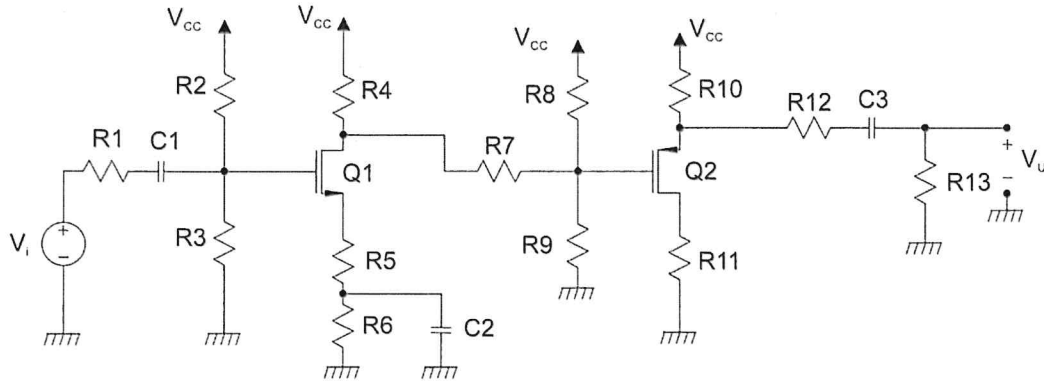


ELETTRONICA DIGITALE

Corso di Laurea in Ingegneria Informatica

Prova scritta del 18 luglio 2024

Esercizio A



$R1 = 1 \text{ k}\Omega$	$R2 = 10 \text{ k}\Omega$	$R3 = 8 \text{ k}\Omega$	$R4 = 6 \text{ k}\Omega$	$R5 = 50 \Omega$	$R7 = 1 \text{ k}\Omega$	$R8 = 8.5 \text{ k}\Omega$
$R9 = 19 \text{ k}\Omega$	$R10 = 1 \text{ k}\Omega$	$R11 = 2 \text{ k}\Omega$	$R12 = 100 \Omega$	$R13 = 20 \text{ k}\Omega$	$V_{cc} = 18 \text{ V}$	

Q1 è un transistor MOS a canale n resistivo con $V_T = 1 \text{ V}$; Q2 è un transistor MOS a canale p resistivo con $V_T = -1 \text{ V}$; la corrente di drain in saturazione per entrambi i MOS è data da $I_D = k(V_{GS} - V_T)^2$ con $k = 0.5 \text{ mA/V}^2$. Con riferimento al circuito in figura:

- 1) Calcolare il valore della resistenza R6 in modo che, in condizioni di riposo, la tensione sul gate di Q2 sia 9.5 V . Determinare, inoltre, il punto di riposo dei due transistori e verificarne la saturazione.
- 2) Determinare l'espressione e il valore di V_u/V_i alle frequenze per le quali i condensatori riportati nel circuito in figura possono essere considerati dei corti circuiti.

Esercizio B

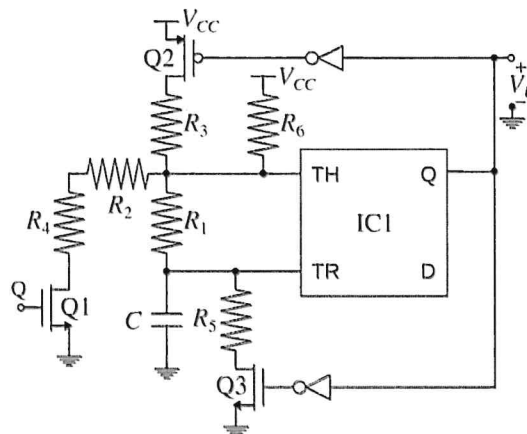
Progettare una porta logica in tecnologia CMOS, utilizzando la tecnica della pull-up network e della pull-down network, che implementi la funzione logica:

$$Y = A \cdot (\bar{B} + C \cdot \bar{D}) + \bar{A} \cdot D$$

Determinare il numero dei transistori necessari e disegnarne lo schema completo. Dimensionare inoltre il rapporto (W/L) di tutti i transistori, assumendo, per l'inverter di base, W/L pari a 2 per il MOS a canale *n* e pari a 5 per quello a canale *p*. Si specifichino i dettagli della procedura di dimensionamento dei transistori.

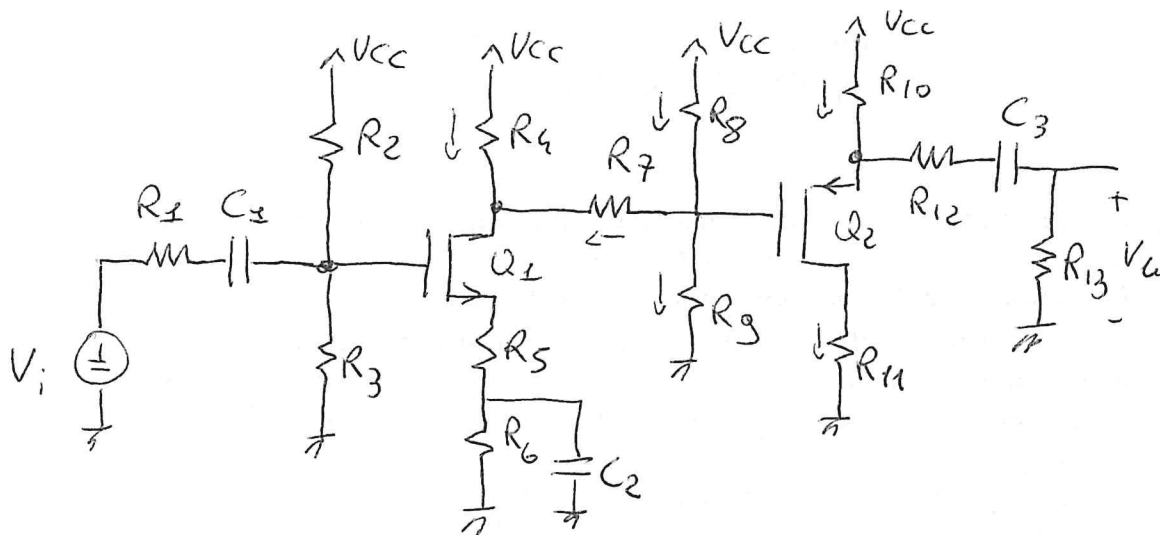
Esercizio C

$R1 = 1.8 \text{ k}\Omega$	$R5 = 5 \text{ k}\Omega$
$R2 = 3 \text{ k}\Omega$	$R6 = 13.2 \text{ k}\Omega$
$R3 = 1.32 \text{ k}\Omega$	$C = 470 \text{ nF}$
$R4 = 3 \text{ k}\Omega$	$V_{cc} = 6 \text{ V}$



Il circuito IC1 è un NE555 alimentato a $V_{cc} = 6 \text{ V}$; Q1e Q3 hanno $R_{on} = 0$ e $V_{Tn} = 1 \text{ V}$; Q2 ha $R_{on} = 0$ e $V_{Tp} = -1 \text{ V}$. Gli inverter sono ideali e sono anch'essi alimentati a $V_{cc} = 6 \text{ V}$. Verificare che il circuito si comporta come un multivibratore astabile e determinare la frequenza del segnale di uscita.

ESERCIZIO A



$$R_1 = 1k\Omega$$

$$R_2 = 10k\Omega$$

$$R_3 = 8k\Omega$$

$$R_4 = 6k\Omega$$

$$R_5 = 50\Omega$$

$$R_7 = 1k\Omega$$

$$R_8 = 8.5k\Omega$$

$$R_9 = 18k\Omega$$

$$R_{10} = 1k\Omega$$

$$R_{11} = 2k\Omega$$

$$R_{12} = 100\Omega$$

$$R_{13} = 20k\Omega$$

$$V_{CC} = 18V$$

1) Det. R_6 PER $V_{G2} = 9.5V$

$$I_{G2} = 0 \Rightarrow I_{D2} = I_{S2}$$

$$\text{hp } Q_2 \text{ SATURO} \Rightarrow I_{D2} = K(V_{GS2} - V_{T2})^2$$

$$V_{S2} = V_{CC} - R_{10} I_{D2}$$

$$I_{D2} = K[V_{G2} - V_{S2} - V_{T2}]^2 =$$

$$= K[9.5 - (18 - 10^3 I_{D2}) - 1]^2 =$$

$$= K[-7.5 + 10^3 I_{D2}]^2 =$$

$$= K[56.25 + 10^6 I_{D2}^2 - 15 \times 10^3 I_{D2}] =$$

$$= 28.125 \times 10^{-3} + 0.5 \times 10^3 I_{D2}^2 - 7.5 I_{D2}$$

$$0.5 \times 10^3 I_{D2}^2 - 8.5 I_{D2} + 28.125 \times 10^{-3} = 0$$

$$I_{D2} = \frac{8.5 \pm \sqrt{72.25 - 56.25}}{10^3} = \frac{8.5 \pm 4}{10^3} = \begin{cases} I_{D2A} = 12.5 \text{ mA} \\ I_{D2B} = 4.5 \text{ mA} \end{cases}$$

$$\text{Se } I_{D2} = 12.5 \text{ mA} \Rightarrow V_{S2} = 18 - 12.5 = 5.5V \Rightarrow V_{GS2} = 4V > V_{T2} = -1 \text{ NON CONDUCE}$$

$$\text{Se } I_{D2} = 4.5 \text{ mA} \Rightarrow V_{S2} = 18 - 4.5 = 13.5V \Rightarrow V_{GS2} = -4V < V_{T2} = -1 \text{ SELOV. ACCETTAB.}$$

$$\Rightarrow \begin{cases} V_{GS2} = -4V \\ V_{S2} = 13.5V \end{cases}$$

(2)

$$V_{D2} = R_{11} I_{D2} = 9V$$

VERIFICA SATURAZIONE: $V_{DS2} \leq V_{GS2} - V_{T2}$

$$V_{DS2} = V_{D2} - V_{S2} = 9 - 13.5 = -4.5V$$

$$-4.5V < -4 - (-1) = -3V$$

\Rightarrow VERIFICA OK

$$g_m = 2K (V_{GS2} - V_{T2}) = 3 \times 10^{-3} A/V$$

$$I_8 = \frac{V_{CC} - V_{G2}}{R_8} = 1mA$$

$$I_9 = \frac{V_{G2}}{R_9} = 0.5mA$$

$$I_7 = I_8 - I_9 = 0.5mA$$

$$V_{D1} = V_{G2} - R_7 I_7 = 9V$$

$$I_4 = \frac{V_{CC} - V_{D1}}{R_4} = 1.5mA$$

$$I_{D1} = I_4 + I_7 = 2mA$$

$$I_{G1} = \phi \Rightarrow \begin{cases} I_{S1} = I_{D1} \\ V_{G1} = V_{CC} \frac{R_3}{R_2 + R_3} = 8V \end{cases}$$

np Q_1 SATURO $\Rightarrow I_{D1} = K (V_{GS1} - V_{T1})^2$

SCELGO LA SOLUZIONE CON $+$ PERCHÉ Q_1 È UN NMOS E PERTANTO CONDUCE PER $V_G \geq V_T$

$$V_{GS1} = V_T + \sqrt{\frac{I_{D1}}{K}}$$

$$V_{GS1} = V_T + \sqrt{\frac{I_{D1}}{K}} = 1 + 2 = 3V$$

$$V_{S1} = V_G - V_{GS1} = 8 - 3 = 5V$$

$$R_6 = \frac{V_{S1}}{I_{D1}} - R_5 = 2500 - 50 = \underline{\underline{2450 \Omega}}$$

$$g_{m1} = 2K (V_{GS1} - V_{T1}) = 2 \times 10^{-3} A/V$$

$$V_{DS1} = V_{D1} - V_{S1} = 9 - 5 = 4V$$

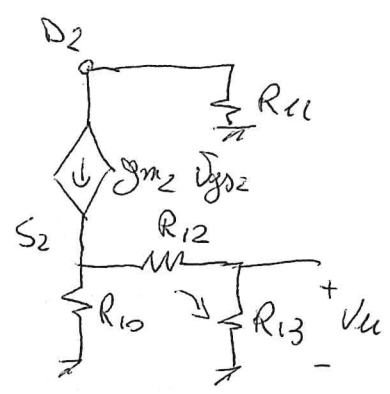
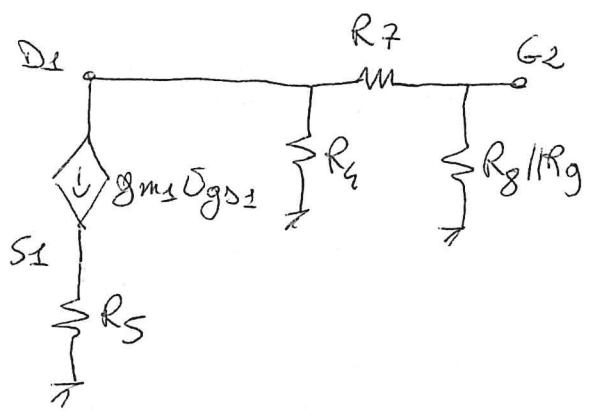
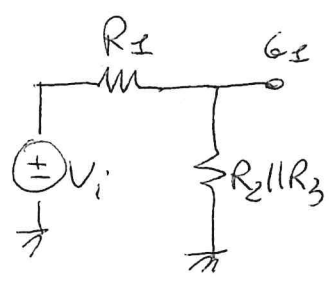
VERIFICA SATURAZIONE: $V_{DS1} \geq V_{GS1} - V_{T1}$

$$4V > (3 - 1) = 2V \quad \text{VERIFICA OK}$$

$$Q_2: \begin{cases} I_{D2} = 4.5mA \\ V_{DS2} = -4.5V \\ V_{GS2} = -4V \\ g_{m2} = 3 \times 10^{-3} A/V \end{cases}$$

$$Q_1: \begin{cases} I_{D1} = 2mA \\ V_{DS1} = 4V \\ V_{GS1} = 3V \\ g_{m1} = 2 \times 10^{-3} A/V \end{cases}$$

2) DET. $\frac{V_u}{V_i}$ PER C_i CORTO CIRCUITATI



$$V_u = R_{13} i_{13}$$

$$i_{13} = (g_{m2} V_{gs2}) \frac{R_{10}}{R_{10} + R_{12} + R_{13}}$$

$$\begin{aligned} V_{s2} &= (g_{m2} V_{gs2}) [R_{10} \parallel (R_{12} + R_{13})] \\ V_{gs2} &= V_{g2} - V_{s2} \end{aligned} \Rightarrow V_{gs2} = \frac{V_{g2}}{1 + g_{m2} [R_{10} \parallel (R_{12} + R_{13})]}$$

$$V_{g2} = (-g_{m1} V_{gs1}) \frac{R_4}{R_4 + R_7 + R_8 \parallel R_9}$$

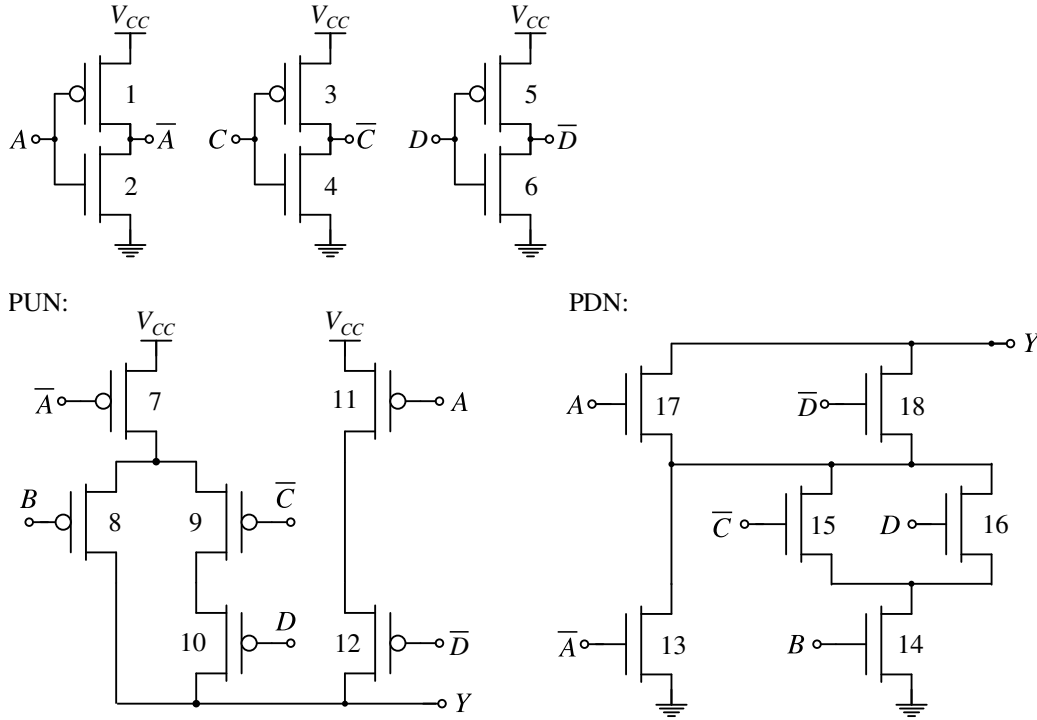
$$\begin{aligned} V_{s1} &= (g_{m1} V_{gs1}) R_5 \\ V_{gs1} &= V_{g1} - V_{s1} \end{aligned} \Rightarrow V_{gs1} = \frac{V_{g1}}{1 + g_{m1} R_5}$$

$$V_{g1} = V_i \frac{R_2 \parallel R_3}{R_1 + R_2 \parallel R_3}$$

$$\begin{aligned} \frac{V_u}{V_i} &= R_{13} g_{m2} \frac{R_{10}}{R_{10} + R_{12} + R_{13}} \frac{1}{1 + g_{m2} [R_{10} \parallel (R_{12} + R_{13})]} (-g_{m1}) \frac{R_4 (R_8 \parallel R_9)}{R_4 + R_7 + (R_8 \parallel R_9)} \\ &= \frac{0.90}{1 + g_{m1} R_5} \cdot \frac{0.816}{R_1 + R_2 \parallel R_3} = -2.99 \end{aligned}$$

Esercizio B – svolgimento

$$Y = A \cdot (\bar{B} + C \cdot \bar{D}) + \bar{A} \cdot D; \quad \text{Numero di MOS: } (6 + 3) \times 2 = 18$$



Dimensionamento della PUN, assumendo $(W/L)_p = p = 5$:

- $(W/L)_{1,3,5} = p = 5$
- Percorsi con 3 MOS in serie: (Q7-Q9-Q10), possibile.

$$(W/L)_{7,9,10} = x; \quad 3 \times \frac{1}{x} = \frac{1}{p} \implies x = 3p = 15.$$
- Percorsi con 2 MOS in serie: (Q7, Q8), possibile con Q7 già dimensionato. (Q11, Q12), possibile.

$$(W/L)_8 = y; \quad \frac{1}{x} + \frac{1}{y} = \frac{1}{p} \implies y = \frac{3}{2}p = 7.5.$$

$$(W/L)_{11,12} = z; \quad 2 \times \frac{1}{z} = \frac{1}{p} \implies z = 2p = 10.$$

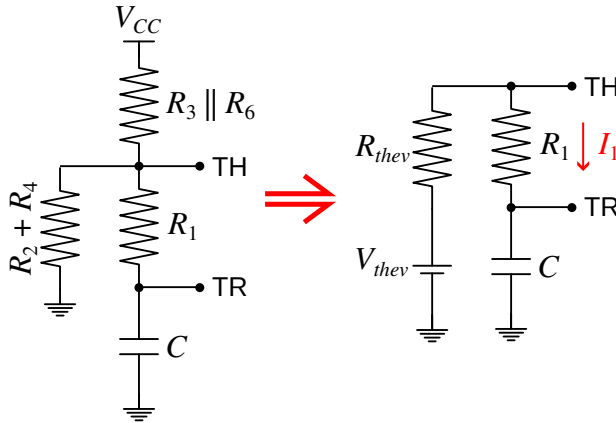
Dimensionamento della PDN, assumendo $(W/L)_n = n = 2$:

- $(W/L)_{2,4,6} = n = 2$
- Percorsi con 3 MOS in serie:
 - (Q14, Q15, Q17) possibile
 - (Q14, Q15, Q18) possibile
 - (Q14, Q16, Q17) possibile
 - (Q14, Q16, Q18) impossibile: D e \bar{D}
$$(W/L)_{14,15,16,17,18} = z; \quad 3 \times \frac{1}{w} = \frac{1}{n} \implies w = 3n = 6.$$
- Percorsi con 2 MOS in serie:
 - (Q13, Q17) impossibile: A e \bar{A}
 - (Q13, Q18) possibile, con Q18 già dimensionato

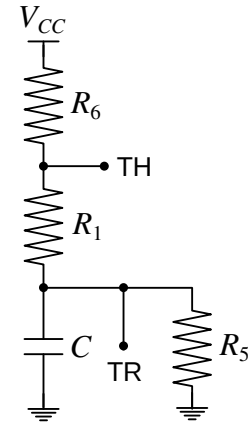
$$(W/L)_{13} = q; \quad \frac{1}{q} + \frac{1}{w} = \frac{1}{n} \implies q = \frac{3}{2}n = 3.$$

Esercizio C – svolgimento

FASE DI SET:



FASE DI RESET:



Fase di SET: $Q=1$;

$V_{G1} = 6\text{ V}$, $V_{S1} = 0\text{ V}$, $V_{GS1} = 6\text{ V} > V_{Tn} = 1\text{ V}$: Q1 acceso.

$V_{G3} = 0\text{ V}$, $V_{S3} = 0\text{ V}$, $V_{GS3} = 0\text{ V} < V_{Tn} = 1\text{ V}$: Q3 spento.

$V_{G2} = 0\text{ V}$, $V_{S2} = 6\text{ V}$, $V_{GS2} = -6\text{ V} < V_{Tp} = 1\text{ V}$: Q2 acceso.

All'inizio della fase di SET consideriamo lo schema riportato in figura:

$$R_{th} = R_3 || R_6 || (R_2 + R_4) = 1\text{ k}\Omega. \quad V_{th} = \frac{R_2 + R_4}{R_2 + R_4 + (R_3 || R_6)} V_{CC} = 5\text{ V}.$$

$$V_{i1} = V_{CC}/3 = 2\text{ V}; \quad V_{f1} = V_{th} = 5\text{ V}; \quad V_{com1} = V_{TH} - R_1 I_1,$$

dove: $V_{TH} = (2/3)V_{CC} = 4\text{ V}$, $I_1 = \frac{V_{th} - V_{TH}}{R_{th}} = 1\text{ mA}$. Da cui: $V_{com1} = 2.2\text{ V}$.

Si verifica quindi la condizione per la commutazione: $V_{i1} < V_{com1} < V_{f1}$: $2\text{ V} < 2.2\text{ V} < 5\text{ V}$.

La resistenza vista da C durante la fase di SET: $R_{v1} = R_{th} + R_1 = 2.8\text{ k}\Omega$.

La costante di tempo caratteristica, τ_1 , della carica di C durante la fase di SET, è:

$$\tau_1 = R_{v1} C = 1316\text{ }\mu\text{s}.$$

La durata della fase di SET, T_1 , si calcola come:

$$T_1 = \tau_1 \ln \left(\frac{V_{f1} - V_{i1}}{V_{f1} - V_{com1}} \right) = 90.795\text{ }\mu\text{s}.$$

Fase di RESET: $Q=0$;

$V_{G1} = 0\text{ V}$, $V_{S1} = 0\text{ V}$, $V_{GS1} = 0\text{ V} < V_{Tn} = 1\text{ V}$: Q1 spento.

$V_{G3} = 6\text{ V}$, $V_{S3} = 0\text{ V}$, $V_{GS3} = 6\text{ V} > V_{Tn} = 1\text{ V}$: Q3 acceso.

$V_{G2} = 6\text{ V}$, $V_{S2} = 6\text{ V}$, $V_{GS2} = 0\text{ V} > V_{Tp} = 1\text{ V}$: Q2 spento.

Consideriamo quindi il circuito in figura, relativo alla fase di RESET:

$$V_{i2} = V_{com1} = 2.2\text{ V}; \quad V_{f2} = \frac{R_5}{R_1 + R_5 + R_6} V_{CC} = 1.5\text{ V}; \quad V_{com2} = V_{i1} = 2\text{ V}.$$

Si verifica quindi la condizione di commutazione: $V_{i2} > V_{com2} > V_{f2}$: $2.2\text{ V} > 2\text{ V} > 1.5\text{ V}$.

La resistenza vista da C durante la fase di RESET: $R_{v2} = R_5 || (R_1 + R_6) = 3.75 \text{ k}\Omega$.

La costante di tempo caratteristica, τ_2 , della scarica di C durante la fase di RESET, è:

$$\tau_2 = R_{v2}C = 1762.5 \text{ }\mu\text{s}.$$

La durata della fase di RESET, T_2 , si calcola come:

$$T_2 = \tau_2 \ln \left(\frac{V_{f2} - V_{i2}}{V_{f2} - V_{com2}} \right) = 593.032 \text{ }\mu\text{s}.$$

La frequenza di oscillazione dell'astabile è $f = \frac{1}{T_1 + T_2} = 1462.358 \text{ Hz}$.