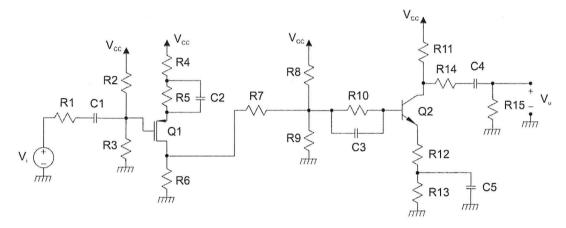
# ELETTRONICA DIGITALE

Corso di Laurea in Ingegneria Informatica

Prova scritta del 27 giugno 2024

## Esercizio A



$R1 = 100 \Omega$	$R2 = 20 \text{ k}\Omega$	$R3 = 10 \text{ k}\Omega$	$R4 = 50 \Omega$	$R6 = 3 k\Omega$	$R7 = 29 \text{ k}\Omega$	$R8 = 128 \text{ k}\Omega$	$R9 = 260 \text{ k}\Omega$
$R10 = 29 \text{ k}\Omega$	$R11 = 4350 \Omega$	$R12 = 150 \Omega$	$R13 = 2 k\Omega$	$R14 = 200 \Omega$	$R15 = 20 \text{ k}\Omega$	Vcc = 18 V	

Q1 è un transistore MOS a canale p resistivo con  $V_T$ =-1 V e la corrente di drain in saturazione data da  $I_D$ = $k(V_{GS}-V_T)^2$  con k = 0.5 mA/V<sup>2</sup>; Q2 è un transistore BJT BC109B resistivo con  $h_{re}$  =  $h_{oe}$ = 0 Con riferimento al circuito in figura:

- 1) Calcolare il valore della resistenza R5 in modo che, in condizioni di riposo, la tensione sul collettore di Q2 sia 9.3 V. Determinare, inoltre, il punto di riposo dei due transistori e verificare la saturazione di Q1.
- 2) Determinare l'espressione e il valore di  $V_U/V_i$  alle frequenze per le quali i condensatori riportati nel circuito in figura possono essere considerati dei corto circuiti.

## Esercizio B

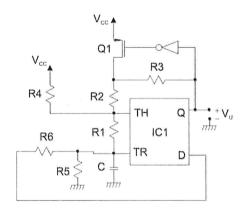
Progettare una porta logica in tecnologia CMOS, utilizzando la tecnica della pull-up network e della pull-down network, che implementi la funzione logica:

$$Y = \overline{A} \cdot \left( \overline{B} \cdot \overline{C} + C \cdot \overline{D} \right) + B \cdot \overline{D}$$

Determinare il numero dei transistori necessari e disegnarne lo schema completo. Dimensionare inoltre il rapporto (W/L) di tutti i transistori, assumendo, per l'inverter di base, W/L pari a 2 per il MOS a canale n e pari a 5 per quello a canale p. Si specifichino i dettagli della procedura di dimensionamento dei transistori.

## Esercizio C

R1= 200 Ω	$R5 = 4 k\Omega$
$R2 = 1.6 \text{ k}\Omega$	$R6 = 1 k\Omega$
R3 = 800 Ω	C = 22 nF
$R4 = 1.6 \text{ k}\Omega$	$V_{CC} = 6 \text{ V}$



Il circuito  $IC_1$  è un NE555 alimentato a  $V_{CC} = 6$  V; Q1 ha  $R_{on} = 0$  e  $V_{Tn} = -1$  V. L'inverter è ideale ed è anch'esso alimentato a  $V_{CC} = 6$  V. Verificare che il circuito si comporta come un multivibratore astabile e determinare la frequenza del segnale di uscita.

R1= 1002 R ,= 20K2 R3 = 10K2 R4 = 501 R6=3K2 R7=29K2 R8 = 128KZ

R3 = 260KZ R10 = 29K2

Ru= 43502

Riz= 1502

R13 = 2K2

R14 = 2002

R15 = 20K2

VCC= 18V

$$I_6 = \frac{V_D}{R_6} = 1.026 \text{ mA}$$

$$T_{6=0} = \int D = T_{5}$$

$$V_{G} = V_{CC} \frac{R_{3}}{R_{1} + R_{3}} = 6V$$

$$R_{5} = \frac{V_{cc} - V_{5}}{T_{5}} - R_{4} = \frac{10037.04}{T_{5}}$$

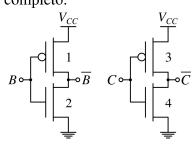
$$\begin{array}{c}
\text{To} = 0.9536 \text{ mA} \\
\text{VDS} = -5.301 \text{ V} \\
\text{VGS} = -2.381 \text{ V} \\
\text{gm} = 1.381 \times 10^{-3} \text{ MV}
\end{array}$$

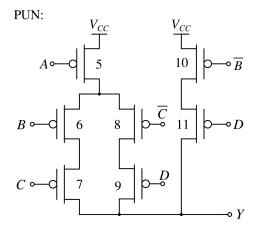
$$Q_2: \begin{cases} T_{c=2mA} \\ V_{CB} = 5V \\ h_{FE} = 290 \\ h_{1e} = 4800 R \\ h_{fe} = 300 \end{cases}$$

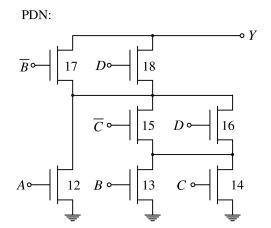
# Esercizio B - svolgimento

$$Y = \overline{A} \cdot (\overline{B} \cdot \overline{C} + C \cdot \overline{D}) + B \cdot \overline{D}$$

Numero di MOS:  $(7 + 2) \times 2 = 18$ Schema completo:







Dimensionamento della PUN, assumendo  $(W/L)_p = p = 5$ :

- $(W/L)_{1,3} = p = 5$
- Percorsi con 3 MOS in serie: (Q5-Q6-Q7), (Q5-Q8-Q9) entrambi possibili.

$$(W/L)_{5,6,8,9} = x;$$
  $3 \times \frac{1}{x} = \frac{1}{p} \implies x = 3p = 15.$ 

• Percorsi con 2 MOS in serie: (Q10, Q11) possibile.

$$(W/L)_{10,11} = y;$$
  $2 \times \frac{1}{y} = \frac{1}{p} \implies y = 2p = 10.$ 

Dimensionamento della PDN, assumendo  $(W/L)_n = n = 2$ :

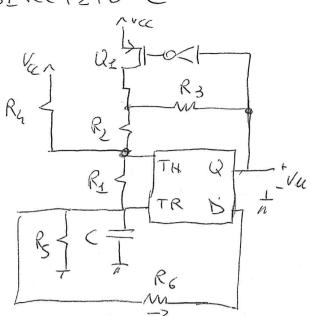
- $(W/L)_{2,4} = n = 2$
- Percorsi con 3 MOS in serie:
  - (Q13, Q15, Q17) impossibile:  $B \in \overline{B}$
  - (Q13, Q15, Q18) possibile
  - (Q13, Q16, Q17) impossibile:  $B \in \overline{B}$
  - (Q13, Q16, Q18) possibile
  - (Q14, Q15, Q17) impossibile:  $C \in \overline{C}$
  - (Q14, Q15, Q18) impossibile: C e  $\overline{C}$
  - (Q14, Q16, Q17) possibile
  - (Q14, Q16, Q17) possibile
  - (Q14, Q16, Q18) possibile

$$(W/L)_{13,14,15,16,17,18} = z;$$
  $3 \times \frac{1}{z} = \frac{1}{n} \implies z = 3n = 6.$ 

• Percorsi con 2 MOS in serie:

- (Q12, Q17) possibile con Q17 già dimensionato
- (Q12, Q18) possibile con Q18 già dimensionato

$$(W/L)_{12} = t;$$
  $\frac{1}{t} + \frac{1}{z} = \frac{1}{n} \implies t = \frac{zn}{z - n} = \frac{3}{2}n = 3.$ 



$$R_{4} = \frac{1}{3}V_{cc} = \frac{2V}{3}V_{cc} = \frac{2V}{3}V_{cc} = \frac{2V}{3}V_{cc} = \frac{4.8V}{3}V_{cc} = \frac{4.8V}{3}V_$$

VERIFICA CORMUTAZIONE: VIZ < VORIZ VIJA

2) FASE DI RESET

(6)