

## Esercizio 2: Verilog

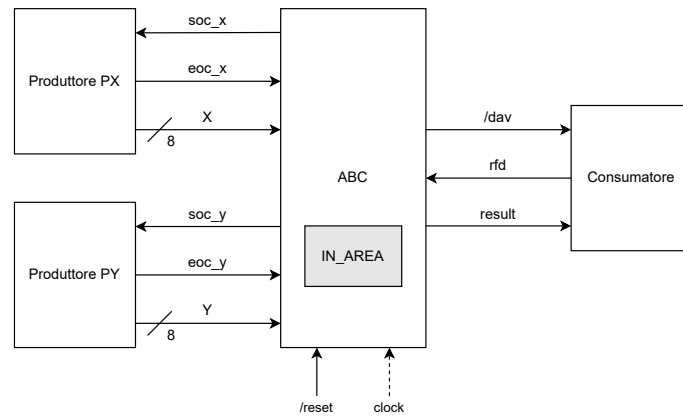


Figura 1: Schema del sistema

Il modulo ABC in Figura 1, ciclicamente

- Preleva due byte X e Y dai produttori PX e PY
- Li interpreta come rappresentazioni in CR di numeri interi su 8 bit, rispettivamente come  $x$  e  $y$ , e li elabora come da specifica nella successiva sezione
- Emette il risultato dell'elaborazione al consumatore

Nota: non si faccia alcuna ipotesi sui tempi di risposta dei due produttori.

Descrivere in Verilog l'unità ABC e sintetizzarla in accordo al modello con parte operativa e parte controllo. Si supponga che la parte controllo sia implementata secondo un modello basato su microindirizzi e si scriva la struttura della ROM come commento alla parte controllo medesima.

Sintetizzare come modulo a parte la rete combinatoria IN\_AREA utilizzata per il calcolo del risultato. Se lo si ritiene, si utilizzino le reti combinatorie fornite nel file reti\_standard.v, fornite assieme a testbench.v al link: <https://tinyurl.com/yrfcn7ht>

La documentazione Verilog in formato PDF è scaricabile al link: <https://tinyurl.com/k5rbam4w>

## Elaborazione

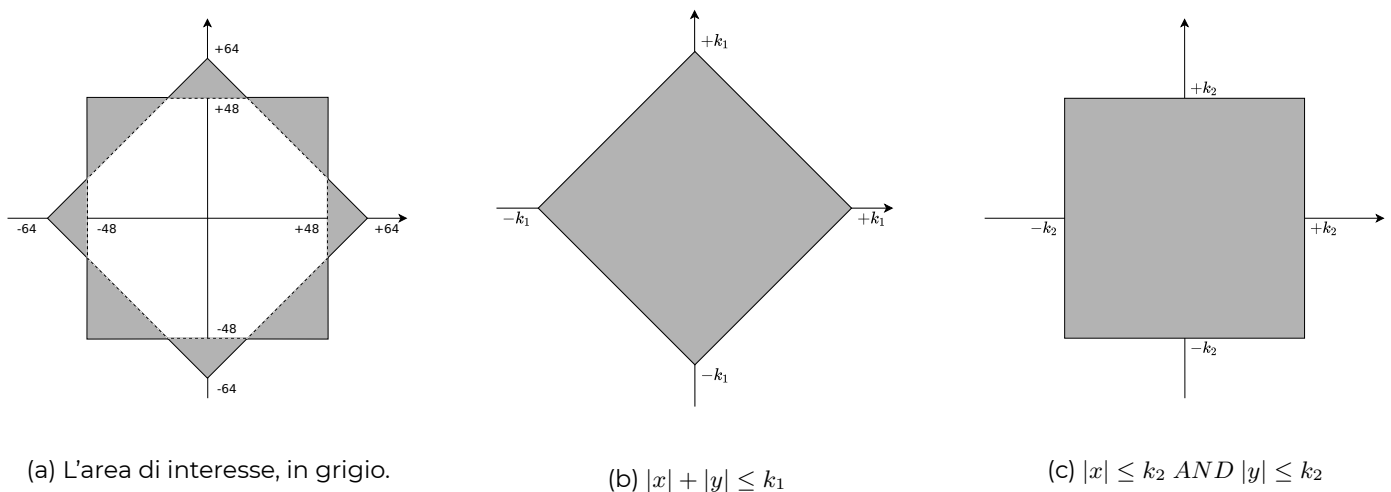


Figura 2: Piani cartesiani con area di interesse e le relative componenti.

Si consideri il piano cartesiano in Figura 2a e il punto  $P$  in tale piano descritto dalle coordinate  $x$  (ascisse) e  $y$  (ordinate). L'elaborazione produce un'uscita  $z$  ad un bit, che vale 1 se il punto è interno all'area evidenziata in grigio, 0 altrimenti (ossia se il punto è in un'area in bianco). Sono parte dell'area in grigio i bordi esterni (linea solida) ma non quelli interni (linea tratteggiata). L'area nella figura Figura 2a è ottenuta combinando forme della Figura 2b (con  $k_1 = 64$ ) e Figura 2c (con  $k_2 = 48$ ).