

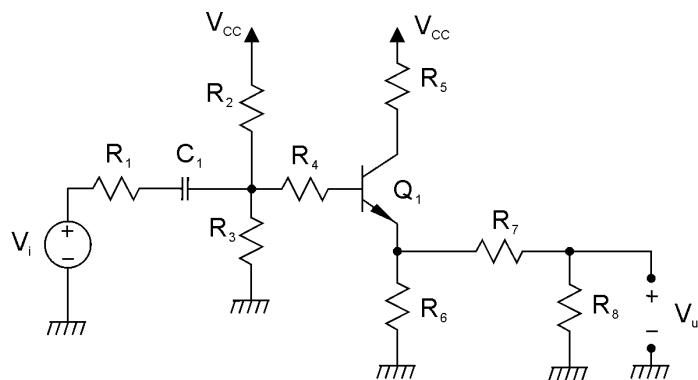
ELETTRONICA DIGITALE

Corso di Laurea in Ingegneria Informatica

Prova scritta del 11 giugno 2020

Esercizio 1

$R_1 = 50 \Omega$
$R_2 = 62.4 \text{ k}\Omega$
$R_4 = 2.9 \text{ k}\Omega$
$R_5 = 4.1 \text{ k}\Omega$
$R_6 = 9.6 \text{ k}\Omega$
$R_7 = 200 \Omega$
$R_8 = 3 \text{ k}\Omega$
$V_{CC} = 18 \text{ V}$



Q_1 è un transistor BJT BC109B resistivo con $h_{re} = h_{oe} = 0$.

Con riferimento al circuito in figura:

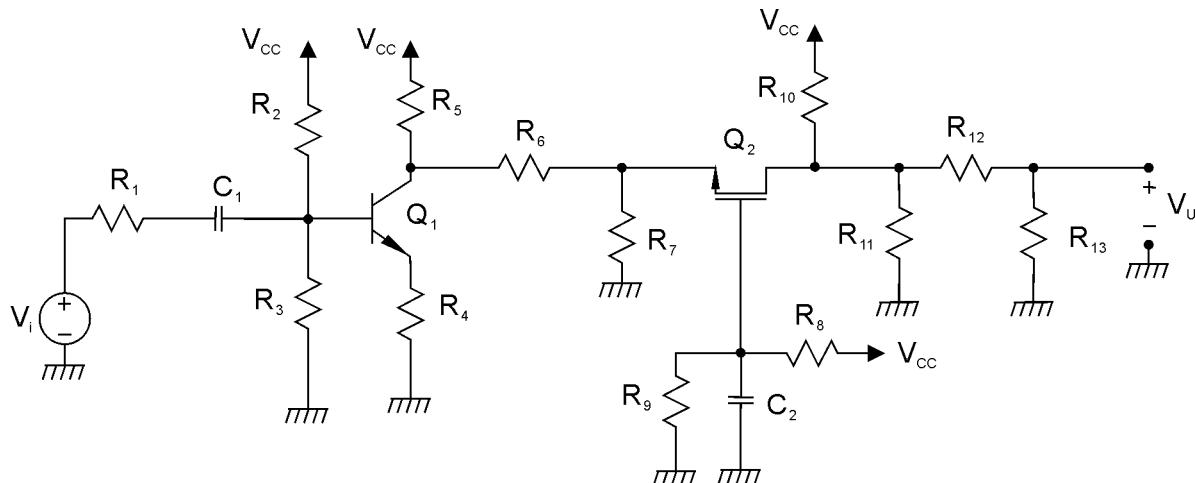
- 1) Calcolare il valore della resistenza R_3 in modo che, in condizioni di riposo, la tensione di uscita V_u sia 4.5 V;
- 2) Determinare, inoltre, il punto di riposo del transistor Q_1 e i parametri per il modello di piccolo segnale.

È consentita la consultazione del solo manuale delle caratteristiche. Nel caso di presenza appunti, testi in vista, si procederà all'immediato annullamento della prova scritta.

ELETTRONICA DIGITALE
Corso di Laurea in Ingegneria Informatica

Prova scritta del 11 giugno 2020

Esercizio 2



Q_1 è un transistore BJT BC109B resistivo con $h_{re} = h_{oe} = 0$; Q_2 è un transistore MOS a canale n resistivo con la corrente di drain in saturazione data da $I_D = k(V_{GS} - V_T)^2$.

Con riferimento al circuito in figura:

- Determinare l'espressione di V_u/V_i alle frequenze per le quali i condensatori C_1 e C_2 possono essere considerati dei corto circuiti.

È consentita la consultazione del solo manuale delle caratteristiche. Nel caso di presenza appunti, testi in vista, si procederà all'immediato annullamento della prova scritta.

ELETTRONICA DIGITALE
Corso di Laurea in Ingegneria Informatica

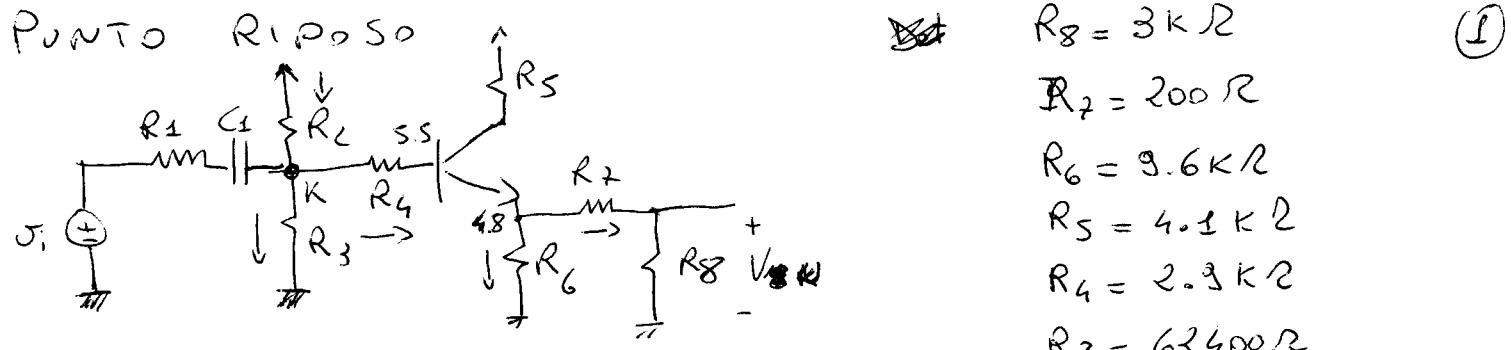
Prova scritta del 11 giugno 2020

Esercizio 3

Progettare una porta logica in tecnologia CMOS, utilizzando la tecnica della pull-up network e della pull-down network, che implementi la funzione logica:

$$Y = \bar{A}BC(\bar{D} + \bar{E}F) + A\bar{B}$$

Determinare il numero dei transistori necessari e disegnarne lo schema completo. Dimensionare inoltre il rapporto (W/L) di tutti i transistori, assumendo, per l'inverter di base, W/L pari a 2 per il MOS a canale *n* e pari a 5 per quello a canale *p*. Si specifichino i dettagli della procedura di dimensionamento di tutti i transistori.



$$\begin{aligned}
 R_8 &= 3k\Omega \\
 R_7 &= 200\Omega \\
 R_6 &= 9.6k\Omega \\
 R_5 &= 4.1k\Omega \\
 R_4 &= 2.3k\Omega \\
 R_2 &= 62400\Omega \\
 R_1 &= 50\Omega
 \end{aligned}$$

(1)

Det. R_3 per $V_E = 4.5V$

$$I_8 = \frac{V_K}{R_8} = 1.5mA$$

$$V_E = (R_7 + R_8) I_8 = 4.8V$$

~~$I_6 = \frac{V_E}{R_6} = 0.5mA$~~

$$I_E = I_8 + I_6 = 2mA$$

$$I_B \ll I_C \Rightarrow I_C \approx I_E$$

$$V_C = V_{CC} - R_S I_C = 9.8V$$

$$V_{CE} = 5V$$

$$V_B = V_E + V_f = 5.5V$$

$$V_K = V_B + R_4 I_B = 5.52V$$

$$I_2 = \frac{V_{KE} - V_K}{R_2} = 0.2mA$$

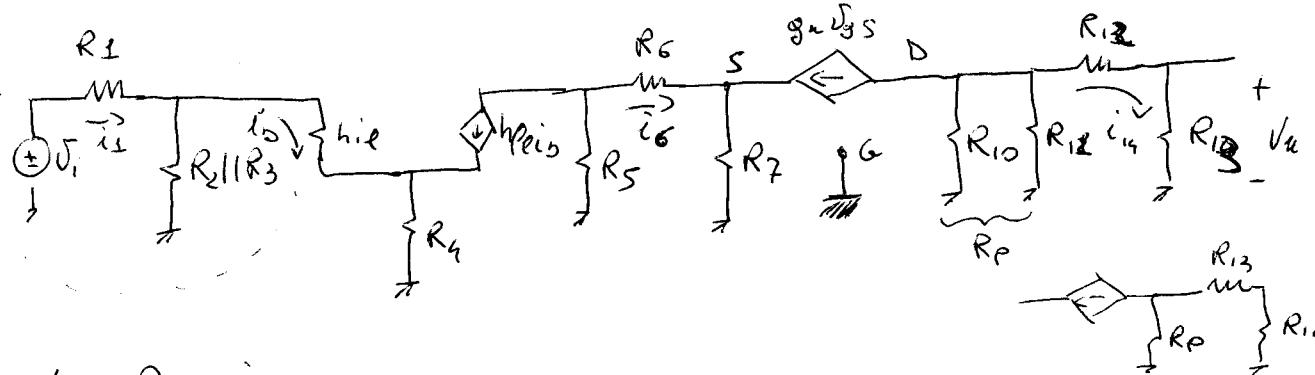
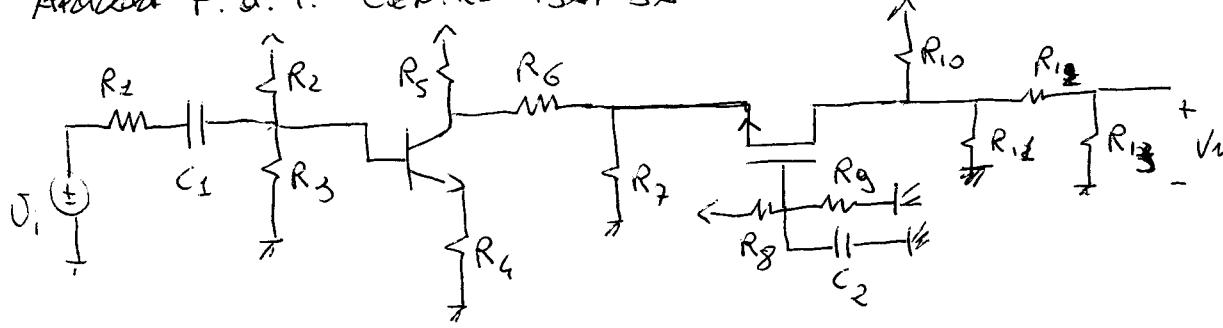
$$I_3 = I_2 - I_B = 193.1\mu A$$

$$R_3 = \frac{V_K}{I_3} = 28585.71\Omega$$

$Q_1:$

$$\left\{
 \begin{array}{l}
 I_C = 2mA \\
 V_{CE} = 5V \\
 h_{FE} = 230 \Rightarrow I_B = \frac{I_C}{h_{FE}} = \frac{2}{230} = 6.8365\mu A \\
 h_{ie} = 4800 \\
 h_{fe} = 300
 \end{array}
 \right.$$

ANÁLISIS F. d. I. CENTRO BANDA



$$V_u = R_{13} i_{13}$$

$$i_{13} = (-g_m - J_{gs}) \frac{(R_{10} || R_{12})}{(R_{10} || R_{12}) + R_{12} + R_{13}}$$

$$J_g = \emptyset \Rightarrow V_u = g_m J_d \frac{(R_{10} || R_{12}) R_{13}}{(R_{10} || R_{12}) + R_{12} + R_{13}}$$

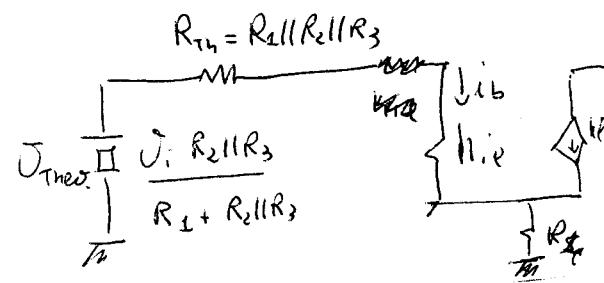
$$J_d = i_6 (R_7 || \frac{1}{g_m})$$

$$i_6 = (-h_{fe} i_b) \frac{R_S}{R_S + R_6 + (R_7 || \frac{1}{g_m})}$$

$$i_b = \frac{J_i R_2 || R_3}{R_1 + R_2 || R_3} \frac{1}{(R_1 || R_2 || R_3) + h_{ie} + R_4 (h_{fe} + 1)}$$

$$\frac{V_u}{V_i} = g_m \frac{(R_{10} || R_{12}) R_{13}}{(R_{10} || R_{12}) + R_{12} + R_{13}} \frac{(R_7 || \frac{1}{g_m}) (-h_{fe}) \frac{R_S}{R_S + R_6 + (R_7 || \frac{1}{g_m})}}{(R_1 || R_2 || R_3) + h_{ie} + R_4 (h_{fe} + 1)} \cdot \frac{R_2 || R_3}{R_1 + R_2 || R_3}$$

$$\frac{1}{(R_1 || R_2 || R_3) + h_{ie} + R_4 (h_{fe} + 1)}$$



opara
 $i_b = i_1 \frac{R_2 || R_3}{(R_2 || R_3) + h_{ie} + R_4 (h_{fe} + 1)}$

 $i_s = \frac{J_i}{R_1 + R_2 || R_3 || [h_{ie} + R_4 (h_{fe} + 1)]}$

Esercizio B.0

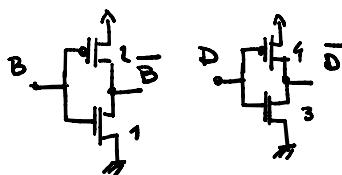
Progettare una porta logica in tecnologia CMOS, utilizzando la tecnica della pull-up network e della pull-down network, che implementi la funzione logica:

$$Y = (\bar{A}B + \bar{C}D)(\bar{D}\bar{E} + F)$$

Determinare il numero dei transistori necessari e disegnarne lo schema completo. Dimensionare inoltre il rapporto (W/L) di tutti i transistori, assumendo, per l'inverter di base, W/L pari a 2 per il MOS a canale *n* e pari a 5 per quello a canale *p*. Si specifichino i dettagli della procedura di dimensionamento di tutti i transistori.

$$N: 2(7+3) = 20$$

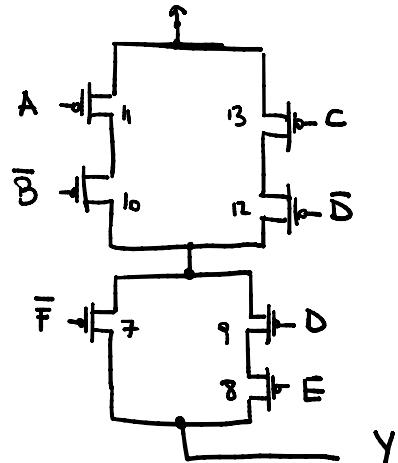
INVERTER:



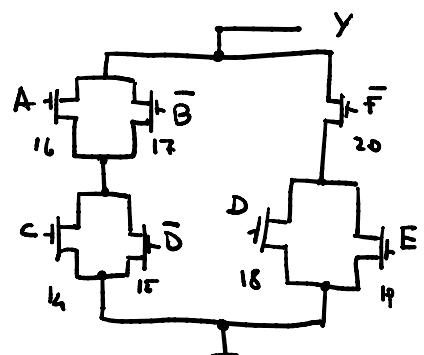
$$\left(\frac{W}{L}\right)_{2,3,4} = n = 2$$

$$\left(\frac{W}{L}\right)_{1,5} = p = 5$$

PULL - UP:



PULL - DOWN:



DIM. PULL - UP:

PATH CON 4: $\begin{cases} 8-9-10-11 & \text{passaice} \\ 8-9-12-13 & \text{mossoice } (D \in \bar{D}) \end{cases}$

$$\left(\frac{W}{L}\right)_{8,9,10,11} = x \rightarrow \frac{1}{x} + \frac{1}{x} + \frac{1}{x} + \frac{1}{x} = \frac{4}{x} = \frac{1}{p} \rightarrow x = 4p = 20 \rightarrow \left(\frac{W}{L}\right)_{8,9,10,11} = 5p = 20$$

PATH CON 3: $\begin{cases} 7-12-13 & \text{passa } B \in \bar{D} \end{cases}$

$$\left(\frac{W}{L}\right)_{7,12,13} = y \rightarrow \frac{1}{y} + \frac{1}{y} + \frac{1}{y} = \frac{3}{y} = \frac{1}{p} \rightarrow y = 3p = 15 \rightarrow \left(\frac{W}{L}\right)_{7,12,13} = 3p = 15$$

DIM. PULL - DOWN

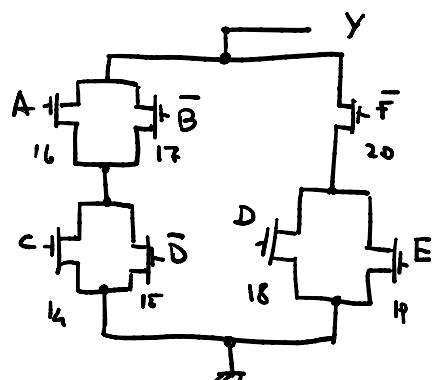
PATH CON 2: $\begin{cases} 14-16 \\ 14-17 \\ 15-16 \\ 15-17 \\ 18-20 \\ 19-20 \end{cases}$

Tutti passabili

$$\left(\frac{W}{L}\right)_{14,15,18,19,20} = t \rightarrow \frac{1}{t} + \frac{1}{t} = \frac{2}{t} = \frac{1}{n}$$

$$\rightarrow t = 2n = 4 \rightarrow \left(\frac{W}{L}\right)_{14,15,18,19,20} = 2n = 4$$

PULL - DOWN:



$$\rightarrow t = 2m - 4 \rightarrow \left(\frac{W}{L}\right)_{k_4, k_5, 16, 17, 18, 19, 20} = 2m - 4$$

Esercizio B.1

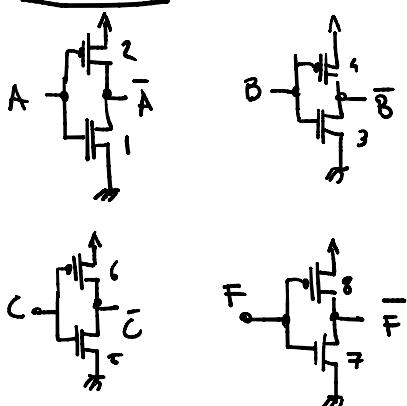
Progettare una porta logica in tecnologia CMOS, utilizzando la tecnica della pull-up network e della pull-down network, che implementa la funzione logica:

$$Y = \bar{ABC}(\bar{D} + \bar{E}F) + A\bar{B}$$

Determinare il numero dei transistori necessari e disegnarne lo schema completo. Dimensionare inoltre il rapporto (W/L) di tutti i transistori, assumendo, per l'inverter di base, W/L pari a 2 per il MOS a canale n e pari a 5 per quello a canale p. Si specifichino i dettagli della procedura di dimensionamento di tutti i transistori.

$$N = 2(8+4) = 24$$

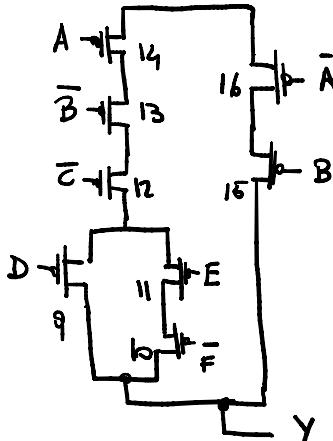
INVERTER:



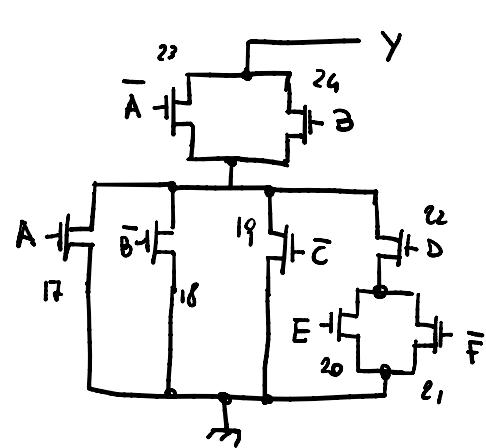
$$\left(\frac{W}{L}\right)_{1,2,5,7} = m = 2$$

$$\left(\frac{W}{L}\right)_{1,4,6,8} = p = 5$$

PULL - UP:



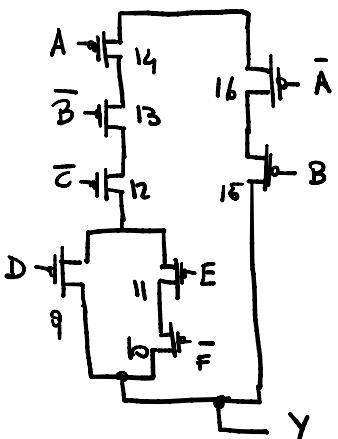
PULL - DOWN:



DIY. PULL - UP:

$$\text{PATH DA 5: } \left\{ \begin{array}{l} 10-11-12-13-14 \\ 10-11-12-13-14 \end{array} \right. \quad \text{for pull-up}$$

$$\left(\frac{W}{L}\right)_{10-11-12-13-14} = x \rightarrow \frac{1}{x} + \frac{1}{x} + \dots + \frac{1}{x} = \frac{5}{x} = \frac{1}{p} \rightarrow x = 5p = 25$$



$$\text{PATH DA 4: } \left\{ \begin{array}{l} 9-12-13-14 \\ 9-12-13-14 \end{array} \right. \quad \text{con} \quad 12-13-14 \quad \text{a un solo node}$$

$$\left(\frac{W}{L}\right) = t = 1 \cdot 1 \cdot 1 \cdot 1 \cdot 1 = 1$$

CON 12-3 = 11 GiA BUNGSOHNART

$$\left(\frac{W}{Z}\right)_p = t \rightarrow \frac{1}{t} + \frac{1}{5p} + \frac{1}{5p} + \frac{1}{5p} = \frac{1}{p} = \frac{5}{5p}$$

$$\frac{1}{t} = \frac{2}{5p} \rightarrow t = \frac{5}{2}p = 12.5 \rightarrow \left(\frac{W}{Z}\right)_p = \frac{5}{2}p = 12.5$$

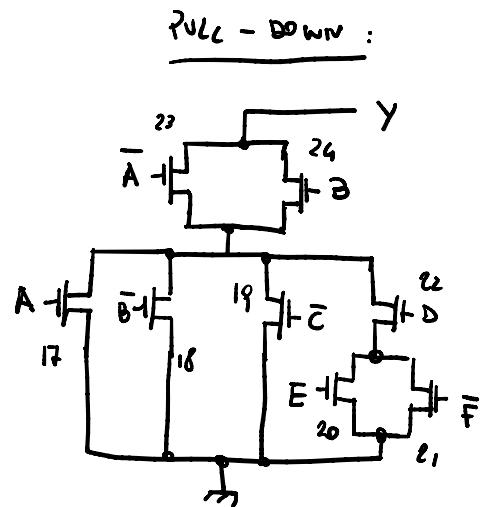
Dire. PULL - DOWN

$\text{PATH } \Delta \rightarrow :$

$$\begin{cases} 20-22-23 \\ 20-22-24 \\ 21-22-23 \\ 21-22-24 \end{cases} \quad \text{Tutti possibili}$$

$$\left(\frac{W}{Z}\right)_{20, 21, 22, 23, 24} = z \quad \frac{1}{8} + \frac{1}{8} + \frac{1}{8} = \frac{3}{8} = \frac{1}{m}$$

$$z = 3m \rightarrow \left(\frac{W}{Z}\right)_{20, 21, 22, 23, 24} = 3m = 6$$



$\text{PATH } \Delta \rightarrow 2 :$

$$\begin{cases} 17-23 & \text{IMPOSSIBILE} \\ 17-24 \\ 18-23 \\ 18-24 & \text{IMPOSSIBILE} \\ 19-23 \\ 19-21 \end{cases}$$

CON 23 & 24 GiA
DIRENZIONALITÀ

$$\left(\frac{W}{Z}\right)_{17, 18, 19} = y \rightarrow \frac{1}{y} + \frac{1}{3m} = \frac{1}{m} = \frac{3}{3m} \rightarrow \frac{1}{y} = \frac{2}{3m} \rightarrow y = \frac{3}{2}m$$

$$\left(\frac{W}{Z}\right)_{17, 18, 19} = \frac{3}{2}m = 3$$