

Raccolta pretest Reti logiche

19 novembre 2020

Indice raccolta pretest

10 gennaio 2017	2
30 gennaio 2017	4
16 febbraio 2017	6
06 giugno 2017	8
27 giugno 2017	10
18 luglio 2017	12
22 settembre 2017	14
09 gennaio 2018	16
30 gennaio 2018	18
15 febbraio 2018	20
07 giugno 2018	22
26 giugno 2018	24
17 luglio 2018	26
11 settembre 2018	28
08 gennaio 2019	30
29 gennaio 2019	32
14 febbraio 2019	34
04 giugno 2019	36
25 giugno 2019	38
16 luglio 2019	40
13 settembre 2019	42
08 gennaio 2020	44
28 gennaio 2020	46
18 febbraio 2020	48



Barrare una sola risposta per ogni domanda

Il punteggio finale è $-1 \times (\text{n. di risposte errate} + \text{n. domande lasciate in bianco})$
Usare lo spazio bianco sul retro del foglio per appunti, se serve

Una sintesi a porte NOR di una uscita z si ottiene sostituendo una porta NOR per ciascuna delle porte AND ed OR di:

- una sintesi SP di z
- una sintesi PS di z
- nessuna delle precedenti

È sempre possibile convertire la rappresentazione di un numero intero da “modulo (su n cifre) e segno” a “complemento alla radice (su n cifre)”:

- Sì, in qualunque base
- Sì, ma soltanto in base due
- No

La rete combinatoria che ha in ingresso le rappresentazioni A e B su n cifre in base 2 in CR degli interi a e b , e restituisce 1 se $a < b$, è un sottrattore:

- ad n cifre
- ad $n+1$ cifre
- ad $n-1$ cifre
- nessuna delle precedenti

Devo calcolare (ammesso che esista) la differenza $D=X-Y$ tra due naturali X ed Y , e devo farlo usando un sommatore. Ai tre ingressi del sommatore (detti A, B, Cin) dovrò collegare:

- $A \leftarrow \bar{X}$, $B \leftarrow \bar{Y}$, $Cin \leftarrow 0$
- $A \leftarrow X$, $B \leftarrow \bar{Y}$, $Cin \leftarrow 1$
- $A \leftarrow \bar{X}$, $B \leftarrow Y$, $Cin \leftarrow 1$
- Nessuna delle precedenti

Sia dato un Flip-flop JK, la cui sequenza di ingressi jk dopo il reset è 01, 11, 11, 11, 00. Al termine l’uscita q vale:

- 0
- 1
- Dipende dal valore impostato al reset
- Non specificato

In una rete sequenziale sincronizzata di Moore, una delle disuguaglianze di temporizzazione include al membro destro la somma di T_{a_monte} e di T_{a_valle} :

- Vero
- Falso
- Non si può dire

Un modulo di EPROM di $16k \times 8$ bit viene montata su uno spazio di indirizzamento di $16M \times 8$ bit. Si vuole che la EPROM implementi gli indirizzi a partire da ‘H00C00. Il segnale /s da dare alla EPROM dovrà essere prodotto da una maschera che ha in ingresso:

- $a_{16..a_{14}}$
- $a_{23..a_{14}}$
- $a_{23..a_{12}}$
- nessuna delle precedenti

Un consumatore che ha un handshake /dav-rfd con un produttore può prelevare il dato corretto quando:

- /dav=1, rfd=1
- /dav=1, rfd=0
- /dav=0, rfd=1
- /dav=0, rfd=0

Con riferimento al processore visto a lezione, si consideri l’istruzione MOV (DP), AL. L’operando sorgente si trova:

- Nel registro DP
- Nello spazio di I/O
- In memoria
- nessuna delle precedenti

In un convertitore A/D ad approssimazioni successive che generi campioni a N bit di una tensione v , il tempo necessario ad effettuare una conversione è:

- dipendente dal fatto che v sia unipolare o bipolare
- dipendente dal valore di v
- dipendente da N
- nessuna delle precedenti



Barrare una sola risposta per ogni domanda
Il punteggio finale è $-1 \times (\text{n. di risposte errate} + \text{n. domande lasciate in bianco})$
Usare lo spazio bianco sul retro del foglio per appunti, se serve

Le porte elementari AND, OR, NAND, NOR ad n ingressi sono esenti da alee

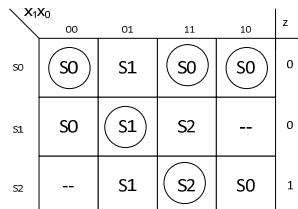
- Del primo ordine**
- Di qualunque ordine
- Nessuna delle precedenti

In complemento alla radice su una cifra in base 10, la codifica BCD della cifra che rappresenta -2 è:

- 1010
- 1000**
- 1110
- Non esiste

Si dato il numero intero a , e sia $A = (a_{n-1}, a_{n-2}, \dots, a_1, a_0)_{\beta}$ la sua rappresentazione su n cifre in base β in complemento alla radice. La rete combinatoria che ritorna 1 se il numero non è riducibile richiede come ingressi le codifiche di:

- a_{n-1}
- a_{n-1}, a_{n-2}**
- Tutte le cifre
- Nessuna delle precedenti



Dopo aver completato in maniera corretta la sintesi della rete sequenziale asincrona descritta dalla tabella di figura, detto T_a il tempo di attraversamento della rete combinatoria RCa che riceve gli ingressi e T_{mark} il tempo di marcatura, il vincolo di pilotaggio degli ingressi sarà:

- $t \geq T_a + (T_{mark} + T_a)$
- $t \geq T_a + 2 \times (T_{mark} + T_a)$**
- $t \geq 2 \cdot T_a$
- Nessuna delle precedenti

```
reg [3:0] WAIT;
[...]
S0: begin WAIT<=??: STAR<=S1; end
S1: begin WAIT<=WAIT-1;
      STAR<=(WAIT==0)?S2:S1; end
S2: [...]
```

Dato il pezzo di descrizione riportato sopra, quale valore va sostituito a ??? in S0 perché la rete resti in S1 per 9 cicli di clock?

- 8**
- 9
- 10
- Nessuna delle precedenti

$|{-24}|_7$ è uguale a:

- $|24|_7$
- $|11|_7$**
- Non si può fare
- Nessuna delle precedenti

Per far sì che un registro ad un bit assuma il valore 0 al reset, è necessario connettere:

- L'ingresso d a zero
- $/preset$ a $/reset$, e $/preclear$ ad 1
- $/preset$ a 1, e $/preclear$ a $/reset$**
- Nessuna delle precedenti

Si considerino le tre istruzioni

```
ADD $operando,AL
ADD indirizzo,AL
ADD (DP),AL
```

L'operando sorgente si trova:

- In memoria per tutte e tre le istruzioni**
- In memoria solo per le ultime due istruzioni
- In memoria solo per la seconda delle istruzioni
- Nessuna delle precedenti

Si consideri l'interfaccia parallela con handshake gestibile sia a controllo di programma che ad interruzione di programma. Riguardo alla variabile di uscita ir e alla variabile interna all'interfaccia fi si può dire che:

- Il valore di ir non dipende dal valore di fi
- Sono la stessa variabile, chiamata con due nomi diversi
- ir è generata da una porta AND in cui entra anche fi**
- Nessuna delle precedenti

Si consideri un processore con meccanismo di protezione sistema/utente, e che stia operando in modo utente. Quando accetta una richiesta di interruzione, l'esecuzione di un sottoprogramma di servizio di una interruzione inizia con il processore operante:

- Ancora in modo utente
- Comunque in modo sistema**
- Il modo che dipende dal sottoprogramma
- Nessuna delle precedenti



Barrare una sola risposta per ogni domanda
Il punteggio finale è $-1 \times (\text{n. di risposte errate} + \text{n. domande lasciate in bianco})$
Usare lo spazio bianco sul retro del foglio per appunti, se serve

Le porte elementari AND, OR, NAND, NOR ad n ingressi sono esenti da alea

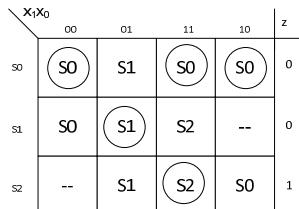
- Del primo ordine
- Di qualunque ordine
- Nessuna delle precedenti

In complemento alla radice su una cifra in base 10, la codifica BCD della cifra che rappresenta -2 è:

- 1010
- 1000
- 1110
- Non esiste

Si dato il numero intero a , e sia $A = (a_{n-1}, a_{n-2}, \dots, a_1, a_0)_{\beta}$ la sua rappresentazione su n cifre in base β in complemento alla radice. La rete combinatoria che ritorna 1 se il numero non è riducibile richiede come ingressi le codifiche di:

- a_{n-1}
- a_{n-1}, a_{n-2}
- Tutte le cifre
- Nessuna delle precedenti



Dopo aver completato in maniera corretta la sintesi della rete sequenziale asincrona descritta dalla tabella di figura, detto T_a il tempo di attraversamento della rete combinatoria RCa che riceve gli ingressi e T_{mark} il tempo di marcatura, il vincolo di pilotaggio degli ingressi sarà:

- $t \geq T_a + (T_{mark} + T_a)$
- $t \geq T_a + 2 \cdot (T_{mark} + T_a)$
- $t \geq 2 \cdot T_a$
- Nessuna delle precedenti

```
reg [3:0] WAIT;
[...]
S0: begin WAIT<=??: STAR<=S1; end
S1: begin WAIT<=WAIT-1;
      STAR<=(WAIT==0)?S2:S1; end
S2: [...]
```

Dato il pezzo di descrizione riportato sopra, quale valore va sostituito a ??? in S0 perché la rete resti in S1 per 9 cicli di clock?

- 8
- 9
- 10
- Nessuna delle precedenti

$| -24 |_7$ è uguale a:

- $| 24 |_7$
- $| 11 |_7$
- Non si può fare
- Nessuna delle precedenti

Per far sì che un registro ad un bit assuma il valore 0 al reset, è necessario connettere:

- L'ingresso d a zero
- /preset a /reset, e /clear ad 1
- /preset a 1, e /clear a /reset
- Nessuna delle precedenti

Si considerino le tre istruzioni

```
ADD $operando, AL
ADD indirizzo, AL
ADD (DP), AL
```

L'operando sorgente si trova:

- In memoria per tutte e tre le istruzioni
- In memoria solo per le ultime due istruzioni
- In memoria solo per la seconda delle istruzioni
- Nessuna delle precedenti

Si consideri l'interfaccia parallela con handshake gestibile sia a controllo di programma che ad interruzione di programma. Riguardo alla variabile di uscita ir e alla variabile interna all'interfaccia fi si può dire che:

- Il valore di ir non dipende dal valore di fi
- Sono la stessa variabile, chiamata con due nomi diversi
- ir è generata da una porta AND in cui entra anche fi
- Nessuna delle precedenti

Si consideri un processore con meccanismo di protezione sistema/utente, e che stia operando in modo utente. Quando accetta una richiesta di interruzione, l'esecuzione di un sottoprogramma di servizio di una interruzione inizia con il processore operante:

- Ancora in modo utente
- Comunque in modo sistema
- Il modo che dipende dal sottoprogramma
- Nessuna delle precedenti



Barrare una sola risposta per ogni domanda
Il punteggio finale è $-1 \times (\text{n. di risposte errate} + \text{n. domande lasciate in bianco})$
Usare lo spazio bianco sul retro del foglio per appunti, se serve

Le porte elementari AND, OR, NAND, NOR ad n ingressi sono esenti da alee

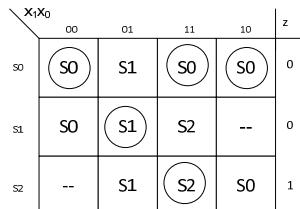
- Del primo ordine**
- Di qualunque ordine
- Nessuna delle precedenti

In complemento alla radice su una cifra in base 10, la codifica BCD della cifra che rappresenta -2 è:

- 1010
- 1000**
- 1110
- Non esiste

Si dato il numero intero a , e sia $A = (a_{n-1}, a_{n-2}, \dots, a_1, a_0)_{\beta}$ la sua rappresentazione su n cifre in base β in complemento alla radice. La rete combinatoria che ritorna 1 se il numero non è riducibile richiede come ingressi le codifiche di:

- a_{n-1}
- a_{n-1}, a_{n-2}**
- Tutte le cifre
- Nessuna delle precedenti



Dopo aver completato in maniera corretta la sintesi della rete sequenziale asincrona descritta dalla tabella di figura, detto T_a il tempo di attraversamento della rete combinatoria RCa che riceve gli ingressi e T_{mark} il tempo di marcatura, il vincolo di pilotaggio degli ingressi sarà:

- $t \geq T_a + (T_{mark} + T_a)$
- $t \geq T_a + 2 \times (T_{mark} + T_a)$**
- $t \geq 2 \cdot T_a$
- Nessuna delle precedenti

```
reg [3:0] WAIT;
[...]
S0: begin WAIT<=??: STAR<=S1; end
S1: begin WAIT<=WAIT-1;
      STAR<=(WAIT==0)?S2:S1; end
S2: [...]
```

Dato il pezzo di descrizione riportato sopra, quale valore va sostituito a ??? in S0 perché la rete resti in S1 per 9 cicli di clock?

- 8**
- 9
- 10
- Nessuna delle precedenti

$| -24 |_7$ è uguale a:

- $| 24 |_7$
- $| 11 |_7$**
- Non si può fare
- Nessuna delle precedenti

Per far sì che un registro ad un bit assuma il valore 0 al reset, è necessario connettere:

- L'ingresso d a zero
- $/preset$ a $/reset$, e $/preclear$ ad 1
- $/preset$ a 1, e $/preclear$ a $/reset$**
- Nessuna delle precedenti

Si considerino le tre istruzioni

```
ADD $operando, AL
ADD indirizzo, AL
ADD (DP), AL
```

L'operando sorgente si trova:

- In memoria per tutte e tre le istruzioni**
- In memoria solo per le ultime due istruzioni
- In memoria solo per la seconda delle istruzioni
- Nessuna delle precedenti

Si consideri l'interfaccia parallela con handshake gestibile sia a controllo di programma che ad interruzione di programma. Riguardo alla variabile di uscita ir e alla variabile interna all'interfaccia fi si può dire che:

- Il valore di ir non dipende dal valore di fi
- Sono la stessa variabile, chiamata con due nomi diversi
- ir è generata da una porta AND in cui entra anche fi**
- Nessuna delle precedenti

Si consideri un processore con meccanismo di protezione sistema/utente, e che stia operando in modo utente. Quando accetta una richiesta di interruzione, l'esecuzione di un sottoprogramma di servizio di una interruzione inizia con il processore operante:

- Ancora in modo utente
- Comunque in modo sistema**
- Il modo che dipende dal sottoprogramma
- Nessuna delle precedenti



Barrare una sola risposta per ogni domanda
Il punteggio finale è $-1 \times (\text{n. di risposte errate} + \text{n. domande lasciate in bianco})$
Usare lo spazio bianco sul retro del foglio per appunti, se serve

Si deve calcolare quoziente Q e resto R della divisione naturale di A per B. Si sa che $A \leq 1000$ e $B=10$. Detti n_A , n_B , n_Q , n_R il numero di bit su cui sono rappresentati A, B, Q, R, affinché la divisione sia sempre fattibile gli ingressi del divisore devono essere così dimensionati:

- $n_A=10$, $n_B=4$, $n_Q=7$, $n_R=4$
- $n_A=11$, $n_B=4$, $n_Q=7$, $n_R=4$
- $n_A=10$, $n_B=4$, $n_Q=6$, $n_R=4$
- nessuna delle precedenti

In complemento alla radice in base $\beta=12$ su una cifra, la rappresentazione dell'intero -4 è codificata come:

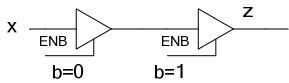
- 1000
- 1100
- 0100
- Nessuna delle precedenti

Sia T il ritardo di un full adder. Se devo sommare due numeri ad n cifre usando un circuito in montaggio ripple carry, il tempo di accesso totale del circuito sarà:

- $n+T$
- T^n
- $n \times T$
- Nessuna delle precedenti

Si consideri una legge combinatoria a due ingressi e un'uscita, in cui l'uscita riconosce *due* stati di ingresso. È possibile sintetizzarla con un solo livello di logica (cioè una porta AND o OR), più eventuali invertitori sugli ingressi.

- Vero
- Falso
- È impossibile deciderlo



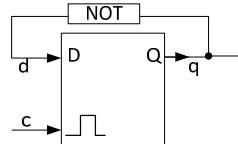
L'uscita del circuito di figura vale:

- Alta impedenza
- Non specificato
- Zero o uno
- Nessuna delle precedenti

```
reg [3:0] A, B;
[...]
S0: begin B<=10; STAR<=S1; end
S1: begin B<=B-1; A<=B-1; STAR<=S2; end
S2: begin ...
```

Dato il pezzo di descrizione riportato sopra, cosa contengono i registri A e B nello stato S2?

- A=8, B=10
- A=9, B=9
- A=8, B=9
- Nessuna delle precedenti



Dato il d-latch di figura, quando c passa da 1 a 0, l'uscita q:

- Assume un valore logico casuale
- Oscilla
- Resta nella fascia di indeterminazione
- Nessuna delle precedenti

In una RSS di Mealy, la variazione dello stato di ingresso influenza sull'uscita:

- Durante lo stesso periodo di clock
- Non prima del successivo fronte di clock
- Dopo almeno due fronti di clock
- Nessuna delle precedenti

Un'interfaccia che invia una richiesta di interruzione al Controllore rimuove tale richiesta:

- Quando riceve la notifica dal Controllore che la richiesta è stata accettata dal processore
- Subito dopo averla inviata, perché (prima o poi) sarà comunque accettata
- Quando un'istruzione del sottoprogramma di servizio dell'interruzione accede ad un opportuno registro dell'interfaccia
- Nessuna delle precedenti

L'evento che segnala l'inizio di una trasmissione su una linea seriale start/stop è:

- Il fronte di discesa della linea /dav che va dal trasmettitore al ricevitore
- Il fronte di discesa della linea rfd che va dal ricevitore al trasmettitore
- Il fronte di discesa della linea seriale stessa
- Nessuna delle precedenti



Barrare una sola risposta per ogni domanda
Il punteggio finale è $-1 \times (\text{n. di risposte errate} + \text{n. domande lasciate in bianco})$
Usare lo spazio bianco sul retro del foglio per appunti, se serve

Si deve calcolare quoziente Q e resto R della divisione naturale di A per B. Si sa che $A \leq 1000$ e $B=10$. Detti n_A , n_B , n_Q , n_R il numero di bit su cui sono rappresentati A, B, Q, R, affinché la divisione sia sempre fattibile gli ingressi del divisore devono essere così dimensionati:

- $n_A=10$, $n_B=4$, $n_Q=7$, $n_R=4$
- $n_A=11$, $n_B=4$, $n_Q=7$, $n_R=4$
- $n_A=10$, $n_B=4$, $n_Q=6$, $n_R=4$
- nessuna delle precedenti

In complemento alla radice in base $\beta=12$ su una cifra, la rappresentazione dell'intero -4 è codificata come:

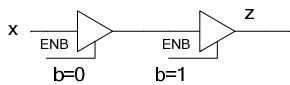
- 1000**
- 1100
- 0100
- Nessuna delle precedenti

Sia T il ritardo di un full adder. Se devo sommare due numeri ad n cifre usando un circuito in montaggio ripple carry, il tempo di accesso totale del circuito sarà:

- $n+T$
- T^n
- $n \times T$
- Nessuna delle precedenti

Si consideri una legge combinatoria a due ingressi e un'uscita, in cui l'uscita riconosce *due* stati di ingresso. È possibile sintetizzarla con un solo livello di logica (cioè una porta AND o OR), più eventuali invertitori sugli ingressi.

- Vero
- Falso
- È impossibile deciderlo



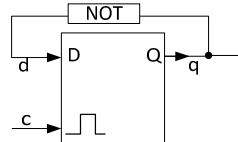
L'uscita del circuito di figura vale:

- Alta impedenza
- Non specificato
- Zero o uno
- Nessuna delle precedenti

```
reg [3:0] A, B;
[...]
S0: begin B<=10; STAR<=S1; end
S1: begin B<=B-1; A<=B-1; STAR<=S2; end
S2: begin ...
```

Dato il pezzo di descrizione riportato sopra, cosa contengono i registri A e B nello stato S2?

- A=8, B=10
- A=9, B=9
- A=8, B=9
- Nessuna delle precedenti



Dato il d-latch di figura, quando c passa da 1 a 0, l'uscita q:

- Assume un valore logico casuale
- Oscilla
- Resta nella fascia di indeterminazione
- Nessuna delle precedenti

In una RSS di Mealy, la variazione dello stato di ingresso influisce sull'uscita:

- Durante lo stesso periodo di clock
- Non prima del successivo fronte di clock
- Dopo almeno due fronti di clock
- Nessuna delle precedenti

Un'interfaccia che invia una richiesta di interruzione al Controllore rimuove tale richiesta:

- Quando riceve la notifica dal Controllore che la richiesta è stata accettata dal processore
- Subito dopo averla inviata, perché (prima o poi) sarà comunque accettata
- Quando un'istruzione del sottoprogramma di servizio dell'interruzione accede ad un opportuno registro dell'interfaccia
- Nessuna delle precedenti

L'evento che segnala l'inizio di una trasmissione su una linea seriale è:

- Il fronte di discesa della linea /dav che va dal trasmettitore al ricevitore
- Il fronte di discesa della linea rfd che va dal ricevitore al trasmettitore
- Il fronte di discesa della linea seriale stessa
- Nessuna delle precedenti



Barrare una sola risposta per ogni domanda
 Il punteggio finale è $-1 \times (\text{n. di risposte errate} + \text{n. domande lasciate in bianco})$
 Usare lo spazio bianco sul retro del foglio per appunti, se serve

Sia dato un latch SR implementato a porte NAND, inizializzato ad 1 al reset asincrono. La sequenza di ingressi, fornita nel rispetto dei vincoli di temporizzazione, è $\text{sr}=00, 10, 11, 01, 10, 11, 00$. Quanto vale l'uscita q alla fine?

- 0
- 1
- Un valore casuale non prevedibile a priori
- Oscilla continuamente

```
reg [3:0] RR;
[...]
S0: begin RR<=0; STAR<=S1; end
S1: begin RR<=RR+1;
      STAR<=(RR==10)?S2:S1; end
S2: begin ...
```

Dato il pezzo di descrizione riportato sopra, quanto vale il contenuto del registro RR nello stato S2?

- 10
- 11
- 9
- Nessuna delle precedenti

Detto t l'istante in cui si ha il fronte di salita del clock, l'uscita di una rete sequenziale sincronizzata di Moore va a regime all'istante:

- t
- $t+T_{\text{propagation}}$
- $t+T_{\text{hold}}$
- Nessuna delle precedenti

Un consumatore che ha un handshake soc/eoc con un produttore può prelevare il dato corretto quando:

- soc=1
- soc=0
- eoc=1
- eoc=0

Alla fine della fase di chiamata (o fetch, o prelievo) il registro IP contiene di norma l'indirizzo:

- Dell'istruzione la cui fase di esecuzione sta per iniziare
- Della prossima istruzione da eseguire, ammesso che il flusso del programma proseguia in sequenza
- Dell'ultima istruzione eseguita per intero
- Nessuna delle precedenti

x_0	00	01	11	10	z
s0	(S0)	S1	(S0)	(S0)	0
s1	S0	(S1)	S2	--	0
s2	--	S1	(S2)	S0	1

Nella rete sequenziale asincrona descritta dalla tabella di figura la codifica $S0=00, S1=10, S2=01$, introduce corse delle variabili di stato.

- Vero
- Falso

$$a \cdot b + \bar{a} \cdot b + a \cdot \bar{b} + \bar{a} \cdot \bar{b} =$$

- a
- 1
- 0
- b

Quando il processore accetta una richiesta di interruzione, il registro dei flag F viene:

- Salvato nella pila da una istruzione PUSH inserita nel sottoprogramma di servizio
- Salvato automaticamente dall'hardware del processore in accordo alle specifiche previste nella descrizione Verilog dell'hardware stesso
- Lasciato inalterato senza essere salvato
- Nessuna delle precedenti

Un riconoscitore di una sequenza di n stati di ingresso implementato tramite RSS di Mealy ha almeno

- n stati interni
- $n+1$ stati interni
- $n-1$ stati interni
- Nessuna delle precedenti

Nel calcolatore visto a lezione, durante un ciclo di scrittura ad una memoria RAM $1M \times 8$ connessa al bus, l'ingresso $/mw$ va a zero:

- Prima della stabilizzazione degli ingressi $a_{19..a_0}$
- Contemporaneamente alla stabilizzazione degli ingressi $a_{19..a_0}$
- Dopo la stabilizzazione degli ingressi $a_{19..a_0}$
- Non è importante, tanto funziona comunque



Barrare una sola risposta per ogni domanda
Il punteggio finale è $-1 \times (\text{n. di risposte errate} + \text{n. domande lasciate in bianco})$
Usare lo spazio bianco sul retro del foglio per appunti, se serve

Sia dato un latch SR implementato a porte NAND, inizializzato ad 1 al reset asincrono. La sequenza di ingressi, fornita nel rispetto dei vincoli di temporizzazione, è $s_r=00, 10, 11, 01, 10, 11, 00$. Quanto vale l'uscita q alla fine?

- 0
- 1
- Un valore casuale non prevedibile a priori**
- Oscilla continuamente

```
reg [3:0] RR;
[...]
S0: begin RR<=0; STAR<=S1; end
S1: begin RR<=RR+1;
      STAR<=(RR==10)?S2:S1; end
S2: begin ...
```

Dato il pezzo di descrizione riportato sopra, quanto vale il contenuto del registro RR nello stato S2?

- 10
- 11**
- 9
- Nessuna delle precedenti

Detto t l'istante in cui si ha il fronte di salita del clock, l'uscita di una rete sequenziale sincronizzata di Moore va a regime all'istante:

- t
- $t+T_{\text{propagation}}$
- $t+T_{\text{hold}}$
- Nessuna delle precedenti**

Un consumatore che ha un handshake soc/eoc con un produttore può prelevare il dato corretto quando:

- soc=1
- soc=0
- eoc=1**
- eoc=0

Alla fine della fase di chiamata (o fetch, o prelievo) il registro IP contiene di norma l'indirizzo:

- Dell'istruzione la cui fase di esecuzione sta per iniziare
- Della prossima istruzione da eseguire, ammesso che il flusso del programma proseguia in sequenza**
- Dell'ultima istruzione eseguita per intero
- Nessuna delle precedenti

x_0	00	01	11	10	z
s0	(S0)	S1	(S0)	(S0)	0
s1	S0	(S1)	S2	--	0
s2	--	S1	(S2)	S0	1

Nella rete sequenziale asincrona descritta dalla tabella di figura la codifica $S0=00, S1=10, S2=01$, introduce corse delle variabili di stato.

- Vero**
- Falso

$$a \cdot b + \bar{a} \cdot b + a \cdot \bar{b} + \bar{a} \cdot \bar{b} =$$

- a**
- 1**
- 0
- b

Quando il processore accetta una richiesta di interruzione, il registro dei flag F viene:

- Salvato nella pila da una istruzione PUSH inserita nel sottoprogramma di servizio
- Salvato automaticamente dall'hardware del processore in accordo alle specifiche previste nella descrizione Verilog dell'hardware stesso**
- Lasciato inalterato senza essere salvato
- Nessuna delle precedenti

Un riconoscitore di una sequenza di n stati di ingresso implementato tramite RSS di Mealy ha almeno

- n stati interni**
- $n+1$ stati interni
- $n-1$ stati interni
- Nessuna delle precedenti

Nel calcolatore visto a lezione, durante un ciclo di scrittura ad una memoria RAM $1M \times 8$ connessa al bus, l'ingresso /mw va a zero:

- Prima della stabilizzazione degli ingressi $a_{19..a_0}$
- Contemporaneamente alla stabilizzazione degli ingressi $a_{19..a_0}$
- Dopo la stabilizzazione degli ingressi $a_{19..a_0}$**
- Non è importante, tanto funziona comunque



Barrare una sola risposta per ogni domanda
 Il punteggio finale è $-1 \times (\text{n. di risposte errate} + \text{n. domande lasciate in bianco})$
 Usare lo spazio bianco sul retro del foglio per appunti, se serve

Lo stato di ingresso costituito dalla sequenza di bit 10011 ha un numero di stati di ingresso adiacenti pari a:

- 5
- 2^5
- 2
- Non è possibile stabilirlo

In una rete sequenziale sincronizzata di Mealy, una delle disuguaglianze di temporizzazione include al membro destro la somma di T_{a_monte} e di T_{a_valle} :

- Vero
- Falso
- Non si può dire

In un convertitore A/D ad approssimazioni successive che genera campioni a N bit di una tensione v , il tempo necessario ad effettuare una conversione è:

- dipendente dal fatto che v sia unipolare o bipolare
- dipendente dal valore di v
- dipendente da N
- nessuna delle precedenti

Sia dato un sottrattore a una cifra per numeri in base dieci codificati BCD, che sottrae Y da X. Se lo stato di ingresso è: bin=0, X=0000, Y=0001, lo stato di uscita sarà:

- bout =1, D=1111, Ow=0
- bout =1, D=1001, Ow=1
- bout =0, D=1001, Ow=1
- Nessuna delle precedenti

La divisione di un numero intero (rappresentato in complemento alla radice) per una potenza della base:

- Si fa come per i naturali, e non richiede logica
- Si fa in modo diverso che per i naturali, ma non richiede logica
- Si fa in modo diverso che per i naturali, e richiede logica
- Nessuna delle precedenti

```

S0: [...] A<=25; [...]
S1: [...] A<=A-1; [...]
S2: [...] A<=(A==0)?25:A-1; [...]
S3: [...] //nessun assegnamento [...]
S4: [...] //nessun assegnamento [...]
    
```

La descrizione di sopra riporta i soli assegnamenti al registro operativo A. Quante variabili di comando sono necessarie per sintetizzare la porzione di parte operativa relativa a A?

- 1
- 2
- 3
- Non è possibile stabilirlo

Detto T il periodo di clock, in un contatore *up* a due cifre in base due, la cifra più significativa è un segnale con un periodo

- 2T
- 4T
- 8T
- Nessuna delle precedenti

Nell'architettura vista a lezione, un trasmettitore seriale comunica con il ricevitore su un'altra macchina tramite:

- tre linee: /dav (ingresso), rfd (uscita), d (dati)
- tre linee: soc (uscita), eoc (ingresso), d (dati)
- Una sola linea, d (dati)
- Nessuna delle precedenti

Quando il processore è in “modo utente” può eseguire:

- Sia l'istruzione INT sia l'istruzione IRET
- l'istruzione IRET, ma non la INT
- l'istruzione INT, ma non la IRET
- Nessuna delle precedenti

La generazione di una interruzione per “codice operativo non valido” viene provocata:

- Durante la fase di esecuzione
- Durante la fase di chiamata
- Durante l'esecuzione di un apposito microsottoprogramma di lettura in memoria
- Nessuna delle precedenti



Barrare una sola risposta per ogni domanda
 Il punteggio finale è $-1 \times (\text{n. di risposte errate} + \text{n. domande lasciate in bianco})$
 Usare lo spazio bianco sul retro del foglio per appunti, se serve

Lo stato di ingresso costituito dalla sequenza di bit 10011 ha un numero di stati di ingresso adiacenti pari a:

- 5**
- 2^5
- 2
- Non è possibile stabilirlo

In una rete sequenziale sincronizzata di Mealy, una delle disuguaglianze di temporizzazione include al membro destro la somma di T_{a_monte} e di T_{a_valle} :

- Vero**
- Falso
- Non si può dire

In un convertitore A/D ad approssimazioni successive che genera campioni a N bit di una tensione v , il tempo necessario ad effettuare una conversione è:

- dipendente dal fatto che v sia unipolare o bipolare
- dipendente dal valore di v
- dipendente da N**
- nessuna delle precedenti

Sia dato un sottrattore a una cifra per numeri in base dieci codificati BCD, che sottrae Y da X. Se lo stato di ingresso è: bin=0, X=0000, Y=0001, lo stato di uscita sarà:

- bout =1, D=1111, Ow=0
- bout =1, D=1001, Ow=1
- bout =0, D=1001, Ow=1
- Nessuna delle precedenti**

La divisione di un numero intero (rappresentato in complemento alla radice) per una potenza della base:

- Si fa come per i naturali, e non richiede logica**
- Si fa in modo diverso che per i naturali, ma non richiede logica
- Si fa in modo diverso che per i naturali, e richiede logica
- Nessuna delle precedenti

```

S0: [...] A<=25; [...]
S1: [...] A<=A-1; [...]
S2: [...] A<=(A==0)?25:A-1; [...]
S3: [...] //nessun assegnamento [...]
S4: [...] //nessun assegnamento [...]
    
```

La descrizione di sopra riporta i soli assegnamenti al registro operativo A. Quante variabili di comando sono necessarie per sintetizzare la porzione di parte operativa relativa a A?

- 1
- 2
- 3
- Non è possibile stabilirlo

Detto T il periodo di clock, in un contatore *up* a due cifre in base due, la cifra più significativa è un segnale con un periodo

- 2T
- 4T**
- 8T
- Nessuna delle precedenti

Nell'architettura vista a lezione, un trasmettitore seriale comunica con il ricevitore su un'altra macchina tramite:

- tre linee: /dav (ingresso), rfd (uscita), d (dati)
- tre linee: soc (uscita), eoc (ingresso), d (dati)
- Una sola linea, d (dati)**
- Nessuna delle precedenti

Quando il processore è in “modo utente” può eseguire:

- Sia l'istruzione INT sia l'istruzione IRET
- l'istruzione IRET, ma non la INT
- l'istruzione INT, ma non la IRET**
- Nessuna delle precedenti

La generazione di una interruzione per “codice operativo non valido” viene provocata:

- Durante la fase di esecuzione
- Durante la fase di chiamata**
- Durante l'esecuzione di un apposito microsottoprogramma di lettura in memoria
- Nessuna delle precedenti



Barrare una sola risposta per ogni domanda
Il punteggio finale è $-1 \times (\text{n. di risposte errate} + \text{n. domande lasciate in bianco})$
Usare lo spazio bianco sul retro del foglio per appunti, se serve

Se in una mappa di Karnaugh alcuni zeri vengono sostituiti da non-specificati, il costo della sintesi *di costo minimo in forma SP* della rete corrispondente:

- Non può aumentare
- Non può diminuire
- Nessuna delle precedenti

La lista degli implicanti principali di una legge combinatoria

- È sempre una lista di copertura non ridondante
- Non può contenere mai mintermini
- Ha sempre un costo strettamente minore della forma canonica SP
- Nessuna delle precedenti

Data una base β e due numeri naturali X_1, X_2 compresi tra 0 e $\beta - 1$, per calcolare $y = X_1 + \beta^2 \cdot X_2$:

- Sono indispensabili sia un moltiplicatore che un sommatore
- È indispensabile un moltiplicatore
- È indispensabile un sommatore
- Nessuna delle precedenti

Sia $X=0532$ la rappresentazione in complemento alla radice di un numero intero x in base 10. Ciò significa che x è un numero

- positivo, rappresentabile anche su tre cifre
- positivo, ma non rappresentabile su tre cifre
- negativo, rappresentabile anche su tre cifre
- negativo, ma non rappresentabile su tre cifre

Il segno di un numero intero è determinato dalla cifra più significativa della sua rappresentazione:

- Solo in complemento alla radice in base 2
- Sia in complemento alla radice che in traslazione, ma solo in base 2
- Sia in complemento alla radice che in traslazione, e per qualunque base
- Nessuna delle precedenti

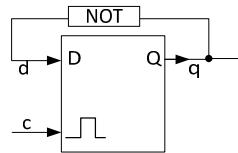
Data una tabella di flusso di una rete sequenziale asincrona, si sceglie una codifica degli stati interni e si realizza la rete combinatoria RCA che riceve gli ingressi in due modi diversi: il primo, RCA1, secondo il modello con elementi neutri di ritardo, e il secondo, RCA2, secondo quello con latch SR. Quale delle seguenti affermazioni è sempre vera?

- la rete combinatoria che aggiorna le uscite dovrà essere diversa nei due casi
- RCA2 ha più uscite di RCA1
- RCA2 ha più ingressi di RCA1
- nessuna delle precedenti

```
reg [3:0] WAIT;
[...]
S0: begin WAIT<=??: STAR<=S1; end
S1: begin WAIT<=WAIT-1;
      STAR<=(WAIT==0)?S2:S1;
end
```

Dato il pezzo di descrizione riportato sopra, quale valore va sostituito a ??? in S0 perché la rete resti in S1 per 9 cicli di clock?

- 8
- 9
- 10
- Nessuna delle precedenti



Dato il d-latch di figura, quando c passa da 1 a 0, l'uscita q:

- Assume un valore logico casuale
- Oscilla
- Resta nella fascia di indeterminazione
- Nessuna delle precedenti

Dopo che il processore ha eseguito l'istruzione CLI, una richiesta di interruzione inviata dal Controllore:

- Viene subito accettata
- E' considerata definitivamente persa
- Sarà accettata dopo che sarà stata eseguita l'istruzione STI
- Nessuna delle precedenti

Un'interfaccia che invia una richiesta di interruzione al Controllore rimuove tale richiesta:

- Quando riceve la notifica dal Controllore che la richiesta è stata accettata dal processore
- Subito dopo averla inviata, perché (prima o poi) sarà comunque accettata
- Quando un'istruzione del sottoprogramma di servizio dell'interruzione accede ad un opportuno registro dell'interfaccia
- Nessuna delle precedenti



Barrare una sola risposta per ogni domanda

Il punteggio finale è $-1 \times (\text{n. di risposte errate} + \text{n. domande lasciate in bianco})$
Usare lo spazio bianco sul retro del foglio per appunti, se serve

Se in una mappa di Karnaugh alcuni zeri vengono sostituiti da non-specificati, il costo della sintesi *di costo minimo in forma SP* della rete corrispondente:

- Non può aumentare**
- Non può diminuire
- Nessuna delle precedenti

La lista degli implicanti principali di una legge combinatoria

- È sempre una lista di copertura non ridondante
- Non può contenere mai mintermini
- Ha sempre un costo strettamente minore della forma canonica SP
- Nessuna delle precedenti**

Data una base β e due numeri naturali X_1, X_2 compresi tra 0 e $\beta - 1$, per calcolare $y = X_1 + \beta^2 \cdot X_2$:

- Sono indispensabili sia un moltiplicatore che un sommatore
- È indispensabile un moltiplicatore
- È indispensabile un sommatore
- Nessuna delle precedenti**

Sia $X=0532$ la rappresentazione in complemento alla radice di un numero intero x in base 10. Ciò significa che x è un numero

- positivo, rappresentabile anche su tre cifre
- positivo, ma non rappresentabile su tre cifre**
- negativo, rappresentabile anche su tre cifre
- negativo, ma non rappresentabile su tre cifre

Il segno di un numero intero è determinato dalla cifra più significativa della sua rappresentazione:

- Solo in complemento alla radice in base 2
- Sia in complemento alla radice che in traslazione, ma solo in base 2
- Sia in complemento alla radice che in traslazione, e per qualunque base**
- Nessuna delle precedenti

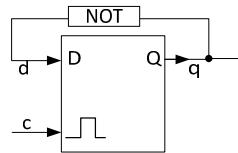
Data una tabella di flusso di una rete sequenziale asincrona, si sceglie una codifica degli stati interni e si realizza la rete combinatoria RCA che riceve gli ingressi in due modi diversi: il primo, RCA1, secondo il modello con elementi neutri di ritardo, e il secondo, RCA2, secondo quello con latch SR. Quale delle seguenti affermazioni è sempre vera?

- la rete combinatoria che aggiorna le uscite dovrà essere diversa nei due casi
- RCA2 ha più uscite di RCA1**
- RCA2 ha più ingressi di RCA1
- nessuna delle precedenti

```
reg [3:0] WAIT;
[...]
S0: begin WAIT<=??: STAR<=S1; end
S1: begin WAIT<=WAIT-1;
      STAR<=(WAIT==0)?S2:S1;
end
```

Dato il pezzo di descrizione riportato sopra, quale valore va sostituito a ??? in S0 perché la rete resti in S1 per 9 cicli di clock?

- 8
- 9
- 10
- Nessuna delle precedenti



Dato il d-latch di figura, quando c passa da 1 a 0, l'uscita q:

- Assume un valore logico casuale**
- Oscilla
- Resta nella fascia di indeterminazione
- Nessuna delle precedenti

Dopo che il processore ha eseguito l'istruzione CLI, una richiesta di interruzione inviata dal Controllore:

- Viene subito accettata
- E' considerata definitivamente persa
- Sarà accettata dopo che sarà stata eseguita l'istruzione STI**
- Nessuna delle precedenti

Un'interfaccia che invia una richiesta di interruzione al Controllore rimuove tale richiesta:

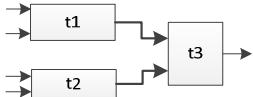
- Quando riceve la notifica dal Controllore che la richiesta è stata accettata dal processore
- Subito dopo averla inviata, perché (prima o poi) sarà comunque accettata
- Quando un'istruzione del sottoprogramma di servizio dell'interruzione accede ad un opportuno registro dell'interfaccia**
- Nessuna delle precedenti



Barrare una sola risposta per ogni domanda

Il punteggio finale è $-1 \times (\text{n. di risposte errate} + \text{n. domande lasciate in bianco})$

Usare lo spazio bianco sul retro del foglio per appunti, se serve



Siano t_1, t_2, t_3 i tempi di accesso delle sottoreti della figura soprastante. Il tempo di accesso della rete complessiva è:

- $t_1+t_2+t_3$
- $\max(t_1, t_2, t_3)$
- $\max(t_1, t_2) + t_3$
- Nessuna delle precedenti

Un implicante di una legge combinatoria non può avere più variabili di ingresso di un mintermine della stessa legge

- Vero
- Falso
- Non decidibile

Il tempo di risposta di una somma cresce con il numero di cifre degli addendi in modo:

- lineare
- quadratico
- esponenziale
- Nessuna delle precedenti

Il numero di cifre necessario per rappresentare numeri naturali fino ad N (compreso) in base β è:

- β^N
- N^β
- $\lceil \log_\beta(N+1) \rceil$
- $\lceil \log_N(\beta+1) \rceil$

Una rete che ritorna 1 se un numero naturale in base 2 su n cifre è divisibile per 2^k , $k \leq n$, e zero altrimenti, è:

- Una porta NOR con n ingressi
- Una porta NOR con k ingressi
- Una porta NAND con k ingressi
- Nessuna delle precedenti

Nella tabella di flusso di una RSA, la riga dello stato S_x è priva di anelli di stabilità. Se ne conclude che:

- La rete è instabile
- La rete è soggetta a corse critiche
- Se S_x è uno stato raggiungibile, la rete non è normale
- Nessuna delle precedenti

```
reg [3:0] WAIT;
[...]
S0: begin WAIT<=10; [...] end
S1: begin WAIT<=WAIT-1; [...] end
S2: begin WAIT<=WAIT-1; [...] end
S3: begin [...] end
S4: begin [...] end
```

Nel frammento di descrizione soprastante sono riportati tutti gli stati interni di una RSS e, per ciascuno, le sole microoperazioni riguardanti il registro WAIT. In una sintesi PO/PC, il numero di variabili di comando necessarie per il registro WAIT sarà.

- 1
- 2
- 3
- Non è possibile dirlo

Un contatore espandibile è una rete:

- Di Moore
- Di Mealy
- Di Mealy ritardato
- Nessuna delle precedenti

Alla fine della fase di chiamata (o fetch, o prelievo) il registro IP contiene di norma l'indirizzo:

- Dell'istruzione la cui fase di esecuzione sta per iniziare
- Della prossima istruzione da eseguire, ammesso che il flusso del programma proseguia in sequenza
- Dell'ultima istruzione eseguita per intero
- Nessuna delle precedenti

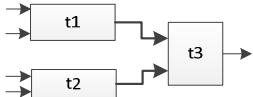
Per disabilitare una interfaccia ad inviare richieste di istruzione si deve:

- Inviarle un segnale elettrico tramite una opportuna variabile di collegamento con il Controllore
- Azzerrare un apposito bit di un apposito registro dell'Interfaccia tramite una istruzione MOV
- Azzerrare un apposito bit di un apposito registro dell'Interfaccia tramite una istruzione OUT
- Usare l'istruzione CLI
- Nessuna delle precedenti

Barrare una sola risposta per ogni domanda

Il punteggio finale è $-1 \times (\text{n. di risposte errate} + \text{n. domande lasciate in bianco})$

Usare lo spazio bianco sul retro del foglio per appunti, se serve



Siano t_1, t_2, t_3 i tempi di accesso delle sottoreti della figura soprastante. Il tempo di accesso della rete complessiva è:

- $t_1+t_2+t_3$
- $\max(t_1, t_2, t_3)$
- max(t₁,t₂)+t₃**
- Nessuna delle precedenti

Un implicante di una legge combinatoria non può avere più variabili di ingresso di un mintermine della stessa legge

- Vero**
- Falso
- Non decidibile

Il tempo di risposta di una somma cresce con il numero di cifre degli addendi in modo:

- lineare**
- quadratico
- esponenziale
- Nessuna delle precedenti

Il numero di cifre necessario per rappresentare numeri naturali fino ad N (compreso) in base β è:

- β^N
- N^β
- $\lceil \log_\beta(N+1) \rceil$
- $\lceil \log_N(\beta+1) \rceil$

Una rete che ritorna 1 se un numero naturale in base 2 su n cifre è divisibile per 2^k , $k \leq n$, e zero altrimenti, è:

- Una porta NOR con n ingressi
- Una porta NOR con k ingressi**
- Una porta NAND con k ingressi
- Nessuna delle precedenti

Nella tabella di flusso di una RSA, la riga dello stato S_x è priva di anelli di stabilità. Se ne conclude che:

- La rete è instabile
- La rete è soggetta a corse critiche
- Se S_x è uno stato raggiungibile, la rete non è normale**
- Nessuna delle precedenti

```

reg [3:0] WAIT;
[...]
S0: begin WAIT<=10; [...] end
S1: begin WAIT<=WAIT-1; [...] end
S2: begin WAIT<=WAIT-1; [...] end
S3: begin [...] end
S4: begin [...] end

```

Nel frammento di descrizione soprastante sono riportati tutti gli stati interni di una RSS e, per ciascuno, le sole microoperazioni riguardanti il registro WAIT. In una sintesi PO/PC, il numero di variabili di comando necessarie per il registro WAIT sarà.

- 1
- 2
- 3
- Non è possibile dirlo

Un contatore espandibile è una rete:

- Di Moore
- Di Mealy**
- Di Mealy ritardato
- Nessuna delle precedenti

Alla fine della fase di chiamata (o fetch, o prelievo) il registro IP contiene di norma l'indirizzo:

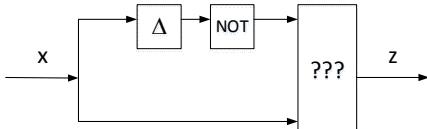
- Dell'istruzione la cui fase di esecuzione sta per iniziare
- Della prossima istruzione da eseguire, ammesso che il flusso del programma proseguo in sequenza**
- Dell'ultima istruzione eseguita per intero
- Nessuna delle precedenti

Per disabilitare una interfaccia ad inviare richieste di interruzione si deve:

- Inviarle un segnale elettrico tramite una opportuna variabile di collegamento con il Controllore
- Azzerrare un apposito bit di un apposito registro dell'Interfaccia tramite una istruzione MOV
- Azzerrare un apposito bit di un apposito registro dell'Interfaccia tramite una istruzione OUT**
- Usare l'istruzione CLI
- Nessuna delle precedenti



Barrare una sola risposta per ogni domanda
Il punteggio finale è $-1 \times (\text{n. di risposte errate} + \text{n. domande lasciate in bianco})$
Usare lo spazio bianco sul retro del foglio per appunti, se serve

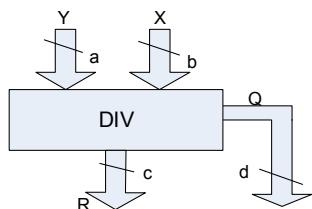


Affinché l'uscita z sia normalmente a zero, e presenti un impulso ad 1 sul fronte di *discesa* di x , è necessario sostituire a ??? una porta

- AND
- OR
- NAND
- NOR

$$(\overline{x_2 + x_1}) \cdot (x_3 + x_2) \cdot (x_3 + x_1) = (\overline{x_2 + x_1}) \cdot (x_3 + x_1)$$

- Vero
- Falso
- Non decidibile



Nel divisore naturale descritto a lezione e richiamato in figura, dove X è il dividendo ed Y il divisore, quale relazione deve necessariamente essere vera?

- $c > d$
- $a + d < b$
- $c \neq a$
- Nessuna delle precedenti

La rappresentazione dell'intero -4, su una cifra in base 12 in complemento alla radice, codificata 8421, è:

- 1000
- 1100
- 0100
- Nessuna delle precedenti

La relazione tra le uscite ow e c_{out} di un sommatore è:

- $ow = 0 \Rightarrow c_{out} = 0$
- $ow = 1 \Rightarrow c_{out} = 1$
- $ow = 0 \Leftrightarrow c_{out} = 0$
- Nessuna delle precedenti

In un D-latch, l'ingresso d deve restare stabile a cavallo del fronte di discesa di p :

- Per evitare oscillazioni dell'uscita
- Per rendere prevedibile il valore dell'uscita
- Per rendere la tabella di flusso normale
- Nessuna delle precedenti

È possibile scambiare il contenuto di due registri A e B nel medesimo stato interno.

- Vero. Basta scrivere $A \Leftarrow B$; $B \Leftarrow A$.
- Falso. Servono un registro di appoggio APP e tre stati interni: al primo si scrive $APP \Leftarrow A$, nel secondo $A \Leftarrow B$, nel terzo $B \Leftarrow APP$.
- Nessuna delle precedenti

Il numero di variabili di comando di una rete sintetizzata come PO/PC

- È sempre pari al numero di bit su cui è codificato lo stato interno
- Dipende soltanto dal numero di registri operativi
- È sempre pari al massimo numero di microoperazioni su un singolo registro
- Nessuna delle precedenti

Nel processore potenziato per gestire le interruzioni, il registro IDTP (Interrupt Descriptor Table Pointer) punta ad una zona di memoria in cui sono contenuti:

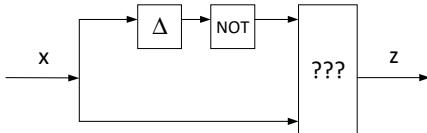
- I sottoprogrammi di servizio associati alle richieste di interruzione
- Gli indirizzi dei sottoprogrammi di cui sopra
- I tipi associati ai sottoprogrammi di cui sopra
- Nessuna delle precedenti

In un processore potenziato con un meccanismo di protezione, se nell'esecuzione di un programma utente viene trovata una istruzione privilegiata, allora:

- Il processore si blocca fino al prossimo reset
- Il processore passa automaticamente in modo sistema per ritornare in modo utente appena eseguita l'istruzione
- Viene generata una richiesta di interruzione interna
- Nessuna delle precedenti



Barrare una sola risposta per ogni domanda
Il punteggio finale è $-1 \times (\text{n. di risposte errate} + \text{n. domande lasciate in bianco})$
Usare lo spazio bianco sul retro del foglio per appunti, se serve

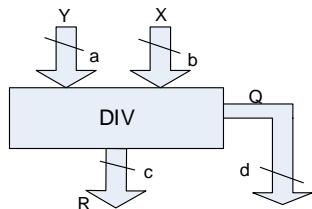


Affinché l'uscita z sia normalmente a zero, e presenti un impulso ad 1 sul fronti di *discesa* di x , è necessario sostituire a ??? una porta

- AND
- OR
- NAND
- NOR

$$(\overline{x_2 + x_1}) \cdot (x_3 + x_2) \cdot (x_3 + x_1) = (\overline{x_2 + x_1}) \cdot (x_3 + x_1)$$

- Vero
- Falso
- Non decidibile



Nel divisore naturale descritto a lezione e richiamato in figura, dove X è il dividendo ed Y il divisore, quale relazione deve necessariamente essere vera?

- $c > d$
- $a + d < b$
- $c \neq a$
- Nessuna delle precedenti

La rappresentazione dell'intero -4, su una cifra in base 12 in complemento alla radice, codificata 8421, è:

- 1000
- 1100
- 0100
- Nessuna delle precedenti

La relazione tra le uscite ow e c_{out} di un sommatore è:

- $ow = 0 \Rightarrow c_{out} = 0$
- $ow = 1 \Rightarrow c_{out} = 1$
- $ow = 0 \Leftrightarrow c_{out} = 0$
- Nessuna delle precedenti

In un D-latch, l'ingresso d deve restare stabile a cavallo del fronte di discesa di p :

- Per evitare oscillazioni dell'uscita
- Per rendere prevedibile il valore dell'uscita
- Per rendere la tabella di flusso normale
- Nessuna delle precedenti

È possibile scambiare il contenuto di due registri A e B nel medesimo stato interno.

- Vero. Basta scrivere $A \leftarrow B; B \leftarrow A$.**
- Falso. Servono un registro di appoggio APP e tre stati interni: al primo si scrive $APP \leftarrow A$, nel secondo $A \leftarrow B$, nel terzo $B \leftarrow APP$.
- Nessuna delle precedenti

Il numero di variabili di comando di una rete sintetizzata come PO/PC

- È sempre pari al numero di bit su cui è codificato lo stato interno
- Dipende soltanto dal numero di registri operativi
- È sempre pari al massimo numero di microoperazioni su un singolo registro
- Nessuna delle precedenti**

Nel processore potenziato per gestire le interruzioni, il registro IDTP (Interrupt Descriptor Table Pointer) punta ad una zona di memoria in cui sono contenuti:

- I sottoprogrammi di servizio associati alle richieste di interruzione
- Gli indirizzi dei sottoprogrammi di cui sopra**
- I tipi associati ai sottoprogrammi di cui sopra
- Nessuna delle precedenti

In un processore potenziato con un meccanismo di protezione, se nell'esecuzione di un programma utente viene trovata una istruzione privilegiata, allora:

- Il processore si blocca fino al prossimo reset
- Il processore passa automaticamente in modo sistema per ritornare in modo utente appena eseguita l'istruzione
- Viene generata una richiesta di interruzione interna**
- Nessuna delle precedenti

Domande di Reti Logiche – compito del 30/1/2018



Barrare una sola risposta per ogni domanda
Il punteggio finale è $-1 \times (n. \text{ di risposte errate} + n. \text{ domande lasciate in bianco})$
Usare lo spazio bianco sul retro del foglio per appunti, se serve

Sia dato un D-latch inizializzato ad 1 al reset asincrono. La sequenza di ingressi fornita è dc=00, 10, 11, 01, 10, 11, 00. Quanto vale l'uscita q alla fine?

- 0
- 1
- Un valore casuale non prevedibile a priori
- Oscilla continuamente

```
reg [3:0] RR;
[...]
S0: begin RR<=1; STAR<=S1; end
S1: begin RR<=RR+1;
      STAR<=(RR==10)?S2:S1; end
S2: begin ...
```

Dato il pezzo di descrizione riportato sopra, quanto vale il contenuto del registro RR nello stato S2?

- 10
- 11
- 9
- Nessuna delle precedenti

$$a \cdot b + a \cdot b \cdot c + a \cdot \bar{b} =$$

- a
- 1
- 0
- Nessuna delle precedenti

In base 10, $| -32 |_3$ è uguale a:

- Non si può fare, perché -32 non è un numero naturale
- $|32|_3$
- $|13|_3$
- Nessuna delle precedenti

Affinché il quoziente della divisione tra due interi a e b sia rappresentabile sul numero di cifre richiesto:

- È sufficiente che lo sia il quoziente della divisione $|a|$ diviso $|b|$
- È necessario che lo sia il quoziente della divisione $|a|$ diviso $|b|$
- Nessuna delle precedenti

Sia $X=9524$ la rappresentazione in complemento alla radice di un numero intero x in base 10. Ciò significa che x è un numero

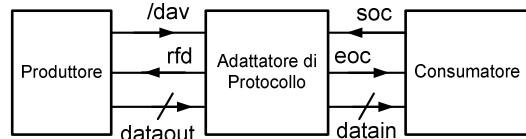
- positivo, rappresentabile anche su tre cifre
- positivo, ma non rappresentabile su tre cifre
- negativo, rappresentabile anche su tre cifre
- negativo, ma non rappresentabile su tre cifre

Dato un convertitore A/D binario bipolare a 8 bit, la tensione minima è convertita nella stringa di bit:

- 0000 0000
- 1000 0000
- 1111 1111
- Nessuna delle precedenti

Nel microcodice del calcolatore visto a lezione, durante un ciclo di lettura nello spazio di I/O, l'assegnamento $\text{IOR}_{<=0}$ avviene:

- Un clock prima dell'assegnamento al registro degli indirizzi
- Nello stesso clock dell'assegnamento al registro degli indirizzi
- Un clock dopo l'assegnamento al registro degli indirizzi
- Nessuna delle precedenti



Con riferimento alla figura soprastante, partendo da una condizione al reset con $/dav$, rfd e eoc a 1 e soc a 0, quale delle seguenti affermazioni è vera:

- E' il Produttore che deve evolversi per primo portando $/dav$ a 0
- E' il Consumatore che deve evolversi per primo portando soc a 1
- Sia il Produttore che il Consumatore possono evolversi indipendentemente, portando l'uno $/dav$ a 0 e l'altro soc a 1
- Nessuna delle precedenti

Con riferimento al Controllore delle Interruzioni visto a lezione, i fili del bus indirizzi che riceve la maschera che deve supportare l'ingresso $/s$ del Controllore sono:

- 16
- 14
- 12
- Nessuna delle precedenti



Barrare una sola risposta per ogni domanda
Il punteggio finale è $-1 \times (n. \text{ di risposte errate} + n. \text{ domande lasciate in bianco})$
Usare lo spazio bianco sul retro del foglio per appunti, se serve

Sia dato un D-latch inizializzato ad 1 al reset asincrono. La sequenza di ingressi fornita è dc=00, 10, 11, 01, 10, 11, 00. Quanto vale l'uscita q alla fine?

- 0
- 1
- Un valore casuale non prevedibile a priori**
- Oscilla continuamente

```
reg [3:0] RR;
[...]
S0: begin RR<=1; STAR<=S1; end
S1: begin RR<=RR+1;
      STAR<=(RR==10)?S2:S1; end
S2: begin ...
```

Dato il pezzo di descrizione riportato sopra, quanto vale il contenuto del registro RR nello stato S2?

- 10
- 11**
- 9
- Nessuna delle precedenti

$$a \cdot b + a \cdot b \cdot c + a \cdot \bar{b} =$$

- a
- 1
- 0
- Nessuna delle precedenti

In base 10, $| -32 |_3$ è uguale a:

- Non si può fare, perché -32 non è un numero naturale
- $|32|_3$
- $|13|_3$**
- Nessuna delle precedenti

Affinché il quoziente della divisione tra due interi a e b sia rappresentabile sul numero di cifre richiesto:

- È sufficiente che lo sia il quoziente della divisione $|a|$ diviso $|b|$
- È necessario che lo sia il quoziente della divisione $|a|$ diviso $|b|$**
- Nessuna delle precedenti

Sia $X=9524$ la rappresentazione in complemento alla radice di un numero intero x in base 10. Ciò significa che x è un numero

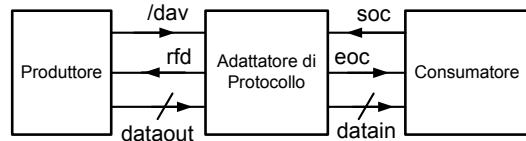
- positivo, rappresentabile anche su tre cifre
- positivo, ma non rappresentabile su tre cifre
- negativo, rappresentabile anche su tre cifre**
- negativo, ma non rappresentabile su tre cifre

Dato un convertitore A/D binario bipolare a 8 bit, la tensione minima è convertita nella stringa di bit:

- 0000 0000**
- 1000 0000
- 1111 1111
- Nessuna delle precedenti

Nel microcodice del calcolatore visto a lezione, durante un ciclo di lettura nello spazio di I/O, l'assegnamento $\text{IOR}_{<=0}$ avviene:

- Un clock prima dell'assegnamento al registro degli indirizzi
- Nello stesso clock dell'assegnamento al registro degli indirizzi
- Un clock dopo l'assegnamento al registro degli indirizzi**
- Nessuna delle precedenti



Con riferimento alla figura soprastante, partendo da una condizione al reset con $/dav$, rfd e eoc a 1 e soc a 0, quale delle seguenti affermazioni è vera:

- E' il Prodotto che deve evolversi per primo portando $/dav$ a 0
- E' il Consumatore che deve evolversi per primo portando soc a 1
- Sia il Prodotto che il Consumatore possono evolversi indipendentemente, portando l'uno $/dav$ a 0 e l'altro soc a 1**
- Nessuna delle precedenti

Con riferimento al Controllore delle Interruzioni visto a lezione, i fili del bus indirizzi che riceve la maschera che deve supportare l'ingresso $/s$ del Controllore sono:

- 16
- 14
- 12**
- Nessuna delle precedenti



Barrare una sola risposta per ogni domanda
Il punteggio finale è $-1 \times (n. \text{ di risposte errate} + n. \text{ domande lasciate in bianco})$
Usare lo spazio bianco sul retro del foglio per appunti, se serve

Durante l'esecuzione di un'istruzione DIV (divisione tra naturali), se il quoziente non è rappresentabile sul numero di bit previsto dal formato dell'istruzione:

- viene settato il flag OF
- viene settato il flag CF
- viene eseguita un'interruzione interna
- nessuna delle precedenti

L'istruzione ADD del processore

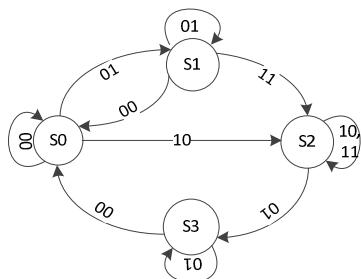
- modifica sia OF che CF
- modifica solo CF
- modifica solo OF
- nessuna delle precedenti

Per eliminare le alei da una sintesi a costo minimo vanno aggiunti:

- soltanto implicanti semplicemente eliminabili
- soltanto implicanti essenziali
- soltanto implicanti assolutamente eliminabili
- nessuna delle precedenti

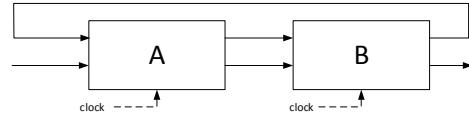
Il calcolo del segno di un numero rappresentato in complemento alla radice in base β generica è un'operazione di costo nullo

- vero
- falso
- non è possibile dirlo



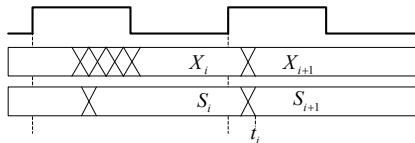
Dato il grafo di flusso di una RSA riportato sopra, è possibile codificare lo stato interno su due bit senza corse delle variabili di stato

- vero
- falso
- non è possibile dirlo



Siano A e B due reti sequenziali sincronizzate. Per avere un anello combinatorio è necessario:

- che nessuna delle due sia di Mealy
- che una delle due sia di Mealy
- che entrambe siano di Mealy
- Nessuna delle precedenti



In una rete di Mealy ritardato, dopo l'istante t_i l'uscita vale:

- $Z = B(X_i, S_i)$
- $Z = B(X_{i+1}, S_{i+1})$
- $Z = B(X_i, S_{i+1})$
- Nessuna delle precedenti

Quale circuito interno ad un Convertitore A/D lo rendeatto a convertire tensioni unipolari o tensioni bipolari?

- il Circuito sequenziale sincronizzato SAR
- il Convertitore D/A
- il Comparatore tra tensione entrante e tensione approssimata
- Nessuna delle precedenti

Con riferimento al meccanismo di protezione e alla gestione dell'ingresso dati visti a lezione, quale porzione del programma principale potrebbe essere utilizzata da un programmatore malizioso per distruggere il contenuto della memoria protetta:

- la primitiva `driver_in`,
- la primitiva `wait_in`
- la procedura `save_into_registers()`
- nessuna delle precedenti

Nella fase di esecuzione di un JMPcc, il circuito che deve stabilire se il salto va o non va fatto trova la codifica del tipo di condizione:

- nel registro OPCODE
- nel registro SOURCE
- nel registro dei flag F
- Nessuna delle precedenti



Barrare una sola risposta per ogni domanda
Il punteggio finale è $-1 \times (n. \text{ di risposte errate} + n. \text{ domande lasciate in bianco})$
Usare lo spazio bianco sul retro del foglio per appunti, se serve

Durante l'esecuzione di un'istruzione DIV (divisione tra naturali), se il quoziente non è rappresentabile sul numero di bit previsto dal formato dell'istruzione:

- viene settato il flag OF
- viene settato il flag CF
- viene eseguita un'interruzione interna
- nessuna delle precedenti

L'istruzione ADD del processore

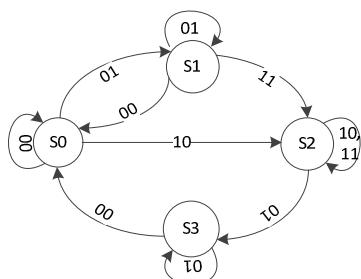
- modifica sia OF che CF
- modifica solo CF
- modifica solo OF
- nessuna delle precedenti

Per eliminare le alei da una sintesi a costo minimo vanno aggiunti:

- soltanto implicanti semplicemente eliminabili
- soltanto implicanti essenziali
- soltanto implicanti assolutamente eliminabili
- nessuna delle precedenti

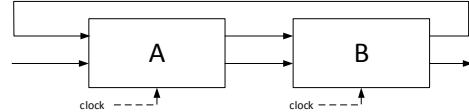
Il calcolo del segno di un numero rappresentato in complemento alla radice in base β generica è un'operazione di costo nullo

- vero
- falso
- non è possibile dirlo



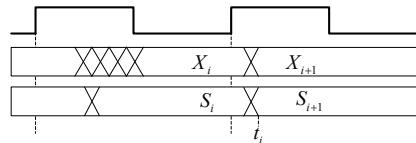
Dato il grafo di flusso di una RSA riportato sopra, è possibile codificare lo stato interno su due bit senza corse delle variabili di stato

- vero
- falso
- non è possibile dirlo



Siano A e B due reti sequenziali sincronizzate. Per avere un anello combinatorio è necessario:

- che nessuna delle due sia di Mealy
- che una delle due sia di Mealy
- che entrambe siano di Mealy
- Nessuna delle precedenti



In una rete di Mealy ritardato, dopo l'istante t_i l'uscita vale:

- $Z = B(X_i, S_i)$
- $Z = B(X_{i+1}, S_{i+1})$
- $Z = B(X_i, S_{i+1})$
- Nessuna delle precedenti

Quale circuito interno ad un Convertitore A/D lo rendeatto a convertire tensioni unipolari o tensioni bipolari?

- il Circuito sequenziale sincronizzato SAR
- il Convertitore D/A
- il Comparatore tra tensione entrante e tensione approssimata
- Nessuna delle precedenti

Con riferimento al meccanismo di protezione e alla gestione dell'ingresso dati visti a lezione, quale porzione del programma principale potrebbe essere utilizzata da un programmatore malizioso per distruggere il contenuto della memoria protetta:

- la primitiva `driver_in`,
- la primitiva `wait_in`
- la procedura `save_into_registers()`
- nessuna delle precedenti

Nella fase di esecuzione di un JMPcc, il circuito che deve stabilire se il salto va o non va fatto trova la codifica del tipo di condizione:

- nel registro OPCODE
- nel registro SOURCE
- nel registro dei flag F
- Nessuna delle precedenti



Barrare una sola risposta per ogni domanda
 Il punteggio finale è $-1 \times (\text{n. di risposte errate} + \text{n. domande lasciate in bianco})$
 Usare lo spazio bianco sul retro del foglio per appunti, se serve

Una tabella di verità che può essere sintetizzata in forma SP a due livelli di logica può anche essere sintetizzata a due livelli di logica in forma PS

- Vero
- Falso
- Non si può dire

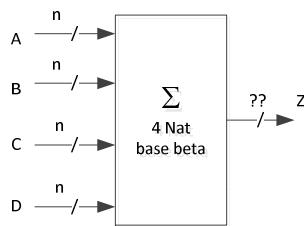
$$(a+b) \cdot (\bar{c} + \bar{d}) = a \cdot \bar{c} + b \cdot \bar{c} + a \cdot \bar{d} + b \cdot \bar{d}$$

- Vero
- Falso
- Non si può dire

Dati due generici numeri a (intero) ed m (naturale),

$$| -a |_m = - | a |_m :$$

- Vero
- Falso
- Nessuna delle precedenti



La rete soprastante produce in uscita la somma di quattro numeri interi su n bit. Affinché il risultato sia sempre rappresentabile, l'uscita deve stare come minimo su:

- $n+3$ cifre
- $n+2$ cifre
- $n+1$ cifre
- Nessuna delle precedenti

Sia A un qualunque numero naturale rappresentabile su $2n$ cifre in base β . Per rappresentare il numero naturale

$B = \lfloor \sqrt{A} \rfloor$ (i.e., la radice quadrata positiva di A , approssimata all'intero inferiore) sono indispensabili almeno:

- $2n-1$ cifre
- $\sqrt{2n}$ cifre
- n cifre
- Nessuna delle precedenti

È possibile riconoscere con una rete sequenziale asincrona la sequenza di stati di ingresso 00, 01, 00, 10

- No, perché ci sono due stati di ingresso identici
- No, perché è troppo lunga
- No, perché si creano alee in uscita
- Nessuna delle precedenti

L'istruzione STI:

- Abilita un'interfaccia a mandare segnali di interruzione al controllore
- Abilita il controllore ad inviare al processore segnali di interruzione tramite il piedino intr
- Abilita il processore a gestire le richieste di interruzione
- Nessuna delle precedenti

Dato un sistema di elaborazione con un bus a 16 fili di indirizzo a15_a0 su cui si vuole montare una EPROM da 2Kbyte a partire dall'indirizzo 'H5800, la maschera che genera /s riceve in ingresso tutti e soli:

- a15_a0
- a15_a11
- a10_a0
- Nessuna delle precedenti

Si consideri una interfaccia di uscita gestita a interruzione di programma e il bit FO del registro di stato di tale interfaccia:

- E' indispensabile che il processore testi FO via software
- E' opportuno che il processore testi FO via software
- E' del tutto inutile che il processore testi FO via software
- Nessuna delle precedenti

Sia T il periodo del clock. Nel descrivere la fase di accesso in lettura alla memoria di un processore, è necessario e sufficiente un solo stato di wait:

- Sempre
- Se il tempo di accesso della memoria è pari a $T/2$
- Se il tempo di accesso della memoria è pari a $5T/2$
- Nessuna delle precedenti



Barrare una sola risposta per ogni domanda
Il punteggio finale è $-1 \times (n. \text{ di risposte errate} + n. \text{ domande lasciate in bianco})$
Usare lo spazio bianco sul retro del foglio per appunti, se serve

Una tabella di verità che può essere sintetizzata in forma SP a due livelli di logica può anche essere sintetizzata a due livelli di logica in forma PS

- Vero**
- Falso
- Non si può dire

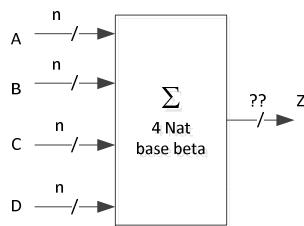
$$(a+b) \cdot (\bar{c} + \bar{d}) = a \cdot \bar{c} + b \cdot \bar{c} + a \cdot \bar{d} + b \cdot \bar{d}$$

- Vero**
- Falso
- Non si può dire

Dati due generici numeri a (intero) ed m (naturale),

$$| -a |_m = - | a |_m :$$

- Vero
- Falso**
- Nessuna delle precedenti



La rete soprastante produce in uscita la somma di quattro numeri interi su n bit. Affinché il risultato sia sempre rappresentabile, l'uscita deve stare come minimo su:

- $n+3$ cifre
- $n+2$ cifre**
- $n+1$ cifre
- Nessuna delle precedenti

Sia A un qualunque numero naturale rappresentabile su $2n$ cifre in base β . Per rappresentare il numero naturale

$B = \lfloor \sqrt{A} \rfloor$ (i.e., la radice quadrata positiva di A , approssimata all'intero inferiore) sono indispensabili almeno:

- $2n-1$ cifre
- $\sqrt{2n}$ cifre
- n cifre**
- Nessuna delle precedenti

È possibile riconoscere con una rete sequenziale asincrona la sequenza di stati di ingresso 00, 01, 00, 10

- No, perché ci sono due stati di ingresso identici
- No, perché è troppo lunga
- No, perché si creano alee in uscita
- Nessuna delle precedenti**

L'istruzione STI:

- Abilita un'interfaccia a mandare segnali di interruzione al controllore
- Abilita il controllore ad inviare al processore segnali di interruzione tramite il piedino intr
- Abilita il processore a gestire le richieste di interruzione**
- Nessuna delle precedenti

Dato un sistema di elaborazione con un bus a 16 fili di indirizzo a15_a0 su cui si vuole montare una EPROM da 2Kbyte a partire dall'indirizzo 'H5800, la maschera che genera /s riceve in ingresso tutti e soli:

- a15_a0
- a15_a11**
- a10_a0
- Nessuna delle precedenti

Si consideri una interfaccia di uscita gestita a interruzione di programma e il bit FO del registro di stato di tale interfaccia:

- E' indispensabile che il processore testi FO via software
- E' opportuno che il processore testi FO via software
- E' del tutto inutile che il processore testi FO via software**
- Nessuna delle precedenti

Sia T il periodo del clock. Nel descrivere la fase di accesso in lettura alla memoria di un processore, è necessario e sufficiente un solo stato di wait:

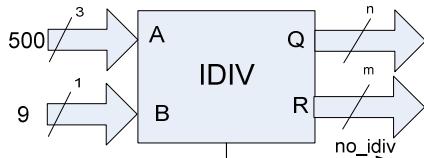
- Sempre
- Se il tempo di accesso della memoria è pari a $T/2$
- Se il tempo di accesso della memoria è pari a $5T/2$
- Nessuna delle precedenti**



Barrare una sola risposta per ogni domanda
 Il punteggio finale è $-1 \times (n. \text{ di risposte errate} + n. \text{ domande lasciate in bianco})$
 Usare lo spazio bianco sul retro del foglio per appunti, se serve

Se in un circuito a due livelli di logica si verifica un'alea statica del primo ordine sul livello y e nella transizione dallo stato di ingresso X_i allo stato X_j , una transizione da X_j ad X_i

- Non genera alcun tipo di alea
- Genera un'alea statica sul livello y
- Genera un'alea statica sul livello $/y$
- Nessuna delle precedenti



Dato il modulo *divisore per interi* in base 10 in complemento alla radice rappresentato nella figura sopra-stante, dove A è il dividendo e B è il divisore, determinare n, m e lo stato delle tre uscite.

- $n=2, m=1, Q=55, R=5, \text{no_idiv}=0$
- $n=3, m=1, Q=500, R=0, \text{no_idiv}=0$
- $n=2, m=1, \text{no_idiv}=1, Q$ ed R non significativi
- Nessuna delle precedenti

Dato il naturale A , rappresentazione dell'intero a , il segno di a si può desumere dalla cifra più significativa di A

- Sia se la rappresentazione è in complemento alla radice, sia se è in traslazione
- Solo in complemento alla radice
- Solo in traslazione
- Nessuna delle precedenti

Dati A, B, C numeri naturali su n cifre in base β , il numero $Z=A \cdot B + C$ sta come minimo su:

- $2n+1$ cifre
- $2n$ cifre
- $2n-1$ cifre
- Nessuna delle precedenti

Una rete sequenziale sincronizzata in cui l'uscita viene fatta reagire sull'ingresso si evolve in modo prevedibile se è di:

- Moore o Mealy
- Mealy o Mealy ritardato
- Moore o Mealy ritardato
- Nessuna delle precedenti

Gli elementi di memoria di una RAM statica sono costituiti da

- Latch SR
- D-Latch
- D-Flip-flop
- Nessuna delle precedenti

In una rete sequenziale asincrona cambiare un ingresso alla volta e soltanto quando la rete combinatoria RCA è a regime è:

- condizione sufficiente per ottenere un'evoluzione prevedibile
- condizione necessaria per ottenere un'evoluzione prevedibile
- Nessuna delle precedenti

La condizione per cui il dato in uscita da un convertitore A/D con interfaccia soc/eoc è valido è:

- eoc=0
- eoc=1
- soc=0
- Nessuna delle precedenti

Il tipo di un'interruzione esterna si trova in un registro:

- Del processore
- Dell'interfaccia
- Del controllore di interruzione
- Nessuna delle precedenti

Alla fine della fase di chiamata (o fetch, o prelievo) il registro IP contiene di norma l'indirizzo:

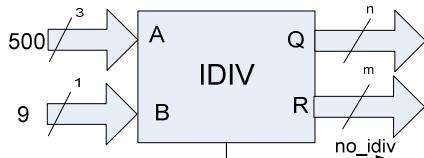
- Dell'istruzione la cui fase di esecuzione sta per iniziare
- Della prossima istruzione da eseguire, ammesso che il flusso del programma proseguia in sequenza
- Dell'ultima istruzione eseguita per intero
- Nessuna delle precedenti



Barrare una sola risposta per ogni domanda
Il punteggio finale è $-1 \times (n. \text{ di risposte errate} + n. \text{ domande lasciate in bianco})$
Usare lo spazio bianco sul retro del foglio per appunti, se serve

Se in un circuito a due livelli di logica si verifica un'alea statica del primo ordine sul livello y nella transizione dallo stato di ingresso X_i allo stato X_j , una transizione da X_j ad X_i

- Non genera alcun tipo di alea
- Genera un'alea statica sul livello y**
- Genera un'alea statica sul livello $/y$
- Nessuna delle precedenti



Dato il modulo *divisore per interi* in base 10 in complemento alla radice rappresentato nella figura sopra-stante, dove A è il dividendo e B è il divisore, determinare n, m e lo stato delle tre uscite.

- $n=2, m=1, Q=55, R=5, \text{no_idiv}=0$
- $n=3, m=1, Q=500, R=0, \text{no_idiv}=0$
- $n=2, m=1, \text{no_idiv}=1, Q$ ed R non significativi**
- Nessuna delle precedenti

Dato il naturale A , rappresentazione dell'intero a , il segno di a si può desumere dalla cifra più significativa di A

- Sia se la rappresentazione è in complemento alla radice, sia se è in traslazione**
- Solo in complemento alla radice
- Solo in traslazione
- Nessuna delle precedenti

Dati A, B, C numeri naturali su n cifre in base β , il numero $Z=A \cdot B + C$ sta come minimo su:

- $2n+1$ cifre
- $2n$ cifre**
- $2n-1$ cifre
- Nessuna delle precedenti

Una rete sequenziale sincronizzata in cui l'uscita viene fatta reagire sull'ingresso si evolve in modo prevedibile se è di:

- Moore o Mealy
- Mealy o Mealy ritardato
- Moore o Mealy ritardato**
- Nessuna delle precedenti

Gli elementi di memoria di una RAM statica sono costituiti da

- Latch SR
- D-Latch**
- D-Flip-flop
- Nessuna delle precedenti

In una rete sequenziale asincrona cambiare un ingresso alla volta e soltanto quando la rete combinatoria RCA è a regime è:

- condizione sufficiente per ottenere un'evoluzione prevedibile
- condizione necessaria per ottenere un'evoluzione prevedibile**
- Nessuna delle precedenti

La condizione per cui il dato in uscita da un convertitore A/D con interfaccia soc/eoc è valido è:

- eoc=0
- eoc=1**
- soc=0
- Nessuna delle precedenti

Il tipo di un'interruzione esterna si trova in un registro:

- Del processore
- Dell'interfaccia
- Del controllore di interruzione**
- Nessuna delle precedenti

Alla fine della fase di chiamata (o fetch, o prelievo) il registro IP contiene di norma l'indirizzo:

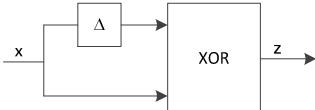
- Dell'istruzione la cui fase di esecuzione sta per iniziare
- Della prossima istruzione da eseguire, ammesso che il flusso del programma prosegua in sequenza**
- Dell'ultima istruzione eseguita per intero
- Nessuna delle precedenti



Barrare una sola risposta per ogni domanda

Il punteggio finale è $-1 \times (\text{n. di risposte errate} + \text{n. domande lasciate in bianco})$

Usare lo spazio bianco sul retro del foglio per appunti, se serve



Nel circuito di sopra, l'uscita z

- Vale sempre zero
- Insegue l'ingresso con un ritardo Δ
- Genera un impulso di durata Δ ad ogni transizione di x
- Nessuna delle precedenti

La lista degli implicanti principali di una legge combinatoria

- Non può contenere mintermini
- È sempre una lista di copertura non ridondante
- Non può avere un costo superiore a quello della forma canonica SP
- Nessuna delle precedenti

La rappresentazione dell'intero -6 in complemento alla radice su una cifra in base 10, con codifica BCD, è:

- 1010
- 1110
- 1000
- Non esiste

Un comparatore per numeri interi rappresentati in traslazione

- È identico ad uno per numeri interi rappresentati in complemento alla radice
- È identico ad uno per numeri interi rappresentati in modulo e segno
- È identico ad uno per numeri naturali
- Nessuna delle precedenti

All'uscita di un sommatore

- È possibile avere $Cout \neq Ow$
- È sempre vero che $Cout = Ow$
- Nessuna delle precedenti

Data una tabella di flusso che descrive una rete sequenziale asincrona, la sintesi della rete combinatoria che produce l'uscita

- Dipende soltanto dalla codifica degli stati interni
- Dipende dalla codifica degli stati interni e dalla scelta del modello di sintesi (con elementi neutri di ritardo o latch SR)
- Dipende dalla codifica degli stati interni e dallo stato interno marcato al reset
- Nessuna delle precedenti

A parità di condizioni (tempi delle reti combinatorie e del mondo a monte e a valle), il periodo di clock di una rete di Moore ha un limite inferiore:

- Più alto che in una rete di Mealy
- più basso che una rete di Mealy
- identico ad una rete di Mealy
- Nessuna delle precedenti

L'istruzione STI

- Abilita le interfacce ad inviare richieste di interruzione al controllore
- Abilita il controllore ad inviare richieste di interruzione al processore
- Abilita il processore a gestire richieste di interruzione
- Nessuna delle precedenti

Quando il processore è in "modo utente" può eseguire:

- Sia l'istruzione INT sia l'istruzione IRET
- l'istruzione IRET, ma non la INT
- l'istruzione INT, ma non la IRET
- Nessuna delle precedenti

L'evento che segnala l'inizio di una trasmissione su una linea seriale è:

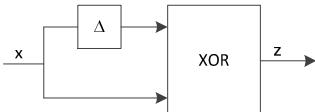
- Il fronte di discesa della linea /dav che va dal trasmettitore al ricevitore
- Il fronte di discesa della linea rfd che va dal ricevitore al trasmettitore
- Il fronte di discesa della linea seriale stessa
- Nessuna delle precedenti



Barrare una sola risposta per ogni domanda

Il punteggio finale è $-1 \times (\text{n. di risposte errate} + \text{n. domande lasciate in bianco})$

Usare lo spazio bianco sul retro del foglio per appunti, se serve



Nel circuito di sopra, l'uscita z

- Vale sempre zero
- Insegue l'ingresso con un ritardo Δ
- Genera un impulso di durata Δ ad ogni transizione di x**
- Nessuna delle precedenti

La lista degli implicanti principali di una legge combinatoria

- Non può contenere mintermini
- È sempre una lista di copertura non ridondante
- Non può avere un costo superiore a quello della forma canonica SP**
- Nessuna delle precedenti

La rappresentazione dell'intero -6 in complemento alla radice su una cifra in base 10, con codifica BCD, è:

- 1010
- 1110
- 1000
- Non esiste**

Un comparatore per numeri interi rappresentati in traslazione

- È identico ad uno per numeri interi rappresentati in complemento alla radice
- È identico ad uno per numeri interi rappresentati in modulo e segno
- È identico ad uno per numeri naturali**
- Nessuna delle precedenti

All'uscita di un sommatore

- È possibile avere $Cout \neq Ow$**
- È sempre vero che $Cout = Ow$
- Nessuna delle precedenti

Data una tabella di flusso che descrive una rete sequenziale asincrona, la sintesi della rete combinatoria che produce l'uscita

- Dipende soltanto dalla codifica degli stati interni**
- Dipende dalla codifica degli stati interni e dalla scelta del modello di sintesi (con elementi neutri di ritardo o latch SR)
- Dipende dalla codifica degli stati interni e dallo stato interno marcato al reset
- Nessuna delle precedenti

A parità di condizioni (tempi delle reti combinatorie e del mondo a monte e a valle), il periodo di clock di una rete di Moore ha un limite inferiore:

- Più alto che in una rete di Mealy
- più basso che una rete di Mealy**
- identico ad una rete di Mealy
- Nessuna delle precedenti

L'istruzione STI

- Abilita le interfacce ad inviare richieste di interruzione al controllore
- Abilita il controllore ad inviare richieste di interruzione al processore
- Abilita il processore a gestire richieste di interruzione**
- Nessuna delle precedenti

Quando il processore è in "modo utente" può eseguire:

- Sia l'istruzione INT sia l'istruzione IRET
- l'istruzione IRET, ma non la INT
- Istruzione INT, ma non la IRET**
- Nessuna delle precedenti

L'evento che segnala l'inizio di una trasmissione su una linea seriale è:

- Il fronte di discesa della linea /dav che va dal trasmettitore al ricevitore
- Il fronte di discesa della linea rfd che va dal ricevitore al trasmettitore
- Il fronte di discesa della linea seriale stessa**
- Nessuna delle precedenti



Barrare una sola risposta per ogni domanda

Il punteggio finale è $-1 \times (\text{n. di risposte errate} + \text{n. domande lasciate in bianco})$
Usare lo spazio bianco sul retro del foglio per appunti, se serve

La realizzazione in forma minima SP e quella in forma minima PS della stessa legge combinatoria z

- Hanno lo stesso costo a porte e a diodi
- Hanno lo stesso costo a porte
- Presentano alee in corrispondenza delle stesse transizioni di ingresso
- Nessuna delle precedenti

In un sommatore, il circuito di lookahead accelera la produzione del risultato

- Soltanto se si sommano naturali
- Soltanto se si sommano rappresentazioni di interi
- Soltanto se si sommano rappresentazioni di interi positivi
- Nessuna delle precedenti

La rappresentazione del numero intero -4 su due cifre in base 10 in complemento alla radice, codificate BCD, è:

- 1111 0110
- 1001 0110
- 1111 1001
- Nessuna delle precedenti

$|-36|_7 =$

- 1
- $|13|_7$
- 7
- Nessuna delle precedenti

In una rete sequenziale asincrona, la presenza di alee essenziali dipende

- dalla codifica scelta per gli stati interni
- dal modello di sintesi della rete combinatoria che genera il nuovo stato interno (ad esempio, SP o PS)
- dall'inizializzazione al reset
- Nessuna delle precedenti

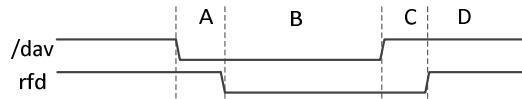
Se la rete combinatoria che produce il nuovo stato di una rete sequenziale sincronizzata è soggetta ad alee, l'evoluzione della rete non è prevedibile

- Vero
- Falso

```
reg [3:0] WAIT;
[...]
S0: begin WAIT<=10; [...] end
S1: begin WAIT<=WAIT-1; [...] end
S2: begin WAIT<=WAIT-1; [...] end
S3: begin WAIT<=8; [...] end
S4: begin [...] end
```

Nel frammento di descrizione sopra riportato sono riportati tutti gli stati interni di una RSS e, per ciascuno, le sole microoperazioni riguardanti il registro WAIT. In una sintesi PO/PC, il numero di variabili di comando necessarie per il registro WAIT sarà.

- 1
- 2
- 3
- Non è possibile dirlo



In un handshake come quello riportato sopra, il produttore può modificare il proprio dato

- Solo nell'intervallo A
- Negli intervalli B, C, D
- Solo negli intervalli C, D
- Nessuna delle precedenti

Quando il processore accetta una richiesta di interruzione, il registro dei flag F viene:

- Salvato nella pila da una istruzione PUSH inserita nel sottoprogramma di servizio
- Salvato automaticamente dall'hardware del processore in accordo alle specifiche previste nella descrizione Verilog dell'hardware stesso
- Lasciato inalterato senza essere salvato
- Nessuna delle precedenti

La generazione di una interruzione per "codice operativo non valido" viene provocata:

- Durante la fase di esecuzione
- Durante la fase di chiamata
- Durante l'esecuzione di un apposito microsottoprogramma di lettura in memoria
- Nessuna delle precedenti



Barrare una sola risposta per ogni domanda

Il punteggio finale è $-1 \times (\text{n. di risposte errate} + \text{n. domande lasciate in bianco})$
Usare lo spazio bianco sul retro del foglio per appunti, se serve

La realizzazione in forma minima SP e quella in forma minima PS della stessa legge combinatoria z

- Hanno lo stesso costo a porte e a diodi
- Hanno lo stesso costo a porte
- Presentano alee in corrispondenza delle stesse transizioni di ingresso
- Nessuna delle precedenti

In un sommatore, il circuito di lookahead accelera la produzione del risultato

- Soltanto se si sommano naturali
- Soltanto se si sommano rappresentazioni di interi
- Soltanto se si sommano rappresentazioni di interi positivi
- Nessuna delle precedenti

La rappresentazione del numero intero -4 su due cifre in base 10 in complemento alla radice, codificate BCD, è:

- 1111 0110
- 1001 0110
- 1111 1001
- Nessuna delle precedenti

$|-36|_7 =$

- 1
- |13|₇
- 7
- Nessuna delle precedenti

In una rete sequenziale asincrona, la presenza di alee essenziali dipende

- dalla codifica scelta per gli stati interni
- dal modello di sintesi della rete combinatoria che genera il nuovo stato interno (ad esempio, SP o PS)
- dall'inizializzazione al reset
- Nessuna delle precedenti

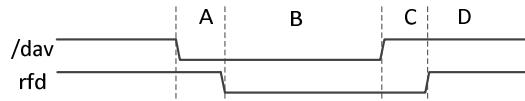
Se la rete combinatoria che produce il nuovo stato di una rete sequenziale sincronizzata è soggetta ad alee, l'evoluzione della rete non è prevedibile

- Vero
- Falso

```
reg [3:0] WAIT;
[...]
S0: begin WAIT<=10; [...] end
S1: begin WAIT<=WAIT-1; [...] end
S2: begin WAIT<=WAIT-1; [...] end
S3: begin WAIT<=8; [...] end
S4: begin [...] end
```

Nel frammento di descrizione sopra riportato sono riportati tutti gli stati interni di una RSS e, per ciascuno, le sole microoperazioni riguardanti il registro WAIT. In una sintesi PO/PC, il numero di variabili di comando necessarie per il registro WAIT sarà.

- 1
- 2
- 3
- Non è possibile dirlo



In un handshake come quello riportato sopra, il produttore può modificare il proprio dato

- Solo nell'intervallo A
- Negli intervalli B, C, D
- Solo negli intervalli C, D
- Nessuna delle precedenti

Quando il processore accetta una richiesta di interruzione, il registro dei flag F viene:

- Salvato nella pila da una istruzione PUSH inserita nel sottoprogramma di servizio
- Salvato automaticamente dall'hardware del processore in accordo alle specifiche previste nella descrizione Verilog dell'hardware stesso
- Lasciato inalterato senza essere salvato
- Nessuna delle precedenti

La generazione di una interruzione per "codice operativo non valido" viene provocata:

- Durante la fase di esecuzione
- Durante la fase di chiamata
- Durante l'esecuzione di un apposito microsottoprogramma di lettura in memoria
- Nessuna delle precedenti



Barrare **una sola risposta** per ogni domanda
Il punteggio finale è $-1 \times (n. \text{ di risposte errate} + n. \text{ domande lasciate in bianco})$
Usare lo spazio bianco sul retro del foglio per appunti, se serve

MOV 0x00, 0xFF

L'istruzione scritta sopra:

- Copia la costante 0x00 (su 8 bit) nella cella di memoria di indirizzo 0xFF
- Copia il contenuto della cella di memoria di indirizzo 0x00 dentro la cella di indirizzo 0xFF
- Deve essere completata con un suffisso
- Non esiste in Assembler

Per dividere il numero 15000 (contenuto in AX) per un numero $Y \in [50; 100]$ (contenuto in BX), devo scrivere:

- DIV %BL
- MOV \$0, %DX
- DIV %BX
- MOV \$0, %EDX
- DIV %EBX
- Nessuna delle precedenti

Una EPROM differisce da una ROM perché:

- La EPROM è volatile
- La ROM ha in genere maggiore capacità
- La EPROM è più veloce
- Nessuna delle precedenti

Per un'uscita z , data una sintesi a porte NOR il cui costo a porte è k , esiste sempre una sintesi:

- A porte NAND di costo k
- PS di costo k
- SP di costo k
- Nessuna delle precedenti

Data una rete R sintetizzata secondo la scomposizione parte operativa/parte controllo, la parte controllo

- Include tra i propri ingressi tutti gli ingressi di R
- Non ha mai in ingresso alcun ingresso di R (esclusi clock e /reset)
- Include tra le proprie uscite tutte le uscite di R
- Nessuna delle precedenti

Un sommatore BCD ad una cifra che ha in ingresso $X=0110$, $Y=0110$, $Cin=0$, produce in uscita:

- Z=1100, Cout=0, Ow=0
- Z=0010, Cout=1, Ow=1
- Z=0010, Cout=1, Ow=0
- Nessuna delle precedenti

Nella somma di due interi in complemento alla radice su n cifre in base β qualunque, il segno del risultato può essere ottenuto:

- Estendendo gli operandi, comando su $n+1$ cifre, guardando il segno del risultato
- Facendo lo XOR degli ultimi due riporti di un sommatore ad n cifre
- Convertendo gli operandi in modulo e segno prima di darli in ingresso al sommatore ad n cifre
- Nessuna delle precedenti

Per un consumatore con handshake /dav-rfd, la configurazione di linee di handshake durante la quale il dato in ingresso è certamente corretto è:

- /dav=1, rfd=1
- /dav=0, rfd=1
- /dav=0, rfd=0
- /dav=1, rfd=0

Detti $X[i]$, $S[i]$, $Z[i]$ gli stati di ingresso, interno e di uscita al clock i -esimo, ed $A()$ e $B()$ le leggi che aggiornano lo stato interno e di uscita, una rete sequenziale per cui $S[i+1]=A(X[i],S[i])$, $Z[i+1]=B(X[i],S[i])$ è:

- Di Moore
- Di Mealy
- Di Mealy ritardato
- Nessuna delle precedenti

Nel processore visto a lezione, le richieste di interruzione provenienti dal controllore vengono gestite:

- Alla fine della fase di chiamata
- Alla fine della fase di esecuzione
- Dopo ogni microistruzione
- Nessuna delle precedenti

In una rete sequenziale asincrona, la presenza o meno di alee essenziali dipende:

- Dalla codifica dello stato interno
- Dalla scelta del modello di sintesi delle reti combinatorie (ad esempio, SP o PS)
- Dall'inizializzazione al reset degli elementi di memoria
- Nessuna delle precedenti

Una rete combinatoria realizzata a porte NAND a due livelli di logica

- Può essere sempre sintetizzata in modo da essere esente da alee del primo ordine
- Avrà certamente alee statiche del primo ordine, sul livello 1
- Avrà certamente alee statiche del primo ordine, sul livello 0
- Nessuna delle precedenti



Barrare **una sola risposta** per ogni domanda
Il punteggio finale è $-1 \times (\text{n. di risposte errate} + \text{n. domande lasciate in bianco})$
Usare lo spazio bianco sul retro del foglio per appunti, se serve

MOV 0x00, 0xFF

L'istruzione scritta sopra:

- Copia la costante 0x00 (su 8 bit) nella cella di memoria di indirizzo 0xFF
- Copia il contenuto della cella di memoria di indirizzo 0x00 dentro la cella di indirizzo 0xFF
- Deve essere completata con un suffisso
- Non esiste in Assembler**

Per dividere il numero 15000 (contenuto in AX) per un numero $Y \in [50; 100]$ (contenuto in BX), devo scrivere:

- DIV %BL
- MOV \$0, %DX**
- DIV %BX
- MOV \$0, %EDX
- DIV %EBX
- Nessuna delle precedenti

Una EPROM differisce da una ROM perché:

- La EPROM è volatile
- La ROM ha in genere maggiore capacità
- La EPROM è più veloce
- Nessuna delle precedenti**

Per un'uscita z , data una sintesi a porte NOR il cui costo a porte è k , esiste sempre una sintesi:

- A porte NAND di costo k
- PS di costo k**
- SP di costo k
- Nessuna delle precedenti

Data una rete R sintetizzata secondo la scomposizione parte operativa/parte controllo, la parte controllo

- Include tra i propri ingressi tutti gli ingressi di R
- Non ha mai in ingresso alcun ingresso di R (esclusi clock e /reset)**
- Include tra le proprie uscite tutte le uscite di R
- Nessuna delle precedenti

Un sommatore BCD ad una cifra che ha in ingresso $X=0110$, $Y=0110$, $Cin=0$, produce in uscita:

- Z=1100, Cout=0, Ow=0
- Z=0010, Cout=1, Ow=1**
- Z=0010, Cout=1, Ow=0
- Nessuna delle precedenti

Nella somma di due interi in complemento alla radice su n cifre in base β qualunque, il segno del risultato può essere ottenuto:

- Estendendo gli operandi, comando su $n+1$ cifre, guardando il segno del risultato**
- Facendo lo XOR degli ultimi due riporti di un sommatore ad n cifre
- Convertendo gli operandi in modulo e segno prima di darli in ingresso al sommatore ad n cifre
- Nessuna delle precedenti

NUOVO PROGRAMMA (a.a. 2018/19)

Per un consumatore con handshake /dav-rfd, la configurazione di linee di handshake durante la quale il dato in ingresso è certamente corretto è:

- /dav=1, rfd=1
- /dav=0, rfd=1**
- /dav=0, rfd=0
- /dav=1, rfd=0

Detti $X[i]$, $S[i]$, $Z[i]$ gli stati di ingresso, interno e di uscita al clock i -esimo, ed $A()$ e $B()$ le leggi che aggiornano lo stato interno e di uscita, una rete sequenziale per cui $S[i+1]=A(X[i],S[i])$, $Z[i+1]=B(X[i],S[i])$ è:

- Di Moore
- Di Mealy
- Di Mealy ritardato**
- Nessuna delle precedenti

Nel processore visto a lezione, le richieste di interruzione provenienti dal controllore vengono gestite:

- Alla fine della fase di chiamata
- Alla fine della fase di esecuzione**
- Dopo ogni microistruzione
- Nessuna delle precedenti

In una rete sequenziale asincrona, la presenza o meno di alee essenziali dipende:

- Dalla codifica dello stato interno
- Dalla scelta del modello di sintesi delle reti combinatorie (ad esempio, SP o PS)
- Dall'inizializzazione al reset degli elementi di memoria
- Nessuna delle precedenti**

Una rete combinatoria realizzata a porte NAND a due livelli di logica

- Può essere sempre sintetizzata in modo da essere esente da alee del primo ordine**
- Avrà certamente alee statiche del primo ordine, sul livello 1
- Avrà certamente alee statiche del primo ordine, sul livello 0
- Nessuna delle precedenti

VECCHIO PROGRAMMA



CMP %EAX, %EBX

JB dopo

Il codice scritto sopra salta all'etichetta *dopo* se:

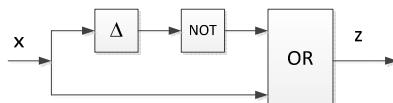
- EBX<EAX, interpretando gli operandi come naturali
- EAX<EBX, interpretando gli operandi come naturali
- EBX<EAX, interpretando gli operandi come interi
- EAX<EBX, interpretando gli operandi come interi

Devo calcolare il quoziente della divisione per 2 di un operando intero. Usando la SAR e la IDIV otterrò lo stesso quoziente:

- sempre
- solo se il dividendo è positivo
- solo se il dividendo è negativo
- mai

Nel processore visto a lezione, i codici operativi delle istruzioni occupano un byte. L'istruzione MOV %AH, %AL occupa:

- 1 byte
- 2 byte
- 3 byte
- Nessuna delle precedenti



Nel circuito sopra disegnato, l'uscita *z*:

- Va ad 1 per Δ subito dopo il fronte di salita di *x*
- Va ad 1 per Δ subito dopo il fronte di discesa di *x*
- Va a 0 per Δ subito dopo il fronte di salita di *x*
- Va a 0 per Δ subito dopo il fronte di discesa di *x*

Un chip di RAM del tipo visto a lezione, con 24 fili di indirizzo ed 8 fili di dati, contiene

- 192 D-latch
- 2^{27} D-latch
- 2^{27} D-flip-flop
- Nessuna delle precedenti

Dati due numeri interi *a* e *b* e le loro rappresentazioni A e B, A<B implica *a*<*b*

- In complemento alla radice
- In modulo e segno
- In traslazione
- Nessuna delle precedenti

La divisione di $X \in [100; 10000]$ per $Y \in [10; 100]$ può sempre essere svolta con un modulo divisore in base 10 avente:

- Dividendo a 5 cifre, divisore a 3 cifre
- Dividendo a 6 cifre, divisore a 4 cifre
- Dividendo a 7 cifre, divisore a 3 cifre
- Nessuna delle precedenti

Barrare una sola risposta per ogni domanda

Il punteggio finale è $-1 \times (\text{n. di risposte errate} + \text{n. domande lasciate in bianco})$

Usare lo spazio bianco sul retro del foglio per appunti, se serve

S0 : [...] RFD<=1; STAR<=(dav==1) ? S0:S1; [...]
 S1 : [...] RFD<=0; X<=x; STAR<=(dav==0) ? S1:S2;
 [...]
 S2 : [...]

Il dato *x* è protetto da handshake /dav-rfd. Il consumatore lo campiona secondo la descrizione scritta sopra. Il comportamento del consumatore è:

- Corretto
- Errato
- Nessuna delle precedenti

$$T \geq T_{prop} + T_{RC} + T_{a\ valle}$$

Detto T_{RC} il tempo di attraversamento di una qualunque rete combinatoria, una disequazione come quella scritta sopra vincola il periodo di clock T nelle RSS:

- Di Moore, Mealy e Mealy ritardato
- Solo di Moore e di Mealy
- Solo di Moore
- Nessuna delle precedenti

Nell'ingresso ad interruzione di programma, il semaforo viene messo a *verde*:

- Dalla start_in
- Dalla wait_in
- Dal driver_in
- Nessuna delle precedenti

In una rete sequenziale asincrona, la presenza o meno di corse delle variabili di stato dipende:

- Dalla codifica dello stato interno
- Dalla scelta del modello di sintesi delle reti combinatorie (ad esempio, SP o PS)
- Dall'inizializzazione al reset degli elementi di memoria
- Nessuna delle precedenti

Una porta XOR ammette alee statiche:

- Del primo ordine
- Del secondo ordine, solo sul livello 0
- Del secondo ordine, solo sul livello 1
- Nessuna delle precedenti



NUOVO PROGRAMMA (a.a. 2018/19)

CMP %EAX, %EBX
JB dopo

Il codice scritto sopra salta all'etichetta **dopo** se:

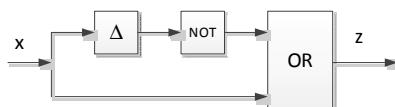
- EBX<EAX, interpretando gli operandi come naturali**
- EAX<EBX, interpretando gli operandi come naturali
- EBX<EAX, interpretando gli operandi come interi
- EAX<EBX, interpretando gli operandi come interi

Devo calcolare il quoziente della divisione per 2 di un operando intero. Usando la SAR e la IDIV otterrò lo stesso quoziente:

- sempre
- solo se il dividendo è positivo**
- solo se il dividendo è negativo
- mai

Nel processore visto a lezione, i codici operativi delle istruzioni occupano un byte. L'istruzione MOV %AH, %AL occupa:

- 1 byte**
- 2 byte
- 3 byte
- Nessuna delle precedenti



Nel circuito sopra disegnato, l'uscita **z**:

- Va ad 1 per Δ subito dopo il fronte di salita di x
- Va ad 1 per Δ subito dopo il fronte di discesa di x
- Va a 0 per Δ subito dopo il fronte di salita di x
- Va a 0 per Δ subito dopo il fronte di discesa di x**

Un chip di RAM del tipo visto a lezione, con 24 fili di indirizzo ed 8 fili di dati, contiene

- 192 D-latch
- 2²⁷ D-latch**
- 2²⁷ D-flip-flop
- Nessuna delle precedenti

Dati due numeri interi a e b e le loro rappresentazioni A e B, A<B implica $a < b$

- In complemento alla radice
- In modulo e segno
- In traslazione**
- Nessuna delle precedenti

La divisione di $X \in [100; 10000]$ per $Y \in [10; 100]$ può sempre essere svolta con un modulo divisore in base 10 avente:

- Dividendo a 5 cifre, divisore a 3 cifre
- Dividendo a 6 cifre, divisore a 4 cifre
- Dividendo a 7 cifre, divisore a 3 cifre**
- Nessuna delle precedenti

S0 : [...] RFD<=1; STAR<=(dav==1)?S0:S1; [...]
S1 : [...] RFD<=0; X<=x; STAR<=(dav==0)?S1:S2;
[...]
S2 : [...]

Il dato x è protetto da handshake /dav-rfd. Il consumatore lo campiona secondo la descrizione scritta sopra. Il comportamento del consumatore è:

- Corretto
- Errato**
- Nessuna delle precedenti

$$T \geq T_{prop} + T_{RC} + T_{a\ valle}$$

Detto T_{RC} il tempo di attraversamento di una qualunque rete combinatoria, una disequazione come quella scritta sopra vincola il periodo di clock T nelle RSS:

- Di Moore, Mealy e Mealy ritardato
- Solo di Moore e di Mealy**
- Solo di Moore
- Nessuna delle precedenti

Nell'ingresso ad interruzione di programma, il semaforo viene messo a **verde**:

- Dalla start_in
- Dalla wait_in
- Dal driver_in**
- Nessuna delle precedenti

In una rete sequenziale asincrona, la presenza o meno di corse delle variabili di stato dipende:

- Dalla codifica dello stato interno**
- Dalla scelta del modello di sintesi delle reti combinatorie (ad esempio, SP o PS)
- Dall'inizializzazione al reset degli elementi di memoria
- Nessuna delle precedenti

Una porta XOR ammette alee statiche:

- Del primo ordine
- Del secondo ordine, solo sul livello 0
- Del secondo ordine, solo sul livello 1
- Nessuna delle precedenti**

VECCIO PROGRAMMA



Barrare **una sola risposta** per ogni domanda
Il punteggio finale è $-1 \times (\text{n. di risposte errate} + \text{n. domande lasciate in bianco})$
Usare lo spazio bianco sul retro del foglio per appunti, se serve

NUOVO PROGRAMMA (a.a. 2018/19)

ADD \$0b11111111, %AL

JO dopo

Il codice scritto sopra salta all'etichetta *dopo*:

- Solo se contenuto di AL è 1000 0000
- Se il contenuto di AL è diverso da 0000 0000
- Se il contenuto di AL è 0000 0001
- Nessuna delle precedenti

Per scambiare il contenuto di due registri generali

- è indispensabile usare un terzo registro di appoggio
- è indispensabile passare dalla pila
- sono necessarie due istruzioni Assembler
- nessuna delle precedenti

S0 : [...] OUT<=elaborazione; WAIT<=10;
STAR<=S1; [...]
S1 : [...] WAIT<=WAIT-1; STAR<=(WAIT==0)?S0:S1;
[...]

Il registro OUT sostiene un'uscita della rete. Nella porzione di descrizione scritta sopra, tale uscita resta costante per:

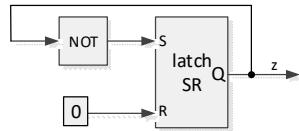
- 10 clock
- 11 clock
- 12 clock
- Nessuna delle precedenti

Nella scomposizione di una rete in parte operativa (PO) e parte controllo (PC) vista a lezione:

- Sia la PO che la PC sono reti di Mealy
- Sia la PO che la PC sono reti di Moore
- La PO è di Mealy, la PC è di Moore
- Nessuna delle precedenti

In modalità utente, si possono usare:

- Sia la INT che la IRET
- La IRET, ma non la INT
- La INT, ma non la IRET
- Né la INT, né la IRET



Nel circuito sopra disegnato, l'uscita *z*:

- Oscilla indefinitamente
- Si stabilizza ad un valore che dipende da quello impostato al reset iniziale
- Si stabilizza ad 1
- Nessuna delle precedenti

Un chip di RAM 1Mx8 deve essere montato in uno spazio di indirizzamento a 32 bit, a partire dall'indirizzo 0x00F00000. La maschera che genera il segnale /s di selezione per il chip ha in ingresso i fili di indirizzo del bus:

- $a_{31}-a_{20}$
- $a_{23}-a_{20}$
- $a_{31}-a_0$
- Nessuna delle precedenti

$$|31-44|_7 =$$

- $|31+26|_7$
- $|31|_7 + |44|_7$
- $|44-31|_7$
- Nessuna delle precedenti

Il tempo che un sommatore ad *n* cifre impiega a completare una somma cresce con *n* in maniera:

- lineare
- quadratica
- logaritmica
- Nessuna delle precedenti

x_1, x_0	00	01	11	10	z
S0	S0	S1	S0	S0	0
S1	S0	S1	S2	--	0
S2	--	S1	S2	S3	0
S3	S0	--	S0	S3	1

Data la tabella di flusso di una RSA riportata in figura, detto *Ta* il tempo di attraversamento della rete combinatoria che produce il nuovo stato interno, il tempo minimo per cui uno stato di ingresso deve restare stabile è

- Ta
- 2Ta
- 3Ta
- Nessuna delle precedenti

Per rendere priva di alee del primo ordine una sintesi a costo minimo in forma SP, gli eventuali implicanti da aggiungere saranno:

- Soltanto essenziali
- Soltanto assolutamente eliminabili
- Soltanto semplicemente eliminabili
- Nessuna delle precedenti

VECHIOPROGRAMMA



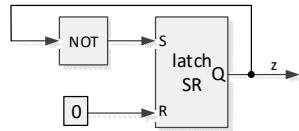
Barrare **una sola risposta** per ogni domanda
Il punteggio finale è $-1 \times (\text{n. di risposte errate} + \text{n. domande lasciate in bianco})$
Usare lo spazio bianco sul retro del foglio per appunti, se serve

NUOVO PROGRAMMA (a.a. 2018/19)

ADD \$0b11111111, %AL
JO dopo
Il codice scritto sopra salta all'etichetta *dopo*:
 Solo se contenuto di AL è 1000 0000
 Se il contenuto di AL è diverso da 0000 0000
 Se il contenuto di AL è 0000 0001
 Nessuna delle precedenti

Per scambiare il contenuto di due registri generali
 è indispensabile usare un terzo registro di appoggio
 è indispensabile passare dalla pila
 sono necessarie due istruzioni Assembler
 nessuna delle precedenti

Il circuito di estensione di campo non richiede logica:
 per i naturali in qualunque base, e per gli interi (in Complemento alla Radice) in base 2
 per naturali ed interi in CR, in qualunque base
 per interi in CR, in qualunque base
 Nessuna delle precedenti



Nel circuito sopra disegnato, l'uscita *z*:
 Oscilla indefinitamente
 Si stabilizza ad un valore che dipende da quello impostato al reset iniziale
 Si stabilizza ad 1
 Nessuna delle precedenti

Un chip di RAM 1Mx8 deve essere montato in uno spazio di indirizzamento a 32 bit, a partire dall'indirizzo 0x00F00000. La maschera che genera il segnale /s di selezione per il chip ha in ingresso i fili di indirizzo del bus:

- $a_{31}-a_{20}$
- $a_{23}-a_{20}$
- $a_{31}-a_0$
- Nessuna delle precedenti

$$|31-44|_7 =$$

- $|31+26|_7$
- $|31|_7 + |44|_7$
- $|44-31|_7$
- Nessuna delle precedenti

Il tempo che un sommatore ad *n* cifre impiega a completare una somma cresce con *n* in maniera:

- lineare
- quadratica
- logaritmica
- Nessuna delle precedenti

S0 : [...] OUT<=elaborazione; WAIT<=10;
 STAR<=S1; [...]
 S1 : [...] WAIT<=WAIT-1; STAR<=(WAIT==0)?S0:S1;
 [...]

Il registro OUT sostiene un'uscita della rete. Nella porzione di descrizione scritta sopra, tale uscita resta costante per:

- 10 clock
- 11 clock
- 12 clock
- Nessuna delle precedenti

Nella scomposizione di una rete in parte operativa (PO) e parte controllo (PC) vista a lezione:

- Sia la PO che la PC sono reti di Mealy
- Sia la PO che la PC sono reti di Moore
- La PO è di Mealy, la PC è di Moore
- Nessuna delle precedenti

In modalità utente, si possono usare:

- Sia la INT che la IRET
- La IRET, ma non la INT
- La INT, ma non la IRET
- Né la INT, né la IRET

x_1, x_0	00	01	11	10	z
S0	S0	S1	S0	S0	0
S1	S0	S1	S2	--	0
S2	--	S1	S2	S3	0
S3	S0	--	S0	S3	1

Data la tabella di flusso di una RSA riportata in figura, detto *Ta* il tempo di attraversamento della rete combinatoria che produce il nuovo stato interno, il tempo minimo per cui uno stato di ingresso deve restare stabile è

- Ta
- 2Ta
- 3Ta
- Nessuna delle precedenti

Per rendere priva di alee del primo ordine una sintesi a costo minimo in forma SP, gli eventuali implicanti da aggiungere saranno:

- Soltanto essenziali
- Soltanto assolutamente eliminabili
- Soltanto semplicemente eliminabili
- Nessuna delle precedenti

VECHIOPROGRAMMA



Barrare una sola risposta per domanda
Il punteggio finale è $-1 \times (\text{n. di risposte errate} + \text{n. domande lasciate in bianco})$
Usare lo spazio bianco sul retro del foglio per appunti, se serve

NUOVO PROGRAMMA (a.a. 2018/19)

Per dividere un intero (contenuto in AX) per 8 uso

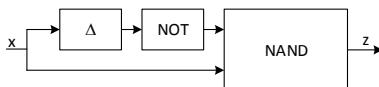
- SHR \$3, %AX
- SAR \$3, %AX
- SAL \$3, %AX
- Nessuna delle precedenti

L'istruzione Assembler XCHG %AX, %BX equivale a:

- MOV %AX, %BX
- MOV %AX, %BX
- MOV %BX, %AX
- PUSH %BX
- PUSH %AX
- POP %BX
- POP %AX
- Nessuna delle precedenti

In una RAM con 20 fili di indirizzo ed 8 di dati ci sono

- 160 D-latch
- 8M D-latch
- 5120 D-latch
- Nessuna delle precedenti



Il circuito nella figura emette un impulso di durata Δ

- Sul livello 1, sul fronte in salita di x
- Sul livello 0, sul fronte in salita di x
- Sul livello 1, sul fronte in discesa di x
- Sul livello 0, sul fronte in discesa di x
- Nessuna delle precedenti

In una rete sincronizzata a 4 stati interni, il registro R supporta due microoperazioni indipendenti. Per guiderlo sono necessarie

- Due variabili di comando
- Quattro variabili di comando
- Una variabile di comando
- Nessuna delle precedenti

Dato un sommatore BCD ad una cifra, una configurazione di variabili logiche di ingresso tale per cui in uscita Cout ed Ow hanno valore diverso è:

- Cin=0, X=0110, Y=0001
- Cin=0, X=0110, Y=0110
- Cin=0, X=0001, Y=0100
- Nessuna delle precedenti

Un numero intero è rappresentabile in base β su n cifre:

A: in complemento alla radice; B: in modulo e segno

- A \Rightarrow B, ma non viceversa
- B \Rightarrow A, ma non viceversa
- A \Leftrightarrow B
- Nessuna delle precedenti

La rete che calcola il complemento di un numero è una barriera di NOT

- Se il numero è rappresentato in base 2
- In base 2, oppure in base 10 in codifica BCD
- Qualunque sia la base e la codifica usata
- Nessuna delle precedenti

Una rete sequenziale sincronizzata in cui lo stato di uscita ad un istante t non dipende dallo stato di ingresso presente all'istante t è:

- Di Moore o di Mealy
- Di Moore o di Mealy ritardato
- Di Mealy o di Mealy ritardato
- Nessuna delle precedenti

Il processore segnala ad una sorgente che la richiesta di interruzione di quest'ultima è stata portata a termine

- Tramite l'uscita *inta* del processore
- Scrivendo un valore in un opportuno registro del controllore dedicato a quella sorgente
- Andando a leggere nella tabella delle interruzioni
- Nessuna delle precedenti

In un D-Flip-Flop 7474 sintetizzato come campionatore-ritardatore:

- Il campionatore è una rete combinatoria, ed il ritardatore è un D-latch
- Il campionatore è una rete combinatoria, ed il ritardatore è un latch SR
- Il campionatore è una rete sequenziale, ed il ritardatore è un D-latch
- Nessuna delle precedenti

In una rete combinatoria sintetizzata a due livelli di logica, il livello logico su cui si possono verificare alee statiche del 1° ordine dipende:

- Dal tipo di porte sul primo livello di logica (quello più vicino agli ingressi)
- Dal tipo di porte sul secondo livello di logica (quello più vicino all'uscita)
- Nessuna delle precedenti

VECCHIO PROGRAMMA



Barrare una sola risposta per domanda
Il punteggio finale è $-1 \times (\text{n. di risposte errate} + \text{n. domande lasciate in bianco})$
Usare lo spazio bianco sul retro del foglio per appunti, se serve

NUOVO PROGRAMMA (a.a. 2018/19)

Per dividere un intero (contenuto in AX) per 8 uso

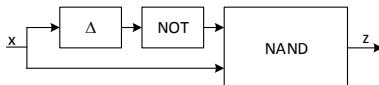
- SHR \$3, %AX
- SAR \$3, %AX
- SAL \$3, %AX
- Nessuna delle precedenti

L'istruzione Assembler XCHG %AX, %BX equivale a:

- MOV %AX, %BX
- MOV %AX, %BX
- MOV %BX, %AX
- PUSH %BX
- PUSH %AX
- POP %BX
- POP %AX
- Nessuna delle precedenti

In una RAM con 20 fili di indirizzo ed 8 di dati ci sono

- 160 D-latch
- 8M D-latch
- 5120 D-latch
- Nessuna delle precedenti



Il circuito nella figura emette un impulso di durata Δ

- Sul livello 1, sul fronte in salita di x
- Sul livello 0, sul fronte in salita di x
- Sul livello 1, sul fronte in discesa di x
- Sul livello 0, sul fronte in discesa di x
- Nessuna delle precedenti

In una rete sincronizzata a 4 stati interni, il registro R supporta due microoperazioni indipendenti. Per guiderlo sono necessarie

- Due variabili di comando
- Quattro variabili di comando
- Una variabile di comando
- Nessuna delle precedenti

Dato un sommatore BCD ad una cifra, una configurazione di variabili logiche di ingresso tale per cui in uscita Cout ed Ow hanno valore diverso è:

- Cin=0, X=0110, Y=0001
- Cin=0, X=0110, Y=0110
- Cin=0, X=0001, Y=0100
- Nessuna delle precedenti

Un numero intero è rappresentabile in base β su n cifre:
A: in complemento alla radice; B: in modulo e segno

- A=B, ma non viceversa
- B=A, ma non viceversa
- A↔B
- Nessuna delle precedenti

La rete che calcola il complemento di un numero è una barriera di NOT

- Se il numero è rappresentato in base 2
- In base 2, oppure in base 10 in codifica BCD
- Qualunque sia la base e la codifica usata
- Nessuna delle precedenti

Una rete sequenziale sincronizzata in cui lo stato di uscita ad un istante t non dipende dallo stato di ingresso presente all'istante t è:

- Di Moore o di Mealy
- Di Moore o di Mealy ritardato
- Di Mealy o di Mealy ritardato
- Nessuna delle precedenti

Il processore segnala ad una sorgente che la richiesta di interruzione di quest'ultima è stata portata a termine

- Tramite l'uscita *inta* del processore
- Scrivendo un valore in un opportuno registro del controllore dedicato a quella sorgente
- Andando a leggere nella tabella delle interruzioni
- Nessuna delle precedenti

In un D-Flip-Flop 7474 sintetizzato come campionatore-ritardatore:

- Il campionatore è una rete combinatoria, ed il ritardatore è un D-latch
- Il campionatore è una rete combinatoria, ed il ritardatore è un latch SR
- Il campionatore è una rete sequenziale, ed il ritardatore è un D-latch
- Nessuna delle precedenti

In una rete combinatoria sintetizzata a due livelli di logica, il livello logico su cui si possono verificare alee statiche del 1° ordine dipende:

- Dal tipo di porte sul primo livello di logica (quello più vicino agli ingressi)
- Dal tipo di porte sul secondo livello di logica (quello più vicino all'uscita)
- Nessuna delle precedenti

VECCHIO PROGRAMMA



Barrare una sola risposta per domanda
Il punteggio finale è $-1 \times (\text{n. di risposte errate} + \text{n. domande lasciate in bianco})$
Usare lo spazio bianco sul retro del foglio per appunti, se serve

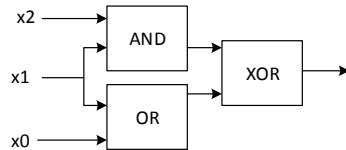
NUOVO PROGRAMMA (a.a. 2018/19)

L'istruzione Assembler MUL %BX, %CX

- Scrive il risultato in %ECX
- Scrive il risultato in %DX_%AX
- Scrive il risultato in %EAX
- Nessuna delle precedenti

Per mettere a 0 il bit 5 di %AL si può scrivere

- SUB 0x20, %AL
- ADD 0x20, %AL
- AND 0xDF, %AL
- OR 0x20, %AL
- Nessuna delle precedenti



La rete in figura riconosce

- 3 stati di ingresso
- 4 stati di ingresso
- 5 stati di ingresso
- Nessuna delle precedenti

x ₀	x ₁	x ₂	00	01	11	10
00	0	0	0	0	0	1
01	0	0	0	0	-	1
11	0	-	0	-	1	-
10	1	1	1	1	-	1

La mappa di Karnaugh scritta sopra ha

- 5 implicanti principali
- 5 implicanti principali essenziali
- 5 implicanti principali semplicemente eliminabili
- 5 implicanti principali assolutamente eliminabili
- Nessuna delle precedenti

Devo dividere il numero $X \in [0; 2500]$ per il numero $Y \in [5; 10]$. X, Y sono in base 2. Devo usare un modulo divisore per naturali con:

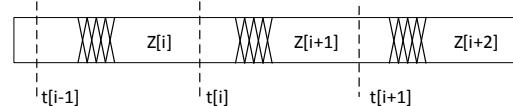
- dividendo su 12 bit, divisore su 4 bit
- dividendo su 13 bit, divisore su 4 bit
- dividendo su 13 bit, divisore su 5 bit
- Nessuna delle precedenti

Il numero $(5310)_{b6}$, interpretato come rappresentazione in complemento alla radice in base 6 di un numero intero,

- Rappresenta un numero negativo, di modulo $\leq 6^3/2$
- Rappresenta un numero positivo, di modulo $\leq 6^3/2$
- Rappresenta un numero positivo, di modulo $> 6^3/2$
- Nessuna delle precedenti

Un Latch SR viene pilotato con la sequenza di stati di ingresso $\{sr\} = 10, 11, 00$. Il valore finale dell'uscita è:

- 1
- 0
- Casuale
- Nessuna delle precedenti



La temporizzazione sopra scritta riguarda lo stato di uscita di una rete sincronizzata. Tale rete è:

- Di Moore o di Mealy
- Di Moore o di Mealy ritardato
- Di Mealy o di Mealy ritardato
- Nessuna delle precedenti

È possibile prelevare il dato da un produttore con handshake soc/eoc quando:

- soc=0, eoc=0
- soc=0, eoc=1
- soc=1, eoc=0
- soc=1, eoc=1
- Nessuna delle precedenti

Nella trasmissione seriale vista a lezione, il clock del trasmettitore:

- È più veloce di quello del ricevitore
- Ha la stessa velocità di quello del ricevitore
- È più lento di quello del ricevitore
- Nessuna delle precedenti

Le porte elementari (AND, OR, NOR, NAND, XOR) sono soggette ad alee del secondo ordine

- Vero
- Falso
- Non si può dire

SO	00	01	11	10
S1	(S0)	S1	S1	(S0)
S1	(S1)	S0	(S1)	S0

Nella rete sequenziale asincrona descritta dalla tabella di flusso di sopra, detti T_A e T_M i tempi di attraversamento della rete combinatoria e di marcatura, il tempo per cui lo stato di ingresso va lasciato invariato è:

- $T_A + T_M$
- $2T_A + T_M$
- $2T_A + 2T_M$
- Nessuna delle precedenti

VECCHIO PROGRAMMA



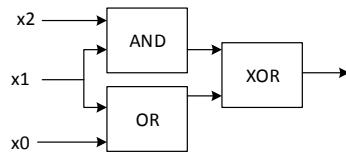
Barrare una sola risposta per domanda
Il punteggio finale è $-1 \times (\text{n. di risposte errate} + \text{n. domande lasciate in bianco})$
Usare lo spazio bianco sul retro del foglio per appunti, se serve

NUOVO PROGRAMMA (a.a. 2018/19)

- L'istruzione Assembler MUL %BX, %CX
- Scrive il risultato in %ECX
 - Scrive il risultato in %DX_%AX
 - Scrive il risultato in %EAX
 - Nessuna delle precedenti

Per mettere a 0 il bit 5 di %AL si può scrivere

- SUB 0x20, %AL
- ADD 0x20, %AL
- AND 0xDF, %AL
- OR 0x20, %AL
- Nessuna delle precedenti



La rete in figura riconosce

- 3 stati di ingresso
- 4 stati di ingresso
- 5 stati di ingresso
- Nessuna delle precedenti

x ₂	x ₁	x ₀	00	01	11	10
0	AND	OR	0	0	0	1
1		XOR	0	0	-	1
0			0	-	1	-
1			1	1	-	1

La mappa di Karnaugh scritta sopra ha

- 5 implicanti principali
- 5 implicanti principali essenziali
- 5 implicanti principali semplicemente eliminabili
- 5 implicanti principali assolutamente eliminabili
- Nessuna delle precedenti

Devo dividere il numero $X \in [0; 2500]$ per il numero $Y \in [5; 10]$. X, Y sono in base 2. Devo usare un modulo divisore per naturali con:

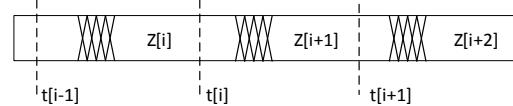
- dividendo su 12 bit, divisore su 4 bit
- dividendo su 13 bit, divisore su 4 bit
- dividendo su 13 bit, divisore su 5 bit
- Nessuna delle precedenti

Il numero $(5310)_{b6}$, interpretato come rappresentazione in complemento alla radice in base 6 di un numero intero,

- Rappresenta un numero negativo, di modulo $\leq 6^3/2$
- Rappresenta un numero positivo, di modulo $\leq 6^3/2$
- Rappresenta un numero positivo, di modulo $> 6^3/2$
- Nessuna delle precedenti

Un Latch SR viene pilotato con la sequenza di stati di ingresso $\{sr\} = 10, 11, 00$. Il valore finale dell'uscita è:

- 1
- 0
- Casuale
- Nessuna delle precedenti



La temporizzazione sopra scritta riguarda lo stato di uscita di una rete sincronizzata. Tale rete è:

- Di Moore o di Mealy
- Di Moore o di Mealy ritardato
- Di Mealy o di Mealy ritardato
- Nessuna delle precedenti

È possibile prelevare il dato da un produttore con handshake soc/eoc quando:

- soc=0, eoc=0
- soc=0, eoc=1
- soc=1, eoc=0
- soc=1, eoc=1
- Nessuna delle precedenti

Nella trasmissione seriale vista a lezione, il clock del trasmettitore:

- È più veloce di quello del ricevitore
- Ha la stessa velocità di quello del ricevitore
- È più lento di quello del ricevitore
- Nessuna delle precedenti

Le porte elementari (AND, OR, NOR, NAND, XOR) sono soggette ad alee del secondo ordine

- Vero
- Falso
- Non si può dire

00	01	11	10
S0	(S0)	S1	S1 (S0)
S1	(S1)	S0	(S1) S0

VECCHIO PROGRAMMA

Nella rete sequenziale asincrona descritta dalla tabella di flusso di sopra, detti T_A e T_M i tempi di attraversamento della rete combinatoria e di marcatura, il tempo per cui lo stato di ingresso va lasciato invariato è:

- $T_A + T_M$
- $2T_A + T_M$
- $2T_A + 2T_M$
- Nessuna delle precedenti



Barrare una sola risposta per domanda
Il punteggio finale è $-1 \times (\text{n. di risposte errate} + \text{n. domande lasciate in bianco})$
Usare lo spazio bianco sul retro del foglio per appunti, se serve

NUOVO PROGRAMMA (a.a. 2018/19)

CMP %AX, %BX
JB dopo

Il pezzo di codice Assembler scritto sopra salta all'etichetta dopo se

- BX<AX, interpretando i contenuti dei registri come numeri naturali
- AX<BX, interpretando i contenuti dei registri come numeri naturali
- BX<AX, interpretando i contenuti dei registri come numeri interi in complemento a due
- Nessuna delle precedenti

Per commutare i bit 0,1,2,3 di AL si può scrivere

- AND 0x0F, %AL
- OR 0x0F, %AL
- XOR 0x0F, %AL
- Nessuna delle precedenti

Alla fine della fase di chiamata (o fetch, o prelievo) il registro IP contiene di norma l'indirizzo:

- Dell'ultima istruzione eseguita per intero
- Dell'istruzione la cui fase di esecuzione sta per iniziare
- Della prossima istruzione da eseguire, ammesso che il flusso del programma prosegua in sequenza
- Nessuna delle precedenti

In una rete sequenziale sincronizzata di Moore, una delle disuguaglianze di temporizzazione include al membro destro la somma di T_{a_monte} e di T_{a_valle} :

- Vero
- Falso
- Non si può dire

Dopo che il processore ha eseguito l'istruzione CLI, una richiesta di interruzione inviatagli dal controllore:

- Viene subito accettata
- E' considerata definitivamente persa
- Sarà accettata dopo che sarà stata eseguita l'istruzione STI
- Nessuna delle precedenti

Nel calcolatore visto a lezione, durante un ciclo di scrittura ad una memoria RAM 1Mx8 connessa al bus, l'ingresso /mw va a zero:

- Prima della stabilizzazione degli ingressi $a_{19_a_0}$
- Contemporaneamente alla stabilizzazione degli ingressi $a_{19_a_0}$
- Dopo la stabilizzazione degli ingressi $a_{19_a_0}$
- Non è importante, tanto funziona comunque

$||31|_5 + |-12|_5|_5 =$

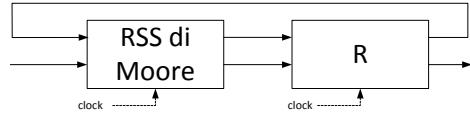
- 0
- 4
- Non si può fare, perché -12 non è naturale
- Nessuna delle precedenti

Dati A e B, rappresentazioni in complemento alla radice dei numeri interi a e b ,

- $A < B$ implica che $a < b$
- $A \leq B$ implica che $a \leq b$
- $A > B$ implica che $a > b$
- Nessuna delle precedenti

Sia dato un *divisore elementare per naturali in base due*, in cui il dividendo è un ingresso ad $m+1$ bit ed il divisore un ingresso a m bit. Le uscite sono:

- Resto su m bit, quoziante su $m+1$ bit
- Resto su m bit, quoziante su 1 bit, *no_div*
- Resto su $m+1$ bit, quoziante su 1 bit, *no_div*
- Nessuna delle precedenti



Data R rete sequenziale sincronizzata, il montaggio della figura può avere anelli combinatori se R è:

- di Moore
- di Mealy
- di Mealy ritardato
- Nessuna delle precedenti

$x_1 x_0$	00	01	11	10	z
S_0	(S_0)	(S_0)	(S_0)	S_1	0
S_1	S_0	—	S_2	(S_1)	0
S_2	—	S_3	(S_2)	S_1	1
S_3	S_0	(S_3)	S_2	—	0

Sia Ta il tempo di attraversamento della RC1 della rete sequenziale asincrona la cui tabella di flusso è riportata sopra. Affinché il pilotaggio della RSA avvenga in modo corretto, il tempo di permanenza di uno stato di ingresso non può scendere sotto

- Ta
- 2 Ta
- 3 Ta
- 5 Ta

Una rete a due livelli di logica la cui uscita è presa da una porta XNOR

- Può essere soggetta ad alee statiche del primo ordine soltanto sul livello 0
- Può essere soggetta ad AS 1° ordine soltanto sul livello 1
- Può essere soggetta ad AS 1° ordine su entrambi i livelli
- Nessuna delle precedenti

VECCHIO PROGRAMMA



Barrare una sola risposta per domanda
Il punteggio finale è $-1 \times (\text{n. di risposte errate} + \text{n. domande lasciate in bianco})$
Usare lo spazio bianco sul retro del foglio per appunti, se serve

NUOVO PROGRAMMA (a.a. 2018/19)

CMP %AX, %BX
JB dopo

Il pezzo di codice Assembler scritto sopra salta all'etichetta dopo se

- BX<AX, interpretando i contenuti dei registri come numeri naturali**
- AX<BX, interpretando i contenuti dei registri come numeri naturali
- BX<AX, interpretando i contenuti dei registri come numeri interi in complemento a due
- Nessuna delle precedenti

Per commutare i bit 0,1,2,3 di AL si può scrivere

- AND 0x0F, %AL
- OR 0x0F, %AL
- XOR 0x0F, %AL**
- Nessuna delle precedenti

Alla fine della fase di chiamata (o fetch, o prelievo) il registro IP contiene di norma l'indirizzo:

- Dell'ultima istruzione eseguita per intero
- Dell'istruzione la cui fase di esecuzione sta per iniziare
- Della prossima istruzione da eseguire, ammesso che il flusso del programma proseguia in sequenza**
- Nessuna delle precedenti

In una rete sequenziale sincronizzata di Moore, una delle disuguaglianze di temporizzazione include al membro destro la somma di T_{a_monte} e di T_{a_valle} :

- Vero
- Falso**
- Non si può dire

Dopo che il processore ha eseguito l'istruzione CLI, una richiesta di interruzione inviatagli dal controllore:

- Viene subito accettata
- E' considerata definitivamente persa
- Sarà accettata dopo che sarà stata eseguita l'istruzione STI**
- Nessuna delle precedenti

Nel calcolatore visto a lezione, durante un ciclo di scrittura ad una memoria RAM 1Mx8 connessa al bus, l'ingresso /mw va a zero:

- Prima della stabilizzazione degli ingressi $a_{19_a_0}$
- Contemporaneamente alla stabilizzazione degli ingressi $a_{19_a_0}$
- Dopo la stabilizzazione degli ingressi $a_{19_a_0}$**
- Non è importante, tanto funziona comunque

$$||31|_5 + |-12|_5|_5 =$$

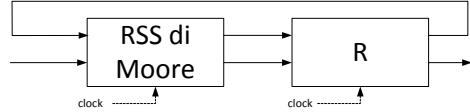
- 0
- 4**
- Non si può fare, perché -12 non è naturale
- Nessuna delle precedenti

Dati A e B, rappresentazioni in complemento alla radice dei numeri interi a e b ,

- $A < B$ implica che $a < b$
- $A \leq B$ implica che $a \leq b$
- $A > B$ implica che $a > b$
- Nessuna delle precedenti**

Sia dato un *divisore elementare per naturali in base due*, in cui il dividendo è un ingresso ad $m+1$ bit ed il divisore un ingresso a m bit. Le uscite sono:

- Resto su m bit, quoziente su $m+1$ bit
- Resto su m bit, quoziente su 1 bit, no_div**
- Resto su $m+1$ bit, quoziente su 1 bit, no_div
- Nessuna delle precedenti



Data R rete sequenziale sincronizzata, il montaggio della figura può avere anelli combinatori se R è:

- di Moore
- di Mealy
- di Mealy ritardato
- Nessuna delle precedenti**

$x_1 x_0$	00	01	11	10	z
S_0	(S_0)	(S_0)	(S_0)	S_1	0
S_1	S_0	—	S_2	(S_1)	0
S_2	—	S_3	(S_2)	S_1	1
S_3	S_0	(S_3)	S_2	—	0

Sia Ta il tempo di attraversamento della RC1 della rete sequenziale asincrona la cui tabella di flusso è riportata sopra. Affinché il pilotaggio della RSA avvenga in modo corretto, il tempo di permanenza di uno stato di ingresso non può scendere sotto

- Ta
- 2 Ta**
- 3 Ta
- 5 Ta

Una rete a due livelli di logica la cui uscita è presa da una porta XNOR

- Può essere soggetta ad alee statiche del primo ordine soltanto sul livello 0
- Può essere soggetta ad AS 1° ordine soltanto sul livello 1
- Può essere soggetta ad AS 1° ordine su entrambi i livelli**
- Nessuna delle precedenti

VECCHIO PROGRAMMA



NUOVO PROGRAMMA (a.a. 2018/19)

- ADD \$0x0001, %BX
J0 dopo
- Il codice Assembler scritto sopra salta all'etichetta dopo se prima della ADD il registro conteneva
- 0xFFFF
 - 0x7FFF
 - 0x8000
 - Nessuna delle precedenti
- SUB \$0x0001, %BX
J0 dopo
- Il codice Assembler scritto sopra salta all'etichetta dopo se prima della SUB il registro conteneva
- 0xFFFF
 - 0x7FFF
 - 0x8000
 - Nessuna delle precedenti

Detto t l'istante in cui si ha il fronte di salita del clock, l'uscita di una rete sequenziale sincronizzata di Mealy ritardato va a regime all'istante:

- t
- $t+T_{\text{propagation}}$
- $t+T_{\text{hold}}$
- Nessuna delle precedenti

Sia $X=0532$ la rappresentazione in complemento alla radice di un numero intero x in base 6. Ciò significa che x è un numero

- positivo, rappresentabile anche su tre cifre
- positivo, ma non rappresentabile su tre cifre
- negativo, rappresentabile anche su tre cifre
- negativo, ma non rappresentabile su tre cifre

Per stabilire se $a < b$, dove a e b sono due numeri interi rappresentati in complemento alla radice su n cifre, è necessario usare un sottrattore:

- a n cifre
- a $n + 1$ cifre
- a $n - 1$ cifre
- Nessuna delle precedenti

La codifica del tipo di condizione di un salto condizionato è contenuta

- Nel registro SOURCE
- Nel registro DEST_ADDR
- Nel registro F
- Nessuna delle precedenti

$$\bar{a}b + b + \bar{b}a + \bar{a} =$$

- 0
- 1
- b
- Nessuna delle precedenti

```
reg [3:0] WAIT;
[...]
S0: begin WAIT<=??: STAR<=S1; end
S1: begin WAIT<=WAIT-1;
      STAR<=(WAIT==0)?S2:S1; end
S2: [...]
```

Dato il pezzo di descrizione riportato sopra, quale valore va sostituito a $???$ in S0 perché la rete resti in S1 per 9 cicli di clock?

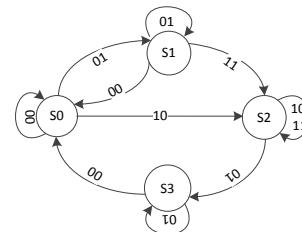
- 8
- 9
- 10
- Nessuna delle precedenti

Durante l'ingresso a interruzione di programma, il semaforo viene messo a *rosso* durante l'esecuzione:

- Della primitiva *start_in*
- Della primitiva *wait_in*
- Del driver *driver_in*
- Nessuna delle precedenti

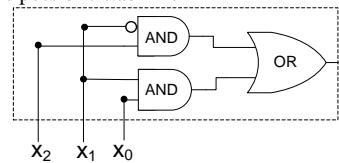
Per far sì che un Latch SR venga inizializzato al reset con uscita q ad 1 si collega:

- /preset a /reset ,/preclear a 1
- /preset a /reset ,/preclear a 0
- s a /reset ,r a 0
- Nessuna delle precedenti



Dato il grafo di flusso di una RSA riportato sopra, è possibile codificare lo stato interno su due bit senza corse delle variabili di stato

- vero
- falso
- non è possibile stabilirlo



Il circuito di figura:

- è affetto da alee statiche del 1° ordine sul livello 1
- è affetto da alee statiche del 1° ordine sul livello 0
- è affetto da A.S. del 1° ordine sui livelli 0 ed 1
- non è affetto da alee statiche del 1° ordine

VECCHIO PROGRAMMA



Barrare una sola risposta per domanda

Il punteggio finale è $-1 \times (n. \text{ di risposte errate} + n. \text{ domande lasciate in bianco})$
Usare lo spazio bianco sul retro del foglio per appunti, se serve

ADD \$0x0001, %BX
J0 dopo

Il codice Assembler scritto sopra salta all'etichetta dopo se prima della ADD il registro conteneva

- 0xFFFF
- 0x7FFF
- 0x8000
- Nessuna delle precedenti

SUB \$0x0001, %BX
J0 dopo

Il codice Assembler scritto sopra salta all'etichetta dopo se prima della SUB il registro conteneva

- 0xFFFF
- 0x7FFF
- 0x8000
- Nessuna delle precedenti

Detto t l'istante in cui si ha il fronte di salita del clock, l'uscita di una rete sequenziale sincronizzata di Mealy ritardato va a regime all'istante:

- t
- $t+T_{\text{propagation}}$
- $t+T_{\text{hold}}$
- Nessuna delle precedenti

Sia $X=0532$ la rappresentazione in complemento alla radice di un numero intero x in base 6. Ciò significa che x è un numero

- positivo, rappresentabile anche su tre cifre
- positivo, ma non rappresentabile su tre cifre
- negativo, rappresentabile anche su tre cifre
- negativo, ma non rappresentabile su tre cifre

Per stabilire se $a < b$, dove a e b sono due numeri interi rappresentati in complemento alla radice su n cifre, è necessario usare un sottrattore:

- a n cifre
- a $n + 1$ cifre
- a $n - 1$ cifre
- Nessuna delle precedenti

La codifica del tipo di condizione di un salto condizionato è contenuta

- Nel registro SOURCE
- Nel registro DEST_ADDR
- Nel registro F
- Nessuna delle precedenti

$$\bar{a}b + b + \bar{b}a + \bar{a} =$$

- 0
- 1
- b
- Nessuna delle precedenti

```
reg [3:0] WAIT;
[...]
S0: begin WAIT<=??: STAR<=S1; end
S1: begin WAIT<=WAIT-1;
      STAR<=(WAIT==0)?S2:S1; end
S2: [...]
```

Dato il pezzo di descrizione riportato sopra, quale valore va sostituito a ??? in S0 perché la rete resti in S1 per 9 cicli di clock?

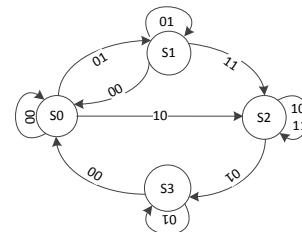
- 8
- 9
- 10
- Nessuna delle precedenti

Durante l'ingresso a interruzione di programma, il semaforo viene messo a rosso durante l'esecuzione:

- Della primitiva start_in
- Della primitiva wait_in
- Del driver driver_in
- Nessuna delle precedenti

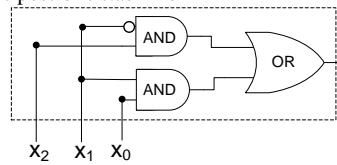
Per far sì che un Latch SR venga inizializzato al reset con uscita q ad 1 si collega:

- /preset a /reset , /preclear a 1
- /preset a /reset , /preclear a 0
- s a /reset, r a 0
- Nessuna delle precedenti



Dato il grafo di flusso di una RSA riportato sopra, è possibile codificare lo stato interno su due bit senza corse delle variabili di stato

- vero
- falso
- non è possibile stabilirlo



Il circuito di figura:

- è affetto da alee statiche del 1° ordine sul livello 1
- è affetto da alee statiche del 1° ordine sul livello 0
- è affetto da A.S. del 1° ordine sui livelli 0 ed 1
- non è affetto da alee statiche del 1° ordine



Barrare una sola risposta per domanda
Il punteggio finale è $-1 \times (\text{n. di risposte errate} + \text{n. domande lasciate in bianco})$
Usare lo spazio bianco sul retro del foglio per appunti, se serve

NUOVO PROGRAMMA (a.a. 2018/19 e segg.)

AX contiene un naturale compreso tra 4000 e 10000, e BL contiene un naturale tra 20 e 200. Per poter svolgere la divisione in ogni caso devo scrivere

- DIV %BL
- DIV %AX, %BL
- MOV \$0, %DX
- MOV \$0, %BH
- DIV %BX
- Nessuna delle precedenti

ADD %AL, %BL

Quale delle seguenti configurazioni degli operandi scrive 1 dentro OF, e 0 dentro CF?

- AL=0100_0000, BL=0100_0000
- AL=1000_0000, BL=1000_0000
- AL=1111_1111, BL=0000_0001
- Nessuna delle precedenti

Sia data una stringa di n bit, in cui il primo bit rappresenta il segno e gli altri $n-1$ bit il modulo di un intero x . La rappresentazione di x in complemento a due su n bit:

- È possibile solo se x è positivo
- È possibile solo se x è negativo
- È sempre possibile
- Nessuna delle precedenti

$$|2X|_m = 2|X|_m$$

- Vero
- Falso
- Nessuna delle precedenti

$$\bar{a}b + a + \bar{a}\bar{b} =$$

- 0
- 1
- a
- Nessuna delle precedenti

In un D-Flip-Flop, se l'ingresso d varia all'interno dell'intervallo $[t - T_{\text{setup}}; t + T_{\text{hold}}]$ rispetto al fronte di salita del clock (che si suppone sia all'istante t), l'uscita q

- Vale 0 o 1, in modo non predicibile
- Oscilla
- È in alta impedenza
- Nessuna delle precedenti

Un ricevitore seriale si rende conto che una nuova trama è iniziata quando

- Il trasmettitore mette /dav a 0
- Il trasmettitore mette eoc a 1
- Il trasmettitore invia una sequenza di escape
- Nessuna delle precedenti

```
reg [1:0] A,B;
[...]
S0: begin A<=1; B<=2; STAR<=S1; end
S1: begin A<=B; B<=A; STAR<=S2; end
S2: begin B<=A; A<=B; STAR<=S3; end
S3: [...]
```

Dato il pezzo di descrizione riportato sopra, cosa contengono i registri A e B nello stato S3?

- A=1, B=2
- A=2, B=2
- Entrambi contengono valori casuali, che dipendono da quale registro vince la corsa
- Nessuna delle precedenti

In una rete sequenziale sincronizzata siano $X[j]$ e $S[j]$ lo stato di ingresso ed interno presenti dopo il j -simo clock.

La legge $A()$ che aggiorna lo stato interno è:

- $S[j+1] = A(X[j], S[j])$
- $S[j+1] = A(X[j+1], S[j])$
- $S[j+1] = A(X[j], S[j+1])$
- Nessuna delle precedenti, in quanto la risposta dipende dal tipo di rete (Moore, Mealy, Mealy ritardato)

Un'interfaccia gestibile ad interruzione di programma riporta a zero il flag IE quando:

- Il processore mette inta ad 1
- Il controllore di interruzione mette a 0 il bit relativo a quell'interfaccia in un proprio registro interno
- Il processore scrive qualcosa nel type register TR_i , relativo a quell'interfaccia, che si trova nel controllore di interruzione
- Nessuna delle precedenti

Nel D-Flip-Flop 7474, il ritardatore è:

- Una rete combinatoria
- Un Latch SR
- Una rete sequenziale sincronizzata
- Nessuna delle precedenti

Un circuito formatore di impulsi P+ è:

- Una rete combinatoria
- Una rete sequenziale sincronizzata
- Una rete sequenziale asincrona
- Nessuna delle precedenti

VECCHIO PROGRAMMA



Barrare una sola risposta per domanda

Il punteggio finale è $-1 \times (n. \text{ di risposte errate} + n. \text{ domande lasciate in bianco})$

Usare lo spazio bianco sul retro del foglio per appunti, se serve

NUOVO PROGRAMMA (a.a. 2018/19 e segg.)

AX contiene un naturale compreso tra 4000 e 10000, e BL contiene un naturale tra 20 e 200. Per poter svolgere la divisione in ogni caso devo scrivere

- DIV %BL
- DIV %AX, %BL
- MOV \$0, %DX
- MOV \$0, %BH
- DIV %BX
- Nessuna delle precedenti

ADD %AL, %BL

Quale delle seguenti configurazioni degli operandi scrive 1 dentro OF, e 0 dentro CF?

- AL=0100_0000, BL=0100_0000
- AL=1000_0000, BL=1000_0000
- AL=1111_1111, BL=0000_0001
- Nessuna delle precedenti

Sia data una stringa di n bit, in cui il primo bit rappresenta il segno e gli altri $n-1$ bit il modulo di un intero x . La rappresentazione di x in complemento a due su n bit:

- È possibile solo se x è positivo
- È possibile solo se x è negativo
- È sempre possibile
- Nessuna delle precedenti

$$|2X|_m = 2|X|_m$$

- Vero
- Falso
- Nessuna delle precedenti

$$\bar{a}b + a + \bar{a}\bar{b} =$$

- 0
- 1
- a
- Nessuna delle precedenti

In un D-Flip-Flop, se l'ingresso d varia all'interno dell'intervallo $[t - T_{\text{setup}}; t + T_{\text{hold}}]$ rispetto al fronte di salita del clock (che si suppone sia all'istante t), l'uscita q

- Vale 0 o 1, in modo non predicibile
- Oscilla
- È in alta impedenza
- Nessuna delle precedenti

Un ricevitore seriale si rende conto che una nuova trama è iniziata quando

- Il trasmettitore mette /dav a 0
- Il trasmettitore mette eoc a 1
- Il trasmettitore invia una sequenza di escape
- Nessuna delle precedenti

```
reg [1:0] A,B;
[...]
S0: begin A<=1; B<=2; STAR<=S1; end
S1: begin A<=B; B<=A; STAR<=S2; end
S2: begin B<=A; A<=B; STAR<=S3; end
S3: [...]
```

Dato il pezzo di descrizione riportato sopra, cosa contengono i registri A e B nello stato S3?

- A=1, B=2
- A=2, B=2
- Entrambi contengono valori casuali, che dipendono da quale registro vince la corsa
- Nessuna delle precedenti

In una rete sequenziale sincronizzata siano $X[j]$ e $S[j]$ lo stato di ingresso ed interno presenti dopo il j -simo clock.

La legge $A()$ che aggiorna lo stato interno è:

- $S[j+1] = A(X[j], S[j])$
- $S[j+1] = A(X[j+1], S[j])$
- $S[j+1] = A(X[j], S[j+1])$
- Nessuna delle precedenti, in quanto la risposta dipende dal tipo di rete (Moore, Mealy, Mealy ritardato)

Un'interfaccia gestibile ad interruzione di programma riporta a zero il flag IE quando:

- Il processore mette inta ad 1
- Il controllore di interruzione mette a 0 il bit relativo a quell'interfaccia in un proprio registro interno
- Il processore scrive qualcosa nel type register TR_i , relativo a quell'interfaccia, che si trova nel controllore di interruzione
- Nessuna delle precedenti

Nel D-Flip-Flop 7474, il ritardatore è:

- Una rete combinatoria
- Un Latch SR
- Una rete sequenziale sincronizzata
- Nessuna delle precedenti

Un circuito formatore di impulsi P+ è:

- Una rete combinatoria
- Una rete sequenziale sincronizzata
- Una rete sequenziale asincrona
- Nessuna delle precedenti

VECCHIO PROGRAMMA

Domande di Reti Logiche – compito del 28/01/2020



Barrare una sola risposta per domanda
Il punteggio finale è $-1 \times (\text{n. di risposte errate} + \text{n. domande lasciate in bianco})$
Usare lo spazio bianco sul retro del foglio per appunti, se serve

NUOVO PROGRAMMA (a.a. 2018/19 e segg.)

Supponiamo di dover calcolare l'opposto del numero contenuto in AX, e di non poter usare l'istruzione NEG. La sequenza di istruzioni che calcola il risultato corretto (se è calcolabile) è:

- NOT %AX
- NOT %AX
- INC %AX
- XOR \$0xFFFF, %AX
- Nessuna delle precedenti

Per saltare a ok se AL contiene un numero maggiore di 15 si può scrivere:

- AND \$0xFF00, %AL
JNZ ok
- OR \$0xFF00, %AL
JNZ ok
- AND \$0x00FF, %AL
JNZ ok
- Nessuna delle precedenti

Un modulo di RAM di 256 Mbyte va montato nella parte più bassa di uno spazio di indirizzamento di 4 Gbyte. La maschera che genera il segnale /s del modulo di RAM:

- è un cortocircuito
- ha come ingressi i 4 bit più significativi del bus indirizzi
- ha come ingressi 28 bit
- Nessuna delle precedenti

Nell'accesso in lettura allo spazio di I/O, /ior va a zero:

- Contemporaneamente alla stabilizzazione dei fili di indirizzo
- Dopo che i fili di indirizzo si sono stabilizzati
- Prima che i fili di indirizzo si siano stabilizzati
- Nessuna delle precedenti

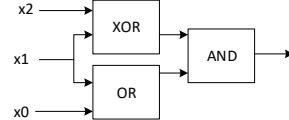
Siano $X = (72)_{b16}$, $Y = (93)_{b16}$, rappresentazioni degli interi x e y . È vero che $x < y$

- se la rappresentazione è in traslazione
- se la rappresentazione è in complemento alla radice
- se la rappresentazione è in traslazione o in complemento alla radice
- Nessuna delle precedenti

x_3	x_2	00	01	11	10
00	-	0	0	1	
01	1	1	-	1	
11	0	-	0	0	
10	-	1	0	1	

La mappa di Karnaugh scritta sopra ha

- 6 implicanti principali
- 2 implicanti principali essenziali
- 1 implicante principale semplicemente eliminabile
- Nessuna delle precedenti



La rete in figura riconosce

- 3 stati di ingresso
- 4 stati di ingresso
- 5 stati di ingresso
- Nessuna delle precedenti

Un latch SR riceve la seguente sequenza di ingressi, nel rispetto dei vincoli di temporizzazione: sr=00, 11, 01, 11, 00. Quanto vale l'uscita q alla fine?

- Un valore casuale, che dipende come il latch è stato inizializzato al reset
- Un valore casuale, che *non* dipende come il latch è stato inizializzato al reset
- Oscilla continuamente
- Nessuna delle precedenti

Il processore ricava il tipo di un'interruzione esterna

- Leggendolo in un registro dell'interfaccia che ha richiesto l'interruzione
- Dal numero d'ordine del piedino su cui gli arriva la richiesta di interruzione
- Effettuando un handshake con il Controllore di Interruzione
- Nessuna delle precedenti

Per disabilitare una interfaccia ad inviare richieste di interruzione si deve:

- Inviarle un segnale elettrico tramite una opportuna variabile di collegamento con il Controllore
- Azzerare un apposito bit di un apposito registro dell'Interfaccia tramite una istruzione MOV
- Azzerare un apposito bit di un apposito registro dell'Interfaccia tramite una istruzione OUT
- Usare l'istruzione CLI
- Nessuna delle precedenti

La rete combinatoria raffigurata in alto nella colonna destra può essere affetta da alee sul livello 1?

- Sì
- No
- Non si può dire

La presenza di alee essenziali in una rete sequenziale asincrona è individuabile:

- Data la sintesi della rete combinatoria RC1
- Data la tabella di flusso
- Data la codifica degli stati interni
- Nessuna delle precedenti

VECCIO PROGRAMMA



Barrare una sola risposta per domanda
Il punteggio finale è $-1 \times (\text{n. di risposte errate} + \text{n. domande lasciate in bianco})$
Usare lo spazio bianco sul retro del foglio per appunti, se serve

NUOVO PROGRAMMA (a.a.2018/19 e segg.)

Supponiamo di dover calcolare l'opposto del numero contenuto in AX, e di non poter usare l'istruzione NEG. La sequenza di istruzione che calcola il risultato corretto (se è calcolabile) è:

- NOT %AX
- NOT %AX
- INC %AX
- XOR \$0xFFFF, %AX
- Nessuna delle precedenti

Per saltare a ok se AL contiene un numero maggiore di 15 si può scrivere:

- AND \$0xFF00, %AL
JNZ ok
- OR \$0xFF00, %AL
JNZ ok
- AND \$0x00FF, %AL
JNZ ok
- Nessuna delle precedenti

Un modulo di RAM di 256 Mbyte va montato nella parte più bassa di uno spazio di indirizzamento di 4 Gbyte. La maschera che genera il segnale /s del modulo di RAM:

- è un cortocircuito
- ha come ingressi i 4 bit più significativi del bus indirizzi
- ha come ingressi 28 bit
- Nessuna delle precedenti

Nell'accesso in lettura allo spazio di I/O, /ior va a zero:

- Contemporaneamente alla stabilizzazione dei fili di indirizzo
- Dopo che i fili di indirizzo si sono stabiliti
- Prima che i fili di indirizzo si siano stabiliti
- Nessuna delle precedenti

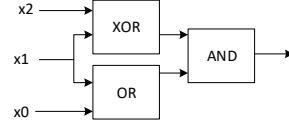
Siano $X = (72)_{b16}$, $Y = (93)_{b16}$, rappresentazioni degli interi x e y . È vero che $x < y$

- se la rappresentazione è in traslazione
- se la rappresentazione è in complemento alla radice
- se la rappresentazione è in traslazione o in complemento alla radice
- Nessuna delle precedenti

x_3	x_2	00	01	11	10
00	-	0	0	1	
01	1	1	-	1	
11	0	-	0	0	
10	-	1	0	1	

La mappa di Karnaugh scritta sopra ha

- 6 implicanti principali
- 2 implicanti principali essenziali
- 1 implicante principale semplicemente eliminabile
- Nessuna delle precedenti



La rete in figura riconosce

- 3 stati di ingresso
- 4 stati di ingresso
- 5 stati di ingresso
- Nessuna delle precedenti

Un latch SR riceve la seguente sequenza di ingressi, nel rispetto dei vincoli di temporizzazione: sr=00, 11, 01, 11, 00. Quanto vale l'uscita q alla fine?

- Un valore casuale, che dipende come il latch è stato inizializzato al reset
- Un valore casuale, che non dipende come il latch è stato inizializzato al reset
- Oscilla continuamente
- Nessuna delle precedenti

Il processore ricava il tipo di un'interruzione esterna

- Leggendolo in un registro dell'interfaccia che ha richiesto l'interruzione
- Dal numero d'ordine del piedino su cui gli arriva la richiesta di interruzione
- Effettuando un handshake con il Controllore di Interruzione
- Nessuna delle precedenti

Per disabilitare una interfaccia ad inviare richieste di interruzione si deve:

- Inviarle un segnale elettrico tramite una opportuna variabile di collegamento con il Controllore
- Azzerare un apposito bit di un apposito registro dell'Interfaccia tramite una istruzione MOV
- Azzerare un apposito bit di un apposito registro dell'Interfaccia tramite una istruzione OUT
- Usare l'istruzione CLI
- Nessuna delle precedenti

La rete combinatoria raffigurata in alto nella colonna destra può essere affetta da alee sul livello 1?

- Sì
- No
- Non si può dire

La presenza di alee essenziali in una rete sequenziale asincrona è individuabile:

- Data la sintesi della rete combinatoria RC1
- Data la tabella di flusso
- Data la codifica degli stati interni
- Nessuna delle precedenti

VECCIO PROGRAMMA



Barrare **una sola risposta** per ogni domanda
Il punteggio finale è $-1 \times (\text{n. di risposte errate} + \text{n. domande lasciate in bianco})$
Usare lo spazio bianco sul retro del foglio per appunti, se serve

NUOVO PROGRAMMA (prova pratica)

SUB \$1, %AL
JO via
JC vai

qui:

Il codice scritto sopra prosegue all'etichetta qui se AL:

- è diverso da 0000 0000
- Ha almeno uno dei 7 bit meno significativi pari a 1
- contiene la rappresentazione di un numero negativo
- Nessuna delle precedenti

NOT %BX
NOT %AX
AND %BX, %AX
NOT %AX

Il codice sopra scritto calcola:

- L'AND di BX e AX
- L'OR di BX e AX
- Il NOR di BX e AX
- Nessuna delle precedenti

Sia dato un sommatore a una cifra in base 10 con codifica BCD. Le variabili logiche di ingresso sono: $X = 0110$, $Y = 0110$, $c_{in} = 1$. Le uscite sono:

- $Z = 1001$, $c_{out} = 0$, $ow = 1$
- $Z = 0011$, $c_{out} = 1$, $ow = 0$
- $Z = 0011$, $c_{out} = 1$, $ow = 1$
- Nessuna delle precedenti

$$-|X|_m \leq -|X|_m$$

- Vero
- Falso
- Non si può dire

Per montare un'interfaccia nello spazio di I/O del calcolatore visto a lezione è necessario connettere il suo piedino /s:

- Al filo /s proveniente dal bus
- All'uscita di una rete combinatoria che ha in ingresso alcuni tra i fili di indirizzo $a_{23} \dots a_{16}$ del bus
- All'uscita di una rete combinatoria che ha in ingresso alcuni tra i fili di indirizzo $a_{15} \dots a_0$ del bus
- Nessuna delle precedenti

$$T \geq T_{prop} + T_{avalle}$$

La formula scritta sopra è una delle disuguaglianze di temporizzazione delle reti sequenziali sincronizzate:

- Di Moore
- Di Mealy
- Di Mealy ritardato
- Nessuna delle precedenti

Una sintesi SP a costo minimo di una legge combinatoria può includere soltanto mintermini:

- Vero
- Falso
- Non si può dire

```
reg [3:0] A,B;  
[...]  
S0: [...] A<=B+1; B<=A+1; STAR<=S1;  
S1: [...]
```

Assumendo che le somme non generino riporto, quale dei due registri contiene il valore maggiore in S1?

- A
- B
- Dipende dal loro valore iniziale al reset
- Nessuna delle precedenti

Nella sintesi di una rete R secondo il modello con scomposizione PO/PC le variabili di comando:

- Possono dipendere dagli ingressi di R
- Devono necessariamente dipendere dagli ingressi di R
- Non possono dipendere dagli ingressi di R
- Nessuna delle precedenti

La tabella delle interruzioni (IDT) viene riempita:

- Dal controllore di interruzione
- Dal programma bootstrap del sistema operativo
- Dal programmatore
- Nessuna delle precedenti

x_1x_0	00	01	11	10	z
S0	(S0)	S1	(S0)	(S0)	0
S1	S0	(S1)	S2	--	0
S2	--	S1	(S2)	S0	1

Nella rete sequenziale asincrona descritta dalla tabella di figura la codifica $S0=00$, $S1=10$, $S2=01$, introduce corse delle variabili di stato.

- Vero
- Falso

Una rete a due livelli di logica la cui uscita è presa da una porta XNOR può essere soggetta ad alee statiche del primo ordine

- soltanto sul livello 0
- soltanto sul livello 1
- su entrambi i livelli
- Nessuna delle precedenti

VECCHIO PROGRAMMA



Barrare **una sola risposta** per ogni domanda
Il punteggio finale è $-1 \times (\text{n. di risposte errate} + \text{n. domande lasciate in bianco})$
Usare lo spazio bianco sul retro del foglio per appunti, se serve

NUOVO PROGRAMMA (prova pratica)

SUB \$1, %AL
JO via
JC vai

qui:

Il codice scritto sopra prosegue all'etichetta qui se AL:

- è diverso da 0000 0000
- Ha almeno uno dei 7 bit meno significativi pari a 1**
- contiene la rappresentazione di un numero negativo
- Nessuna delle precedenti

NOT %BX
NOT %AX
AND %BX, %AX
NOT %AX

Il codice sopra scritto calcola:

- L'AND di BX e AX
- L'OR di BX e AX**
- Il NOR di BX e AX
- Nessuna delle precedenti

Sia dato un sommatore a una cifra in base 10 con codifica BCD. Le variabili logiche di ingresso sono: $X = 0110$, $Y = 0110$, $c_{in} = 1$. Le uscite sono:

- $Z = 1001$, $c_{out} = 0$, $ow = 1$
- $Z = 0011$, $c_{out} = 1$, $ow = 0$
- Z = 0011, c_{out} = 1, ow = 1**
- Nessuna delle precedenti

$$-|X|_m \leq -|X|_m$$

- Vero**
- Falso
- Non si può dire

Per montare un'interfaccia nello spazio di I/O del calcolatore visto a lezione è necessario connettere il suo piedino /s:

- Al filo /s proveniente dal bus
- All'uscita di una rete combinatoria che ha in ingresso alcuni tra i fili di indirizzo $a_{23} \dots a_{16}$ del bus
- All'uscita di una rete combinatoria che ha in ingresso alcuni tra i fili di indirizzo $a_{15} \dots a_0$ del bus**
- Nessuna delle precedenti

$$T \geq T_{prop} + T_{avalle}$$

La formula scritta sopra è una delle diseguaglianze di temporizzazione delle reti sequenziali sincronizzate:

- Di Moore
- Di Mealy
- Di Mealy ritardato**
- Nessuna delle precedenti

Una sintesi SP a costo minimo di una legge combinatoria può includere soltanto mintermini:

- Vero**
- Falso
- Non si può dire

reg [3:0] A,B;
[...]
S0: [...] A<=B+1; B<=A+1; STAR<=S1;
S1: [...]

Assumendo che le somme non generino riporto, quale dei due registri contiene il valore maggiore in S1?

- A
- B
- Dipende dal loro valore iniziale al reset**
- Nessuna delle precedenti

Nella sintesi di una rete R secondo il modello con scomposizione PO/PC le variabili di comando:

- Possono dipendere dagli ingressi di R
- Devono necessariamente dipendere dagli ingressi di R
- Non possono dipendere dagli ingressi di R**
- Nessuna delle precedenti

La tabella delle interruzioni (IDT) viene riempita:

- Dal controllore di interruzione
- Dal programma bootstrap del sistema operativo**
- Dal programmatore
- Nessuna delle precedenti

x_1x_0	00	01	11	10	z
S0	(S0)	S1	(S0)	(S0)	0
S1	S0	(S1)	S2	--	0
S2	--	S1	(S2)	S0	1

Nella rete sequenziale asincrona descritta dalla tabella di figura la codifica S0=00, S1=10, S2=01, introduce corse delle variabili di stato.

- Vero**
- Falso

Una rete a due livelli di logica la cui uscita è presa da una porta XNOR può essere soggetta ad alee statiche del primo ordine

- soltanto sul livello 0
- soltanto sul livello 1
- su entrambi i livelli**
- Nessuna delle precedenti

VECCHIO PROGRAMMA