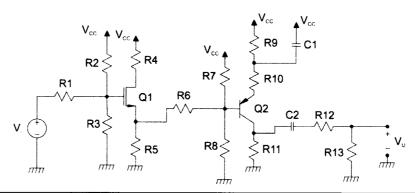
ELETTRONICA DIGITALE

Corso di Laurea in Ingegneria Informatica

Prova scritta del 28 gennaio 2025

Esercizio A



$R1 = 24 \text{ k}\Omega$	$R2 = 10 \text{ k}\Omega$	$R4 = 3 k\Omega$	$R5 = 3 k\Omega$	$R6 = 500 \Omega$	$R7 = 4250 \Omega$	$R8 = 9.5 \text{ k}\Omega$
$R9 = 3.8 \text{ k}\Omega$	$R10 = 100 \Omega$	$R11 = 2.6 \text{ k}\Omega$	$R12 = 100 \Omega$	$R13 = 9.9 \text{ k}\Omega$	Vcc = 18 V	***

Q1 è un transistore MOS a canale n resistivo con V_T = 1 V e la corrente di drain in saturazione data da I_D = $k(V_{GS}$ - $V_T)^2$ con k = 0.5 mA/V²; Q2 è un transistore BJT BC179A resistivo con h_{re} = h_{oe} = 0; per gli altri parametri forniti dal costruttore si utilizzino i valori tipici o, in loro assenza, i valori massimi. Con riferimento al circuito in figura:

- 1) Calcolare il valore della resistenza R3 in modo che, in condizioni di riposo, la tensione sull'emettitore di Q2 sia 10.2 V; si ipotizzi di poter trascurare la corrente di base di Q2 rispetto alla corrente che scorre in R7. Determinare, inoltre, il punto di riposo dei due transistori e verificare la saturazione di Q1 (per la corrente di base di Q2 è sufficiente fornirne una stima).
- 2) Determinare l'espressione e il valore di V_U/V_i alle frequenze per le quali i condensatori riportati nel circuito in figura possono essere considerati dei corto circuiti.

Esercizio B

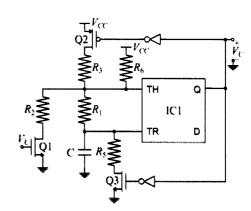
Progettare una porta logica in tecnologia CMOS, utilizzando la tecnica della pull-up network e della pull-down network, che implementi la funzione logica:

$$Y = \overline{A}(\overline{B} + \overline{C} + E) + CDA$$

Determinare il numero dei transistori necessari e disegnarne lo schema completo. Dimensionare inoltre il rapporto (W/L) di tutti i transistori assumendo che l'inverter di base abbia W/L pari a 2 per il MOS a canale n e pari a 5 per quello a canale p. Si specifichino i dettagli della procedura di dimensionamento di tutti i transistori, inclusi quelli di eventuali inverter.

Esercizio C

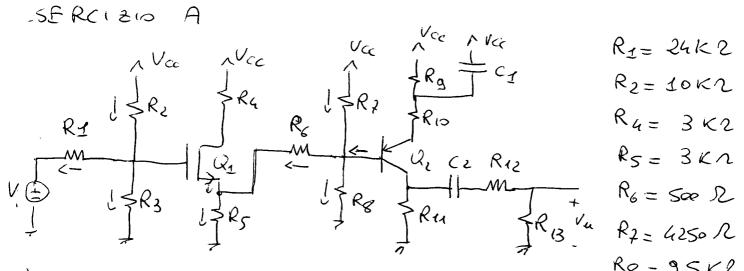
$R_1 = 1.8 \text{ k}\Omega$	$R_6 = 13.2 \text{ k}\Omega$
$R_2 = 6 \text{ k}\Omega$	C = 470 nF
$R_3 = 1.32 \text{ k}\Omega$	$V_{CC} = 6 \text{ V}$
$R_5 = 5 \text{ k}\Omega$	



Il circuito IC1 è un NE555 alimentato a $V_{CC} = 6$ V; Q1 e Q3 hanno $R_{on} = 0$ e $V_{Tn} = 1$ V; Q2 ha $R_{on} = 0$ e $V_{Tp} = -1$ V. Gli inverter sono ideali e alimentati a V_{CC} . (i) Verificare che il circuito si comporta come un multivibratore astabile; (ii) determinare la frequenza del segnale di uscita, V_{U} , a regime.

APPELLO 28/01/2025

SERCIZIO A



1) DET R3 PER VE = 10.2V

hp: Uz in 2 ONA ATTIVA DIRETTA => ICOLE

PER VCE - SV E III = 2 mA IL COSTRUTTORE NON

FORMISCE IL VALORE DI HFE MA SOLO hie= 2.7 KR

E hpe = 260 - 1

MANA VERIFICA Z.A.D. : VCE = - SV < VCESAT 3 _ 0.24V VERIFICA OK PER IB PUSSIA TO DARNE UNA STITTA USANDO IL GRAFICO A PAG. 18 DELLE CARATTERISTICHE DEL BC 179 _ PER VCB = - SV E | I | = 2 ma SI VEDE CHE

BUS SUBSECTIONS 8 MA < IB < 10 MA

V3 = Mellogue VE - VEB = 10, 2 - 0.7 = 3.5V

$$T_{t} = \frac{V_{(c} - V_{B})}{R_{t}} = 2mA$$

$$I_8 = \frac{V_8}{R_8} = ImA$$

I6 = I7 + IB - I8 = I7 - I8 ESSENDO IB << I7, I8 CORE RIPORTATO NEC TESTO E CORB DIROSTRATO DALLA STINA DI IB

R8= 9.5 Kl

Rg = 3.8K2

R10= 100 R

Ru = 2,6K2

R12 = 100 D

R13 = 3.3K2

Vcc = 18V

$$V_{S} = V_{B} - R_{B} T_{G} = 9V$$

$$I_{5} = \frac{V_{S}}{R_{5}} = 3mA$$

$$I_{S} = I_{5} - I_{6} = 2mA$$

$$I_{C} = \emptyset \Rightarrow I_{S} = I_{D} = 2mA$$

$$h_{P} : U_{1} \leq \text{sature} \Rightarrow I_{D} = 2mA$$

$$h_{P} : U_{2} \leq \text{sature} \Rightarrow I_{D} = 2mA$$

$$h_{P} : U_{2} \leq \text{sature} \Rightarrow I_{D} = 2mA$$

$$h_{P} : U_{3} \leq \text{sature} \Rightarrow I_{2} \leq \text{sature} \Rightarrow$$

2) DETERRINARE
$$\frac{Vu}{V}$$
 PER C; CORTOCIRCU MATI

V. $= \frac{R_1}{R_1} \frac{R_2}{R_2} \frac{R_3}{R_2} \frac{R_4}{R_1} \frac{R_4}{R_2} \frac{R_4}{R_3} \frac{R_4}{R_4} \frac{R_4}{R_5} \frac{R_5}{R_5} \frac{R_6}{R_5} \frac{R_{11}R_8}{R_{12}R_5} \frac{R_{12}}{R_{12}R_5} \frac{R_{12}}{R_{12}R_5} \frac{R_{12}}{R_5} \frac{R_{12}}{R_5} \frac{R_{12}}{R_5} \frac{R_{12}}{R_5} \frac{R_{12}}{R_5} \frac{R_{12}}{R_5} \frac{R_{12}}{R_5} \frac{R_{12}}{R_5} \frac{R_{12}}{R_5} \frac{R_5}{R_5} \frac{R_5}{R_5}$

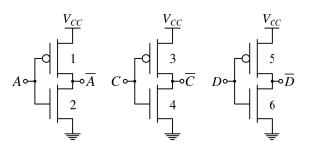
$$\frac{1}{1 + 9m \left[R_5 11 \left(R_6 + R_7 11 R_8 11 R_7 \right) \right]} \frac{0.27}{R_2 11 R_3} = -3.256$$

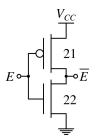
Esercizio B – svolgimento

$$Y = \overline{A} \cdot (\overline{B} + \overline{C} + E) + C \cdot D \cdot A$$

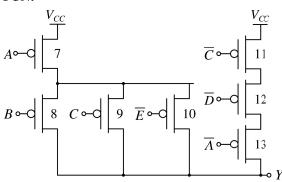
Numero di MOS: $(7 + 4) \times 2 = 22$

Schema completo:

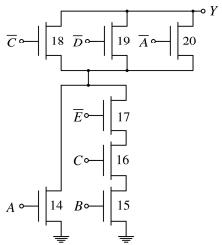




PUN:







Dimensionamento degli inverter:

Dai dati
$$(W/L)_p = p = 5$$
, $(W/L)_n = n = 2$.

$$(W/L)_{1,3,5,21} = p = 5; (W/L)_{2,4,6,22} = n = 2$$

Dimensionamento della PUN:

Percorsi con 3 MOS in serie: 11-12-13:
$$(W/L)_{11,12,13} = x$$
; $3 \times \frac{1}{x} = \frac{1}{p} \implies x = 3p = 15$

Percorsi con 2 MOS in serie: 7-8, 7-9, 7-10.
$$(W/L)_{7,8,9,10} = y$$
; $2 \times \frac{1}{y} = \frac{1}{p} \implies y = 2p = 10$

Dimensionamento della PDN:

Percorsi con 4 MOS in serie:

- 15-16-17-18, impossibile dovuto a $C \in \overline{C}$.
- 15-16-17-19, possibile.
- 15-16-17-20, possibile.

$$(W/L)_{15,16,17,19,20} = z;$$
 $4 \times \frac{1}{z} = \frac{1}{n} \implies z = 4n = 8.$

Percorsi con 2 MOS in serie:

- 14-18, possibile.
- 14-19, possibile. 19 già dimensionato
- 14-20, impossibile dovuto a $A \in \overline{A}$.

Rimane da dimensionare 14 e 18. Esistono quindi due casi:

- Caso A: si dimensiona prima 14 per soddisfare i requisito sul persorso 14-19. In seguito si dimensiona 18.
- Caso B: si dimensiona 14-18 e si verifica il percorso 14-19.

Caso A:

$$(W/L)_{14} = w;$$
 $\frac{1}{w} + \frac{1}{z} = \frac{1}{n} \implies w = \frac{zn}{z - n} = \frac{4n}{3} = \frac{8}{3}.$

$$(W/L)_{18} = v;$$
 $\frac{1}{w} + \frac{1}{v} = \frac{1}{n} \implies v = \frac{wn}{w-n} = 4n = 8.$

Caso B:

$$(W/L)_{14,18} = a;$$
 $2 \times \frac{1}{a} = \frac{1}{n} \implies a = 2n = 4.$

Verifica del percorso 14-19: $\frac{1}{a} + \frac{1}{z} = \frac{1}{2n} + \frac{1}{4n} = \frac{3}{4n} < \frac{1}{n}$. (Verifica corretta).

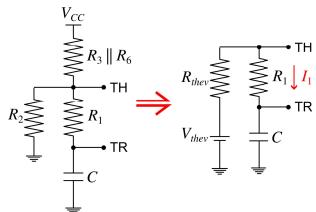
Dimensionamento ad area minima:

	Caso A	Caso B
W/L_{14}	8/3	4
$(W/L)_{18}$	8	4
Totale:	32/3=10.6	8

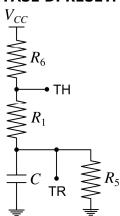
Il Caso B è più vantaggioso.

Esercizio C – svolgimento





FASE DI RESET:



Fase di SET: Q=1;

$$V_{G1} = 6 \text{ V}, V_{S1} = 0 \text{ V}, V_{GS1} = 6 \text{ V} > V_{Tn} = 1 \text{ V}$$
: Q1 acceso.

$$V_{G3} = 0 \text{ V}, V_{S3} = 0 \text{ V}, V_{GS3} = 0 \text{ V} < V_{Tn} = 1 \text{ V}$$
: Q3 spento.

$$V_{G2} = 0 \text{ V}, V_{S2} = 6 \text{ V}, V_{GS2} = -6 \text{ V} < V_{Tp} = 1 \text{ V}$$
: Q2 acceso.

All'inizio della fase di SET consideriamo lo schema riportato in figura:

$$R_{thev} = R_3 ||R_6||R_2 = 1 \text{ k}\Omega.$$
 $V_{thev} = \frac{R_2}{R_2 + (R_3 ||R_6)} V_{CC} = 5 \text{ V}.$

$$V_{i1} = V_{CC}/3 = 2 \text{ V};$$
 $V_{f1} = V_{thev} = 5 \text{ V};$ $V_{com1} = V_{TH} - R_1 I_1,$

dove:
$$V_{TH} = (2/3)V_{CC} = 4 \text{ V}$$
, $I_1 = \frac{V_{thev} - V_{TH}}{R_{thev}} = 1 \text{ mA}$. Da cui: $V_{com1} = 2.2 \text{ V}$.

Si verifica quindi la condizione per la commutazione: $V_{i1} < V_{com1} < V_{f1}$: 2 V < 2.2 V < 5 V.

La resistenza vista da C durante la fase di SET: $R_{v1} = R_{thev} + R_1 = 2.8 \text{ k}\Omega$.

La costante di tempo caratteristica, τ_1 , della carica di C durante la fase di SET, è:

$$\tau_1 = R_{v1}C = 1316 \,\mu s.$$

La durata della fase di SET, T_1 , si calcola come:

$$T_1 = \tau_1 \ln \left(\frac{V_{f1} - V_{i1}}{V_{f1} - V_{com1}} \right) = 90.795 \,\mu\text{s}.$$

Fase di RESET: Q=0;

$$V_{G1} = 0 \text{ V}, V_{S1} = 0 \text{ V}, V_{GS1} = 0 \text{ V} < V_{Tn} = 1 \text{ V}$$
: Q1 spento.

$$V_{G3} = 6 \text{ V}, V_{S3} = 0 \text{ V}, V_{GS3} = 6 \text{ V} > V_{Tn} = 1 \text{ V}$$
: Q3 acceso.

$$V_{G2} = 6 \text{ V}, V_{S2} = 6 \text{ V}, V_{GS2} = 0 \text{ V} > V_{Tp} = 1 \text{ V}$$
: Q2 spento.

Consideriamo quindi il circuito in figura, relativo alla fase di RESET:

$$V_{i2} = V_{com1} = 2.2 \text{ V}; \quad V_{f2} = \frac{R_5}{R_1 + R_5 + R_6} V_{CC} = 1.5 \text{ V}; \quad V_{com2} = V_{i1} = 2 \text{ V}.$$

Si verifica quindi la condizione di commutazione: $V_{i2} > V_{com2} > V_{f2}$: 2.2 V > 2 V > 1.5 V.

La resistenza vista da C durante la fase di RESET: $R_{\nu 2} = R_5 || (R_1 + R_6) = 3.75 \text{ k}\Omega$. La costante di tempo caratteristica, τ_2 , della scarica di C durante la fase di RESET, è:

$$\tau_2 = R_{v2}C = 1762.5 \,\mu\text{s}.$$

La durata della fase di RESET, T_2 , si calcola come:

$$T_2 = \tau_2 \ln \left(\frac{V_{f2} - V_{i2}}{V_{f2} - V_{com2}} \right) = 593.032 \,\mu\text{s}.$$

La frequenza di oscillazione dell'astabile è $f = \frac{1}{T_1 + T_2} = 1462.358 \, \mathrm{Hz}.$