

Esercizio 2: Verilog

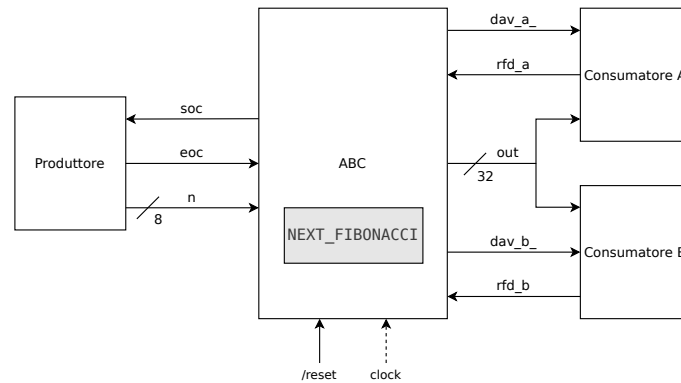


Figura 1: Schema del sistema

La successione di Fibonacci è definita, per $i \in \mathbb{N}$, come

$$\begin{cases} F_0 = 0, \\ F_1 = 1, \\ F_i = F_{i-1} + F_{i-2}, i \geq 2 \end{cases}$$

Il modulo ABC in Figura 1, ciclicamente

- Preleva un byte N dal produttore;
- Lo interpreta come numero naturale n ;
- Calcola F_n ;
- Emette il risultato dell'elaborazione ai consumatori.

Note:

- Non si faccia alcuna ipotesi sui tempi di risposta del produttore o dei consumatori.
- Si assuma che $2 \leq n \leq 40$.
- Il 40esimo numero della successione è 102.334.155, la cui rappresentazione esadecimale è 32'h06197ECB.

Descrivere in Verilog l'unità ABC e sintetizzarla in accordo al modello con parte operativa e parte controllo. Si supponga che la parte controllo sia implementata secondo un modello basato su microindirizzi e si scriva la struttura della ROM come commento alla parte controllo medesima.

Sintetizzare come `modulo` a parte la rete combinatoria NEXT_FIBONACCI utilizzata per il calcolo di F_i a partire da F_{i-1} e F_{i-2} . Se lo si ritiene, si utilizzino le reti combinatorie fornite nel file `reti_standard.v`, fornite assieme a `testbench.v` al link: <https://tinyurl.com/yfbyn4h6>

Il dimensionamento minimo di reti combinatorie e dei registri operativi è oggetto di valutazione, secondo quanto parte del programma d'esame.

La documentazione Verilog in formato PDF è scaricabile al link: <https://tinyurl.com/k5rbam4w>