

# Controle de Prioridade

Versão 2020

## INTRODUÇÃO

Esta experiência tem como principal objetivo desenvolver um circuito digital que aciona relógios com frequências diferentes conforme a prioridade dos eventos do ambiente.

## OBJETIVO

Ao fim desta experiência, os seguintes tópicos devem ser conhecidos pelos alunos:

- Desenvolver interfaces de um circuito digital com o meio externo.

## 1. PARTE EXPERIMENTAL

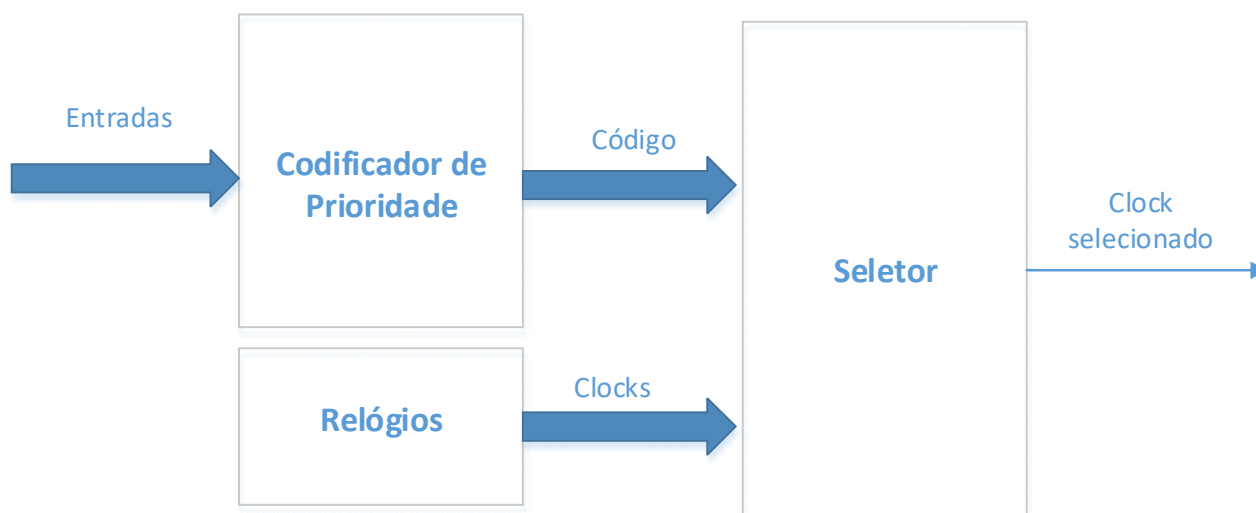
A maioria dos circuitos digitais são acionados por eventos externos. A cada tipo de evento reconhecido, o circuito digital executa uma função específica. Algumas funções são mais prioritárias que outras e assim, o circuito digital deve ser implementado para tratar adequadamente esses eventos.

Uma aplicação desse tipo de circuito é o acionamento de alarmes sonoros diferentes de acordo com a sua prioridade. Sistemas de controle de reatores nucleares, trens, prédios etc. são exemplos onde os alarmes fazem parte da sua implementação.

### 1.1. Projeto do Sistema Digital

Um diagrama de blocos parcial de um circuito de controle de alarmes sonoros por prioridade é ilustrado na Figura 1.

**Figura 1 – Diagrama de blocos de controle de alarmes sonoros por prioridade.**



O **Codificador de Prioridade** reconhece, entre as N **Entradas** binárias, qual é a entrada de maior prioridade para gerar o **Código** binário correspondente, quando existirem mais de uma entrada. Uma entrada corresponde a um evento acionado externamente. Os **Relógios** geram *clocks* com frequências distintas que serão selecionados pelo **Seletor** conforme o **Código** gerado pelo **Codificador de Prioridade**. Uma frequência corresponde a um tipo de alarme sonoro.

- Projete o codificador de prioridade e o seletor com circuitos integrados (CIs). Os relógios devem ser projetados em VHDL com 4 frequências diferentes (20Hz, 200Hz, 2000Hz e 20000Hz). Use o *clock* da FPGA como referência para gerar os *clocks* de saída.
- Elabore um diagrama lógico (use o padrão) com codificador de prioridade e seletor. Inclua os CIs para ligação do FPGA com o Painel de Montagens.

- c) Elabore um Plano de Testes para verificar o funcionamento de cada um dos blocos separados e do circuito completo.
- d) Realize uma simulação de funcionamento dos relógios no Intel Quartus Prime. Anexe as formas de onda no Planejamento.  
**DICA:** Acrescente sinais de depuração, caso algum resultado não seja satisfatório. Corrija e simule novamente.
- e) Faça uma tabela de designação de pinos e prepare a síntese dessa parte do circuito para a placa FPGA DE0-CV com Cyclone V 5CEBA4F23C7N.
- f) Submeta o arquivo QAR dessa parte do circuito do Intel Quartus Prime junto com o Planejamento

## 1.2. Implementação do Sistema Digital

- a) Implemente o codificador de prioridade e o seletor no painel de montagens.
- b) Realize os testes conforme definidos no Plano de Testes.
- c) Programe a placa FPGA DE0-CV com o projeto sintetizado o item anterior.
- d) Execute os testes contidos no Plano de Testes;
- e) Integre as duas partes do projeto e realize o teste final.
- f) Acrescente sinais de depuração, caso algum teste não apresente resultado satisfatório, e repita os testes.

## 1.3. Desafio

O professor irá propor um desafio sobre esta experiência.

## 2. BIBLIOGRAFIA

- Apostilas do Laboratório de Sistemas Digitais.
- Texas Instruments. **TTL Logic Data Book**, 1994.
- WAKERLY, John F. **Digital Design Principles & Practices**. 4<sup>th</sup> edition, Prentice Hall, 2006.

## 3. MATERIAL DISPONÍVEL

- Circuitos integrados:  
7404, 7408, 7432, 7474, 74138, 74151, 74163, 74164, 74174, 74194, 74365, 744050.

## 4. EQUIPAMENTOS NECESSÁRIOS

- 1 painel de montagens experimentais.
- 1 placa FPGA DE0-CV.
- 1 fonte de alimentação fixa, 5V  $\pm$  5%, 4A.
- 1 osciloscópio digital.
- 1 multímetro digital.

### Histórico de Revisões

Profs. Kechi Hirama, Jorge Rady de Almeida, Sérgio Roberto de Mello Canovas – versão 2020