

---

# E2DSD

## Øvelse # - Navn på øvelse

---

Gruppe #  
Navn1 - Studienummer  
Navn2 - Studienummer

21 januar 2018

hfusdfsdgss

### 1 Øvelsestemplate

### 2 Introduktion

Formålet med denne del af øvelsen vil være endnu en gang at konstruere en 4bit-adder i VHDL. I stedet for logiske operatorer og kombinationer af half-adders, vil vi dog denne gang gøre brug af aritmetik funktioner i Quartus II til at bygge vores 4bit-adder. Desuden vil vi foretage test af forskellen af *signed* og *unsigned*, og hvilken effekt de kan have på vores 4bit-adder. hguisfsjid