
E2DSD

Øvelse # - Navn på øvelse

Gruppe #
Christian Bach Johansen - 201709351
Navn2 - Studienummer

21 januar 2018

1 Signed and unsigned arithmetics

1.1 Introduktion

Formålet med denne del af øvelsen vil være endnu en gang at konstruere en 4bit-adder i VHDL. I stedet for logiske operatoren og kombinationer af half-adders, vil vi dog denne gang gøre brug af aritmetik funktioner i Quartus II til at bygge vores 4bit-adder. Desuden vil vi foretage test af forskellen af *signed* og *unsigned*, og hvilken effekt de kan have på vores 4bit-adder.

1.2 Design og implementering

Vi implementerer vores 4bit-adder vha. addition aritmetik operatoren i Quartus II, inkluderet i `numeric_std` biblioteket. Operatoren har den ulempe at den ikke kan foretage udregninger på `std_logic_vector`'s. Som det kan ses på Fig. 1, skal vores input og output udforme sig i denne slags vektorer, altså må vi tage forhold for denne svaghed.