

# Exercício Diretório

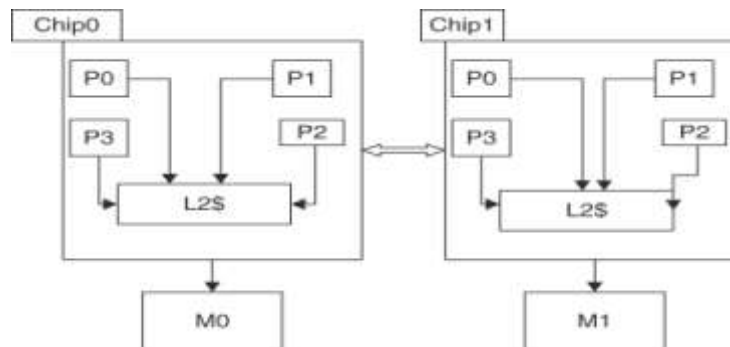
Nome: \_\_\_\_\_

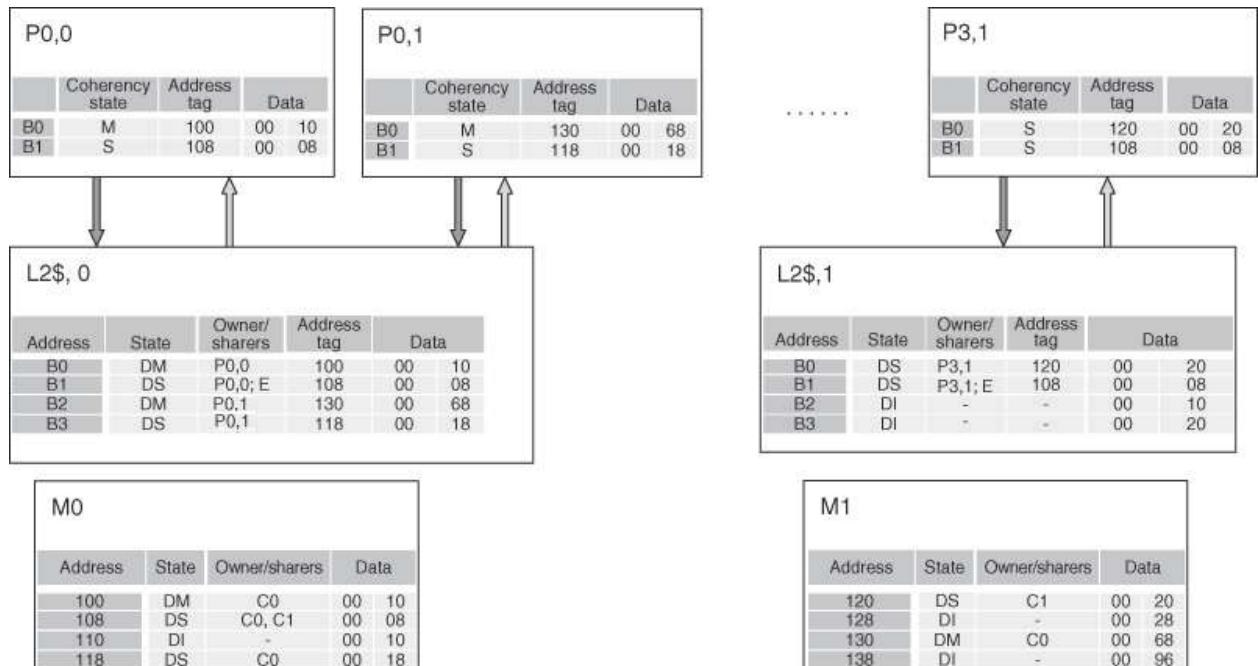
Considere o sistema de memória compartilhada distribuída, ilustrado na figura abaixo. Ele consiste em dois chips de quatro núcleos. O processador em cada chip compartilha uma cache L2 (L2\$), e os dois chips são conectados através de uma interconexão ponto a ponto. A memória do sistema é distribuída através dos dois chips. A figura abaixo mostra, em detalhe, parte deste sistema.  $P_{i,j}$  denota processador  $i$  no chip  $j$ . Cada processador possui uma única cache L1 de mapeamento direto, que mantém dois blocos de duas palavras cada. Cada chip tem uma única cache L2 de mapeamento direto que contém dois blocos, cada qual com duas palavras. Para simplificar a ilustração, a tag de endereço da cache contém o endereço completo e cada palavra mostra apenas dois caracteres hexa, com a palavra menos significativa à direita. Os estados da cache L1 são indicados com M, S e I, de Modificado, *Shared* e Inválido. As caches L2 e as memórias têm diretórios. Os estados do diretório são indicados por DM, DS e DI, de Diretório Modificado, Diretório *Shared* e Diretório Inválido. O protocolo do diretório simples foi apresentado em sala de aula. O diretório L2 lista os *sharers/owners* locais e, além disso, registra se uma linha é compartilhada externamente em outros chips. Por exemplo, P1,0;E denota que uma linha é compartilhada pelo processador local P1,0, e é compartilhada externamente em algum outro chip. O diretório da memória tem uma lista dos chips *sharers/owners* de uma linha. Por exemplo, C0, C1 denota que a linha é compartilhada nos chips 0 e 1.

Para cada parte do exercício considere o estado inicial da cache e da memória indicado na figura abaixo. Cada parte especifica uma sequência de uma ou mais operações de CPU na forma:

P# : <op> <endereço> [<-- <valor>]

Onde P# designa a CPU (p.ex, P0,0), <op> operação da CPU (p. ex, read, write), <endereço> indica o endereço da memória e <valor> indica uma nova palavra a ser atribuída em uma operação de escrita. Mostre o estado final das caches e da memória após a sequência indicada de operações na CPU ter sido concluída. Além de qual valor é retornado pela operação de read.





- P0,0: read 100
- P0,0: read 128
- P0,0: write 128 <-- 78
- P0,0: read 120
- P0,1: read 120
- P0,1: write 120 <-- 80
- P0,0: write 120 <-- 80
- P0,1: read 120

Mapeamento L1:  
B0: tags 100, 120  
B1: tag 128