Trabalho Tomasulo

Neste trabalho, vamos examinar como variações no algoritmo Tomasulo se comportam quando executam o loop abaixo.

foo:	L.D	F2, 0 (R1)	; (F2) = X(i)
	MUL.D	F4, F2, F0	; (F4) = a * X(i)
	L.D	F6, 0 (R2)	(F6) = Y(i)
	ADD.D	F6, F4, F6	; (F6) = a * X(i) + Y(i)
	S.D	F6, 0 (R2)	; $Y(i) = a *X(i) + Y(i)$
	DADDIU	R1, R1, #8	; increment X index
	DADDIU	R2, R2, #8	; increment Y index
	DSLTU	R3, R1, R4	; test: continue loop?
	BNEZ	R3, foo	; loop if needed

As unidades funcionais (FUs) são descritas na tabela a seguir:

Tipo da FU	Ciclos em EX	Número de FU	Número de estações de reserva
Inteiro	1	1	5
Somador PF	9	1	3
Multiplicador PF	14	1	2

Considere o seguinte:

- As unidades funcionais não são *pipelined*, ou seja, pode ocorrer hazard estrutural.
- Há adiamento entre as unidades funcionais; os resultados são comunicados pelo barramento comum de dados (CDB)
- O estágio de execução (EX) realiza o cálculo efetivo de endereço para load e store.
- O pipeline é IF/ID/IS/EX/MEM/WB. Entretanto, a resposta contempla somente os estágios IS/EX/MEM/WB.
- Loads e Store requerem um ciclo de clock de acesso à memória.
- Os resultados dos estágios IS (emissão, despacho IS) e write-back (WB) requerem um ciclo de clock cada um.
- Há cinco slots de buffer para store e cinco slots de buffer para load.
- Considere que a instrução *Branch on Not Equal to Zero* (BNEZ) requer um ciclo de clock.
- a) Para este problema use o pipeline MIPS de Tomasulo de despacho duplo apresentado em sala de aula (primeira versão do Tomasulo), com as latências do pipeline definidas na tabela anterior. Para **três** iterações do loop, mostre o número de ciclos de stall para cada instrução e em que ciclo de clock cada uma delas começa a ser executada (ou seja, entra no seu primeiro ciclo EX). Quantos ciclos cada iteração leva? Dê a sua resposta em forma de tabela com os seguintes títulos de coluna:
 - a. Iteração (número da iteração do loop)

- b. Instrução
- c. Emissão (ciclo em que a instrução é enviada)
- d. Executa (ciclo em que a instrução é executada)
- e. Acesso à memória (ciclo em que a memória é acessada)
- f. Escrita no CDB (ciclo em que o resultado é gravado no CDB).
- g. Comentário (descrição de qualquer evento que a instrução esteja aguardando.

Mostre **três** iterações do loop em sua tabela.

b) Repita o procedimento do item (a), mas desta vez considere um algoritmo Tomasulo de dois despachos com especulação.