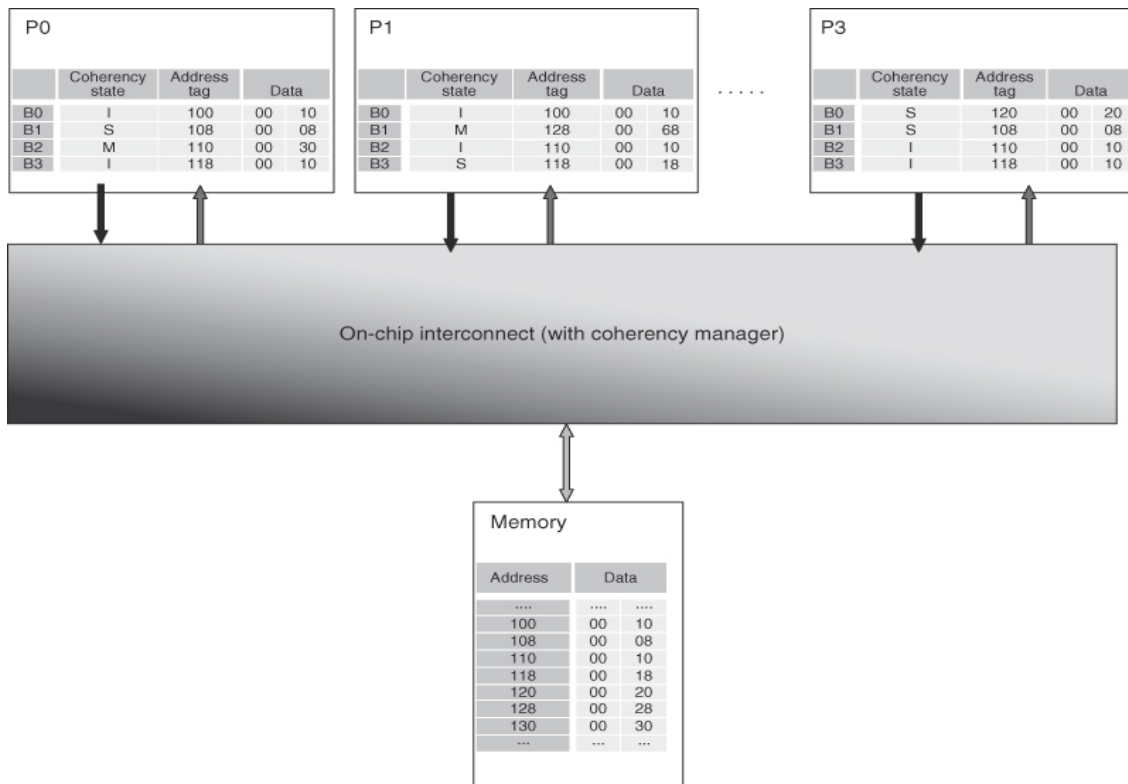


Snooping

O multiprocessador simples ilustrado na figura abaixo representa uma arquitetura de memória simétrica, comumente implementada. Cada processador tem uma única cache com coerência mantida por meio do protocolo de coerência de snooping apresentado em sala de aula. Cada cache tem mapeamento direto, com quatro blocos e com duas palavras cada bloco. Para simplificar a ilustração, a tag de endereço da cache contém o endereço completo, e cada palavra apenas mostra apenas dois caracteres hexa, com a palavra menos significativa à direita. Os estados de coerência são indicados por M, S e I, de Modificado, *Shared* (compartilhado) e Inválido.



Cada parte deste exercício especifica uma sequência de uma ou mais operações da CPU na forma: P# : <op> <endereço> [<valor>]

Onde P# designa a CPU (por exemplo, P0), <op> é a operação da CPU (por exemplo, read ou write) <endereço> indica o endereço da memória e <valor> indica a nova palavra a ser atribuída em uma operação de escrita. **Apresente o estado resultante (ou seja, estado de coerência, tags e dados) das cache e memória após a ação indicada.** Apresenta apenas os blocos que mudam, exemplo, P0.B0: (I, 120, 00 01) indica que após a ação o bloco B0 da CPU 0 tem o estado final I, tag de 120 e palavras de dados 00 e 01. **Apresente também o valor retornado pela operação de leitura.**

- a) P0: read 120
- b) P0: write 120 <- - 80 (escreve 80 na posição 120)
- c) P3: write 120 <--80
- d) P1: read 110
- e) P3: write 110 <-- 30
- f) P3: read 110
- g) P0: write 108 < -- 48
- h) P0: write 130 <--78
- i) P3: write 130 <--78