

# Exercício Multithreading

Nome: Gustavo de Assis Xavier

## Dados:

- Três processadores superescalares
- Despacho duplo
- Três ciclos de latência seguindo todos os desvios
- Caches L1 idênticas
- **Instruções da mesma thread emitida no mesmo ciclo são lidas na ordem do programa e não devem conter qualquer dependência de dados ou de controle.**
- Processador A é um superescalar de arquitetura SMT, capaz de emitir até 2 instruções por ciclo com 2 threads diferentes.
- Processador B é uma superescalar multithreading de granularidade fina (FineGrained MT).
- Processador C é um superescalar de granularidade grossa (Coarse-Grained MT). A troca ocorre após falhas na cache L1. Suponha que elas ocorram após a execução da última instrução (BLT).
- 4 thread

## Loop:

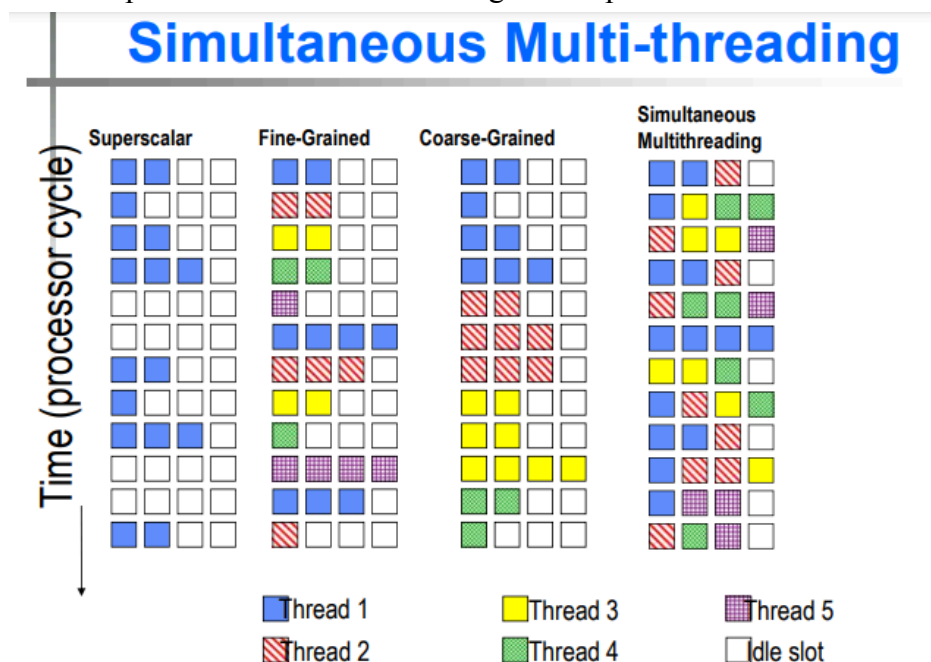
LD R1, 0(R16)

BEQ R9, R1 match0 //Dependência de dados com LD

DADDIU R16, R16, # 8

BLT R16, R17, Loop //Dependência de dados com DADDIU

As diferenças entre os processadores Multithreading é dado por :



Com isso temos:

Processador A: Superescalar de arquitetura SMT, capaz de emitir até 2 instruções por ciclo com 2 threads diferentes.

Ciclo	Instruções
1	T1   LD T2   LD
2	T3   LD T4   LD
3	T1   BEQ T2   BEQ
4	T3   BEQ T4   BEQ
5 - 6	STALL (2 CICLOS)
7	T1   DADDIU T2   DADDIU
8	T3   DADDIU T4   DADDIU
9	T1   BLT T2   BLT
10	T3   BLT T4   BLT

- Processador B: Superescalar multithreading de granularidade fina (FineGrained MT).

Apesar de ser de despacho duplo, não podemos ter:

**LD R1, 0(R16)**

**BEQ R9, R1 match0**

Nem:

**DADDIU R16, R16, # 8**

**BLT R16, R17, Loop**

Sendo emitidas no mesmo ciclo, pois tem dependências de dados. Nem:

**BEQ R9, R1 match0**

**DADDIU R16, R16, # 8**

Pois tem dependência de controle. Com isso, temos que nossa tabela fica:

**Granularidade Fina: Alternar instruções por thread a cada clock**

Ciclo	Instruções
1	T1   LD
2	T2   LD
3	T3   LD
4	T4   LD
5	T1   BEQ
6	T2   BEQ
7	T3   BEQ
8	T4   BEQ
9	T1   DADDIU
10	T2   DADDIU
11	T3   DADDIU

12	T4   DADDIU
13	T1   BLT
14	T2   BLT
15	T3   BLT
16	T4   BLT

- Processador C é um superescalar de granularidade grossa (Coarse-Grained MT). A troca ocorre após falhas na cache L1. Suponha que elas ocorram após a execução da última instrução (BLT).

**Alternar quando alguma thread está em stall por conta de uma falha de cache.**

Ciclo	Instruções
1	T1   LD
2	T1   BEQ
3	T1   DADDIU
4	T1   BLT
5	T2   LD
6	T2   BEQ
7	T2   DADDIU
8	T2   BLT
9	T3   LD
10	T3   BEQ
11	T3   DADDIU
12	T3   BLT
13	T4   LD
14	T4   BEQ
15	T4   DADDIU
16	T4   BLT