



Documento de Arquitetura

Integrated IP LLC

Universidade Estadual de Feira de Santana

Build 1.0a

1 | Introdução

1. Propósito do Documento

Este documento descreve a arquitetura do projeto Integrated IP LLC, incluindo especificações do circuitos internos de cada componente. Ele também apresenta definições de entrada e saída e diagramas de temporização. O principal objetivo deste documento é definir as especificações do projeto Integrated IP LLC, e prover uma visão geral do mesmo.

O projeto solicitado foi de um sistema digital que recebe, por meio de uma interface serial RS-232, uma sequência de 1KB de dados e seu CRC. O CRC seria calculado na FPGA e comparado com o valor recebido, mostrando em um LCD 16x2 o CRC calculado assim como se os dados foram recebidos adequadamente ou não.

2. Visão Geral do Documento

O presente documento é apresentado da seguinte forma:

- **Capítulo 1** – Apresenta uma introdução ao documento;
- **Capítulo 2** – Apresenta uma visão geral da arquitetura, com foco na entrada e saída de dados do sistema, assim como a arquitetura do mesmo;
- **Capítulo 3** – Apresenta uma descrição da arquitetura, com foco na implementação, e explicitando os elementos internos do processador;

3. Acrônimos e Abreviações

Sigla	Descrição
RS-232	Recommended Standard 232
FPGA	Field Gate Programmable Array
ISA	Instruction Set Architecture
ULA	Unidade Lógica Aritmética
LED	Light Emitting Diode
CPU	Central Processing Unit
MMU	Memory Management Unit
CRC	Cyclic Redundancy Check

2 | Visão Geral da Arquitetura

1. Diagrama de Blocos

É possível encontrar o diagrama de blocos na seção Anexos.

2. Definições de pinos e portas

2.1. NIOS

Nome	Tamanho	Direção	Descrição
clock	1	input	Clock da CPU
reset	1	input	Reset da CPU
modoolcd	8	output	Saída referente ao modo de operação do LCD
modoserial	1	output	Saída referente ao modo de operação do controlador RS-232

2.2. Módulo LCD

Nome	Tamanho	Direção	Descrição
clock	1	input	Clock do módulo
rs	1	output	Seletor de instrução/dados
rw	1	output	Seletor de leitura/escrita
en	1	output	Sinal enable
dat	8	output	Dados
modolcd	8	input	Modo de operação LCD

2.3. Módulo UART

Nome	Tamanho	Direção	Descrição
clock	1	input	Clock do módulo
reset	1	input	Reset
rx	1	input	Recepção de dados em serial
tx	1	output	Transmissão de dados em serial
modoserial	8	input	Modo de operação UART

3 | Descrição da Arquitetura

0.1. Comunicação Serial - UART

UART - Universal Asynchronous Receiver-Transmitter é o componente responsável pela recepção e transmissão de dados via comunicação serial, controla o fluxo de dados, define a velocidade de comunicação, a quantidade de bit's de dados, bit's de *stop*, bit de paridade e controle de fluxo. Seguindo um protocolo de transmissão de dados(RS-232), teremos um **DTE**(Data Terminal Equipment, ou Terminal de Dados em português) e um **DCE**(Data Communication Equipment, ou Comunicador de Dados em português).

Como o nome já diz o **DTE**[1] é o equipamento onde os dados terminam e onde também podem ser iniciados. Um **DTE** pode ser um computador, ou um roteador. Geralmente este dispositivo prepara a informação a ser enviada/recebida a linha de comunicação pelo usuário. Já o **DCE**[1] é o equipamento responsável por realizar a comunicação dos dados. Na verdade o **DCE** serve para realizar algumas tarefas importantes na transmissão de dados entre dois dispositivos como determinar a frequência de clock, a determinação dos erros de transmissão e a codificação, enfim a definição de como se envia e como se recebem os dados.

Neste módulo temos um submódulo, que é responsável pela geração do sinal de clock, onde é feita a gestão do baud-rate da comunicação. Teremos também um submódulo para receber e outro para transmitir os dados pela porta serial selecionada. Além destes componentes, deve-se ter também a unidade de controle da porta serial, pois é ela que monta o contexto dos dados. É responsável pela identificação da recepção dos dados e envio dos mesmos, repassando assim para as demais partes do sistema, ela é a interface de comunicação da porta serial com o restante dos componentes. Abaixo temos um exemplo de arquitetura do componente:

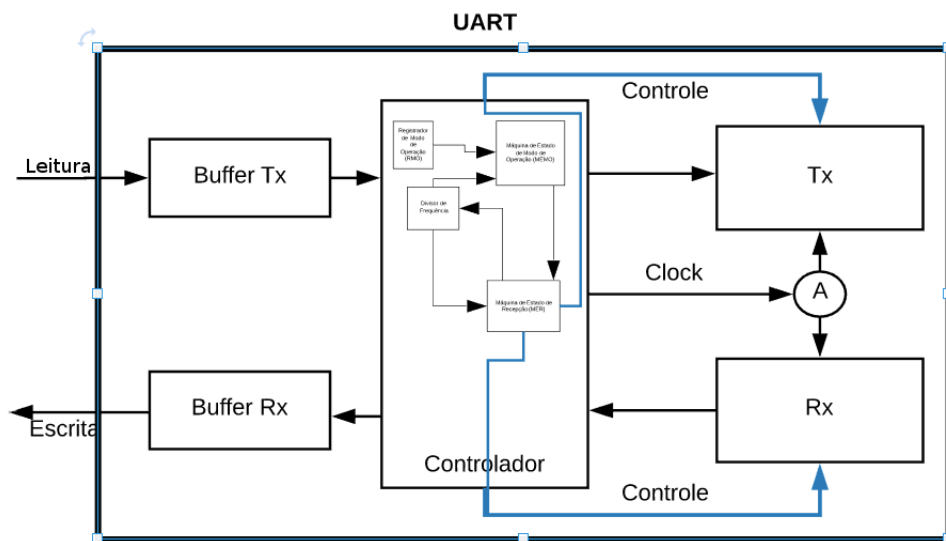


Figura 3.1: Arquitetura da UART proposto como solução do controle da comunicação serial

Nesta arquitetura definimos 5 modos de operação, ao quais o usuário poderia definir em linguagem de baixo nível a velocidade, quantidade de bit's, paridade e controle de fluxo, como listado abaixo:

- Modo de operação 1:
 - 1 bit de start
 - 8 bits de dados
 - 1 bit de paridade
 - 1 bit de stop
- Modo de operação 2:
 - 1 bit de start
 - 8 bits de dados
 - 2 bits de stop
- Modo de operação 3:
 - 1 bit de start
 - 7 bits de dados
 - 1 bit de paridade
 - 2 bit de stop
- Modo de operação 4:

- 1 bit de start
 - 6 bits de dados
 - 1 bit de paridade
 - 2 bit de stop
- Modo de operação 5:
 - 1 bit de start
 - 5 bits de dados
 - 1 bit de paridade
 - 2 bit de stop

0.2. Controlador LCD

Para a exibição do resultado foi utilizado um LCD 1602, do modelo KS0066. Contudo, para seu correto funcionamento, era necessário sua inicialização. Esta foi feita utilizando uma máquina de estados, em que os 4 comandos de inicialização enviados ao lcd de forma sequencial. Onde o clock da máquina de estados era dividido, por contado do delay necessário.

Os modos de operação são definidos através de um byte. Em que os quatro bits menos significativos simbolizam os seguintes modos de operação:

- Bit Dat[0] Blink ligado ou desligado
- Bit Dat[1] Cursor desligado ou ligado
- Bit Dat[3] Display ligado ou desligado

0.3. Memória Mapeada

Para a configuração dos modos de operação pelo o usuário era necessário a comunicação entre o software rodando no NIOS e o hardware em Verilog. Para isso foi utilizado o conceito de memória mapeada.

Assim, no processador foi criado um componente PIO de saída, com 8 bits. Dessa maneira, foi atribuído um endereço a essa saída, em que foi possível escrever, no Assembly, o modo de operação desejado.

1. Utilização dos Recursos da FPGA

1.1. UART

Nome do Elemento	Área Ocupada
Logic Elements	1980/10.320
Logic Array Blocks	159/645
Bloco de memória	44.032/423.936

1.2. Módulo LCD

Nome do Elemento	Área Ocupada
Logic Elements	1815/10.320
Logic Array Blocks	145/645
Bloco de memória	44.032/423.936

2. Caminho crítico

O caminho crítico teve seu Slack de valor igual a 99, 139.

3. Referências

- [1] N. Baiao, “O que sao: Csu/dsu, dte e dce?.” Disponível em <https://snnangola.wordpress.com/2010/08/06/o-que-que-sao-csudsu-dte-e-dce/>, acessado em 20/06/2018.

Anexos

