



Documento de Arquitetura

Problema 1 – Linguagem de Máquina e Microarquitetura

Universidade Estadual de Feira de Santana

Build 1.0a

1 | Introdução

1. Propósito do Documento

Este documento descreve a arquitetura do projeto Problema 1 – Linguagem de Máquina e Microarquitetura, incluindo especificações dos circuitos internos de cada componente. Ele também apresenta diagramas de classe, definições de entrada e saída e diagramas de temporização. O principal objetivo deste documento é definir as especificações do projeto Problema 1 – Linguagem de Máquina e Microarquitetura, e prover uma visão geral do mesmo.

O projeto desse semestre é o desenvolvimento de um algoritmo para cálculo do código CRC em linguagem de máquina para o processador *Nios II*. Onde os valores calculados são exibidos em 4 LED's.

2. Visão Geral do Documento

O presente documento é apresentado da seguinte forma:

- **Capítulo 1** – Apresenta uma introdução ao documento;
- **Capítulo 2** – Apresenta uma visão geral da arquitetura, com foco na entrada e saída de dados do sistema, assim como a arquitetura do mesmo;
- **Capítulo 3** – Apresenta uma descrição da arquitetura, com foco na implementação, e explicitando os elementos internos do processador;

3. Acrônimos e Abreviações

Sigla	Descrição
RISC	Reduced Instruction Set Computer
FPGA	Field Gate Programmable Array
ISA	Instruction Set Architecture
ULA	Unidade Lógica Aritmética
LED	Light Emitting Diode
CPU	Central Processing Unit
MMU	Memory Management Unit
CRC	Cyclic Redundancy Check

2 | Visão Geral da Arquitetura

1. Diagrama de Blocos

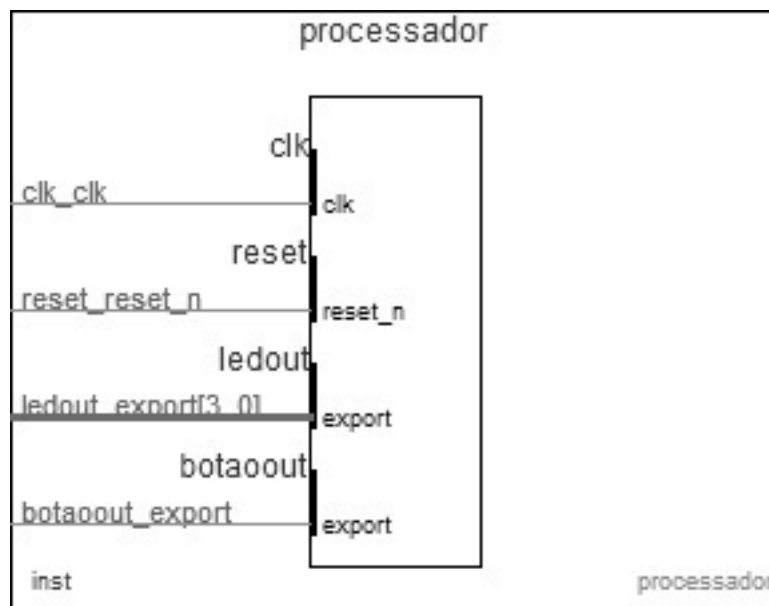


Figura 2.1: Diagrama de blocos do processador modelado utilizando o Qsys

2. Definições de pinos e portas

Nome	Tamanho	Direção	Descrição
clock	1	input	Clock da CPU
reset	1	input	Reset da CPU
leds	4	output	LEDs onde o CRC será exibido
botao	1	input	Botão de controle da exibição

3. Layout das Instruções

A ISA do Nios II baseia-se na arquitetura RISC. Portanto, o processador possui um conjunto de instruções simples e pequeno que levam aproximadamente a mesma quantidade de tempo para serem executadas. Existem três tipos de instruções no Nios II: I-type, R-type e J-type [1].

3.1. I-Type

Possui um valor imediato embutido em sua palavra. Instruções desse tipo contém:

- Um campo opcode de 6-bit
- Dois registradores 5-bit A e B
- Um campo de 16-bit para valor imediatos IMM16

Os valores de A e IMM16 especificam os operandos, enquanto B especifica o registrador de destino.

Instrução	Operação
addi	Soma o valor de rA com o imediato
movia	Move um endereço imediato no registrador
movhi	Move o imediato na high halfword do registrador
ldw	Carrega uma palavra da memória
stw	Salva uma palavra na memória
subi	Subtrai por um imediato
br	Desvio incondicional
bgeu	Desvia se A for maior ou igual a B (sem sinal)
bge	Desvia se A for maior ou igual a B (com sinal)
bgtu	Desvia se A for maior que B (sem sinal)
beq	Desvia se A e B foram iguais

3.2. R-Type

Todos os argumentos e resultados são especificados como registradores. Instruções desse tipo contém:

- Um campo opcode de 6-bit
- Três registradores de 5-bit para os campos A, B e C

- Uma extensão do opcode de 11-bit

Os campos A e B especificam os operandos e o campo C especifica o registrador de destino.

Instrução	Operação
add	Soma os valores de A e B
sub	Subtrai os valores de A e B
ret	Retorna da sub-rotina
xor	Operação lógica XOR bit a bit
slli	Desloca um bit para a esquerda
mov	Move um valor de A para B
ror	Rotaciona para a direita

3.3. J-Type

Instruções do tipo J transferem a execução do código para qualquer linha com um alcance de 256-MB. Instruções desse tipo contém:

- Um campo opcode de 6-bit
- Um campo imediato de 26-bit

Instrução	Operação
call	Chama uma sub-rotina

3 | Descrição da Arquitetura

1. Processador Softcore Nios

O Nios® II é o processador mais versátil do mundo. De acordo com o Gartner Research[2, p. 73-78], é o *soft processor* mais utilizado na indústria de FPGA's. O Nios II oferece flexibilidade sem precedentes por seu baixo custo, tempo real, segurança crítica e processamento de aplicações necessária. O processador Nios II é suportado por toda FPGA Intel® e família SoC.

1.1. Sistema Básico do Nios II

O Nios II é um processador *softcore* projetado com base na arquitetura RISC de propósito geral que possui as seguintes características:

- Conjunto completo de instruções de 32-bit, barramento de dados e espaço de endereçamento;
- 32 registradores de propósito geral;
- 32 fontes de interrupção;
- Interface externa de controle de interrupção para mais fontes de interrupção;
- Única instrução de multiplicação e divisão 32×32 produzindo um resultado de 32-bit;
- Instruções dedicadas para computar 64-bit e 128-bit produtos de multiplicação;
- Única instrução de deslocamento;
- Instruções opcionais de ponto flutuante para operações de ponto flutuante de precisão única;
- Acesso a uma variedade de periféricos on-chip e interfaces para memórias e periféricos sem chip;
- Unidade de gerenciamento de memória opcional (MMU) para suportar sistemas operacionais que exigem MMUs.

1.2. Registradores do Nios II

Registrador	Nome	Função
r0	zero	0x00000000
r1	at	Assembler Temporário
r2, r3		Retorno de valores
r4-r7		Registradores de argumentos
r8-r15		Registradores voláteis
r16-r23		
r24	et	Exception temporária
r25	bt	Breakpoint temporário
r26	gp	Ponteiro global
r27	sp	Ponteiro da pilha
r28	fp	Ponteiro da sub-pilha
r29	ea	Retorno de exception
r30	ba	Retorno de breakpoint
r31	ra	Retorno de endereço

1.3. Diagrama de blocos do núcleo do processador Nios II

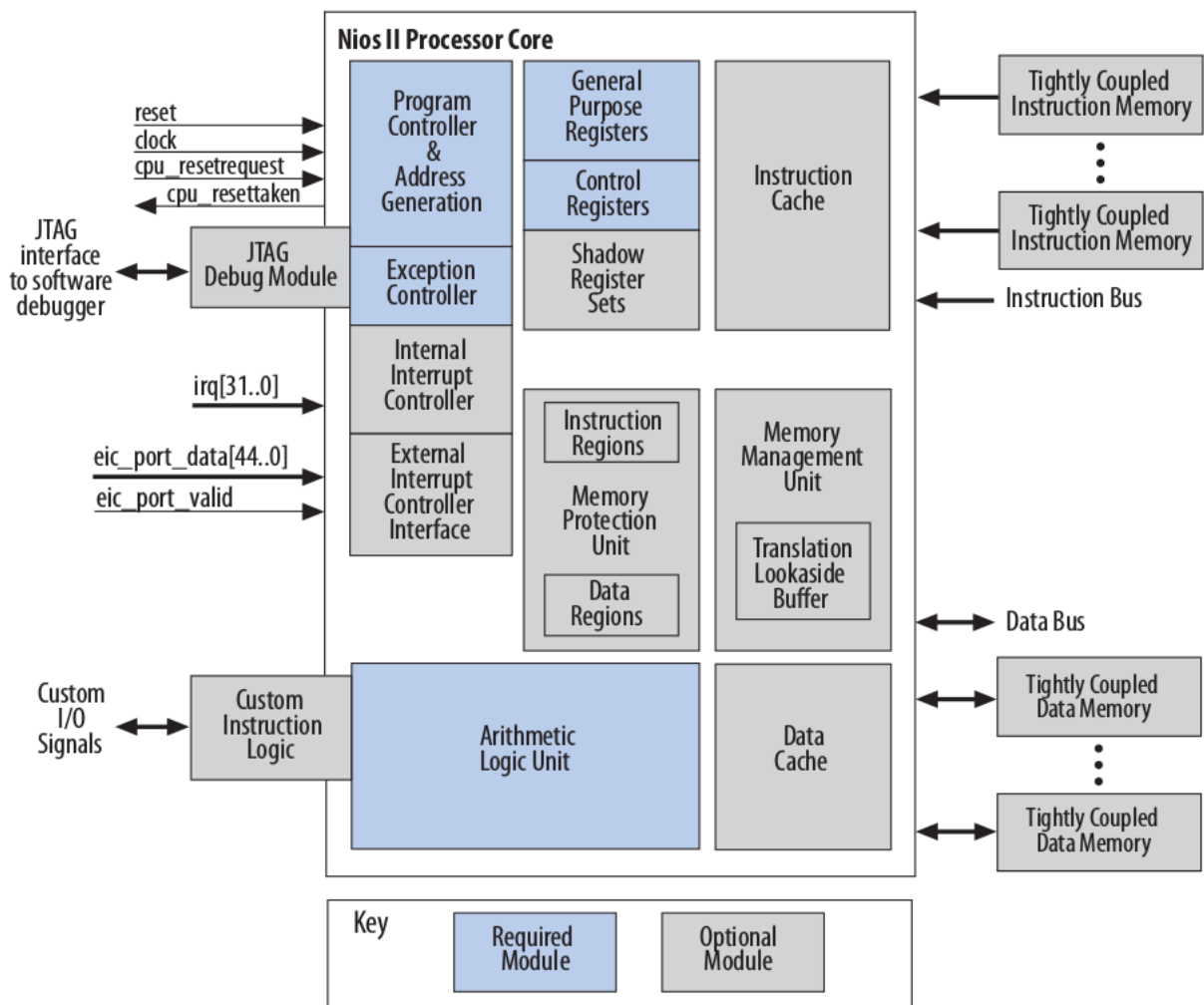


Figura 3.1: Diagrama das unidades funcionais do processador Nios II

1.4. Implementação do Processador

As unidades funcionais da arquitetura Nios II formam a base para o conjunto de instruções do Nios II. No entanto, isso não indica que qualquer unidade seja implementada no hardware. A arquitetura do Nios II descreve um conjunto de instruções, não uma implementação específica de hardware. Uma unidade funcional pode ser implementado em hardware, emulado em software ou totalmente omitido.

ULA - Unidade Lógica Aritmética

A ULA do Nios II opera com dados armazenados em registradores de uso geral. As operações da ULA pegam uma ou duas entradas dos registradores e armazenam o resultado em um registrador. A ULA suporta as operações de dados descritas na tabela abaixo. Para implementar qualquer outra operação, o software calcula o resultado executando uma combinação das operações fundamentais. Assim como qualquer outro processador.

Tabela 3.1: Operações suportadas pela ULA do Nios II

Categoria	Detalhes
Aritmética	A ULA suporta adição, subtração, multiplicação e divisão em operandos com sinal e sem sinal.
Relacional	A ULA suporta o igual, diferente, maior que ou igual e menor que operações relacionais (==, !=, >, <) em operandos com sinal e sem sinal.
Lógica	A ULA suporta operações lógicas AND, OR, NOR e XOR.
Deslocamento e Rotação	A ULA suporta operações de deslocamento e rotação e pode alternar / girar dados de 0 a 31 posições de bit por instrução.

1.5. Datapath Interno

A figura 3.2 apresenta a esquematização de uma placa FPGA que possui o Nios II como unidade de processamento.

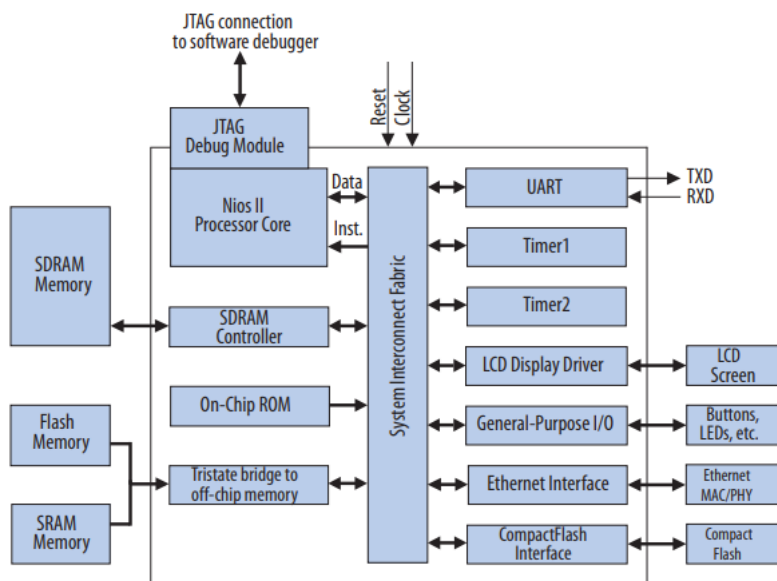


Figura 3.2: Sistema com o processador Nios II

2. Utilização dos Recursos da FPGA

Nome do Elemento	Área Ocupada
Logic Elements	1628/10.300
Logic Array Blocks	128/645
Bloco de memória	44.032/423.936

3. Caminho crítico

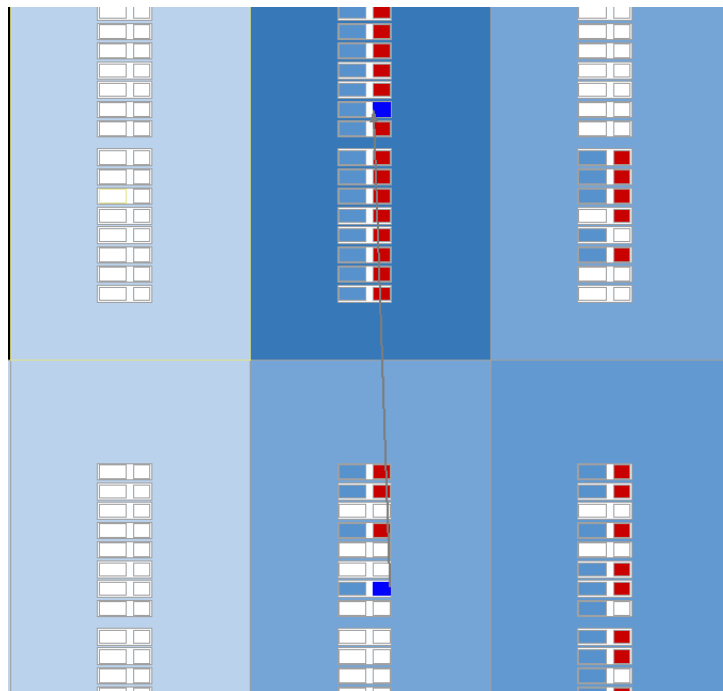


Figura 3.3: Caminho crítico representado. Com o valor de slack de 98.871

4. Referências

- [1] A. Corporation, "Instruction set reference." Disponível em https://www.altera.com/en_US/pdfs/literature/hb/nios2/n2cpu_nii51017.pdf, acessado em 01/05/2018.
- [2] J. Parab, R. Gad, and G. Naik, "Building embedded systems using soft ip cores." Disponível em https://www.researchgate.net/publication/320959443_Building_Embedded_Systems_Using_Soft_IP_Cores, acessado em 01/05/2018.

Anexos

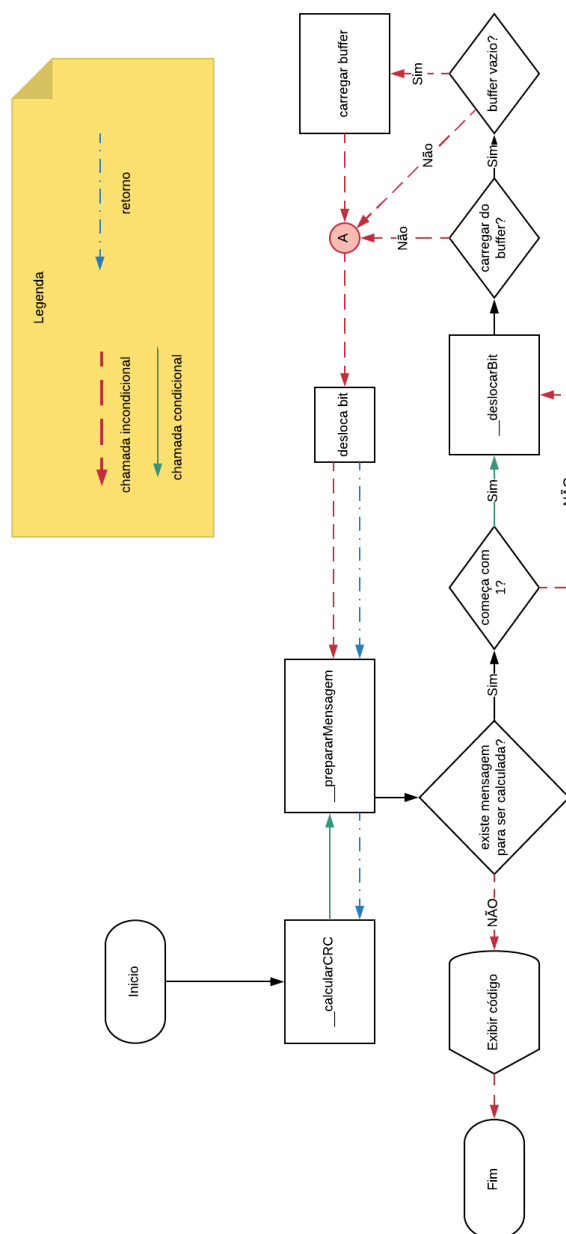


Figura 3.4: Fluxograma de um conjunto de instruções executados no processador implementado