

# Exercício Prático 01

Gustavo Lopes Oliveira

Agosto 2025

## 1 Perguntas e Respostas

1. **Qual o problema de tempo associado a esse tipo de somador (pense no carry)? Considere o atraso médio de cada porta lógica de 10 ns.**

O maior problema é devido ao tempo, é muito demorado em relação para um computador. Isto é causado devido a dependência do Carry In de um Somador para computar o Carry Out, sendo o Carry Out usado como Carry In do Somador seguinte.

2. **Qual o tempo necessário para a computação de uma soma e do vai um em um somador de 4 bits ?**

Lembrando que são 4 Somadores Completos, e eles usam 2 portas XOR, 2 AND e uma OR, o primeiro Somador demoraria 30 ns, já que todas as entradas estão presentes no tempo inicial, a partir desse ponto as outras portas já teriam feito as operações, sendo mais específico a primeira XOR e a primeira AND, demoraria mais 20 ns para as outras portas computarem. Sendo assim, no total demoraria :  $30 + 20 \cdot 3 = 90$  ns.

3. **O que seria necessário para um somador de 32 bits ?**

Para um somador de 32 bits seria necessário 32 somadores. Portanto seria preciso 64 XORs, 64 ANDs e 32 ORs. Além disso, o circuito para concluir a soma, no pior caso precisaria de  $30 + 20 \cdot 31 = 650$  ns.

4. **Considerando esses tempos acima, calcule a frequência de operação de um somador de 32 bits.**

Considerando que a frequência é definida como :  $f = \frac{1}{p}$ , sendo  $p$  o período. Assim, ficaria  $f = \frac{1}{650 \cdot \frac{1}{10^9} s}$ , ficando no final  $\frac{10^8}{65} \approx 1.538 \cdot 10^6$  Hz.

5. **Você consegue propor alguma forma de tornar essa soma mais veloz?**

Uma melhor solução é usar CLA (Carry Look Ahead), a ideia seria fazer com que os somadores posteriores não dependam do Carry In anterior e sim do primeiro Carry In. Desta maneira, todos os somadores dependeriam apenas das entradas iniciais, fazendo tudo paralelamente.

## 2 Calculadora de 4 bits

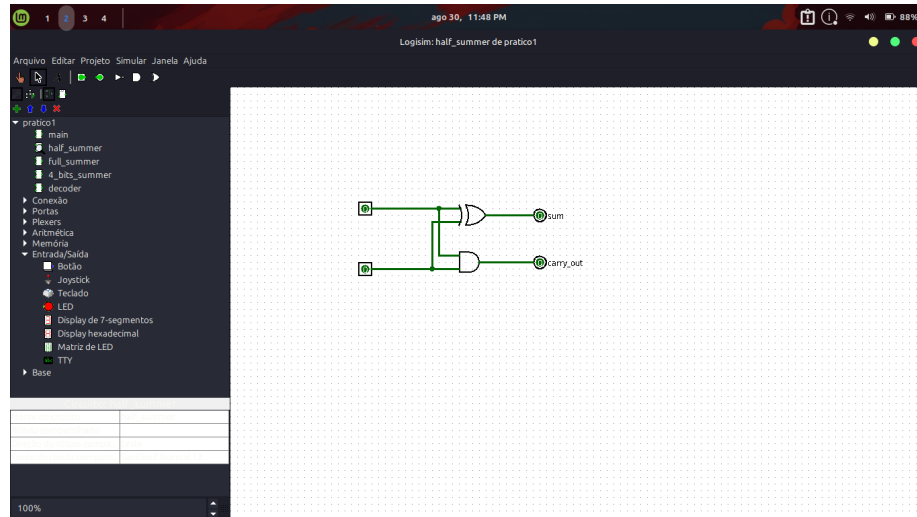


Figure 1: Meio Somador

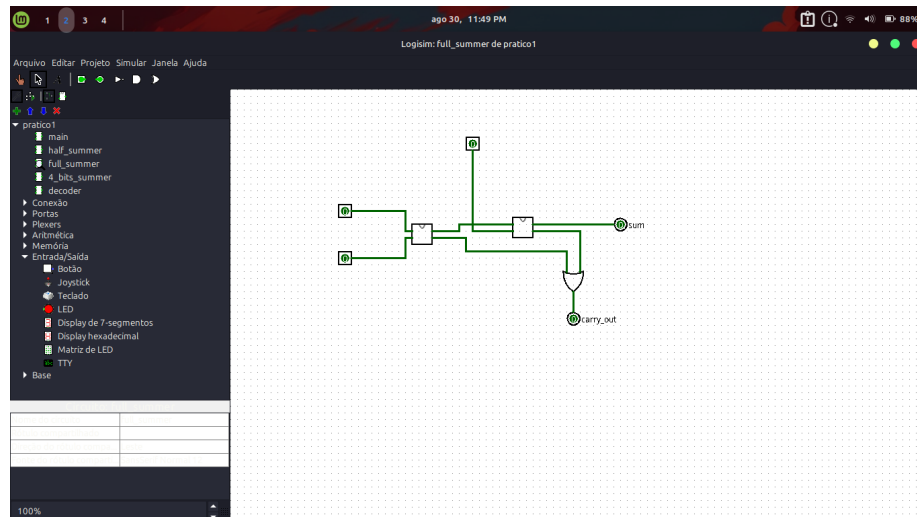


Figure 2: Somador Completo

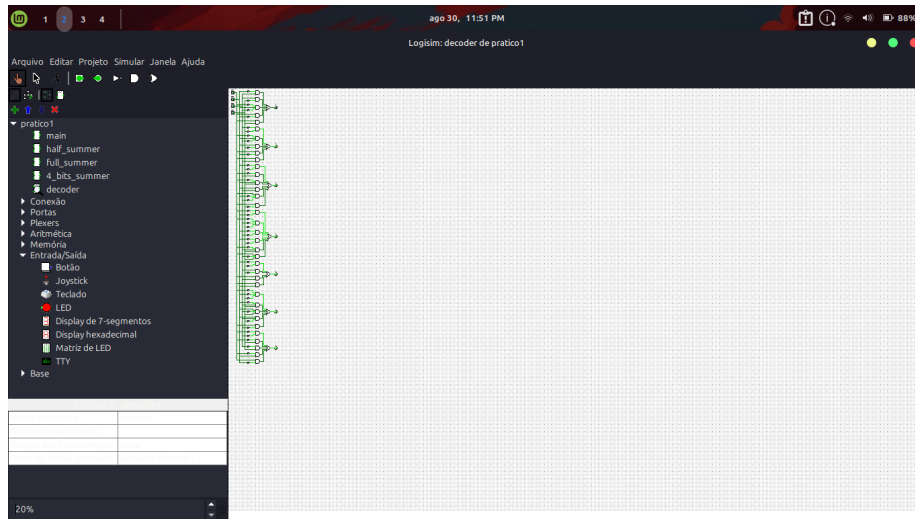


Figure 3: Decodificador

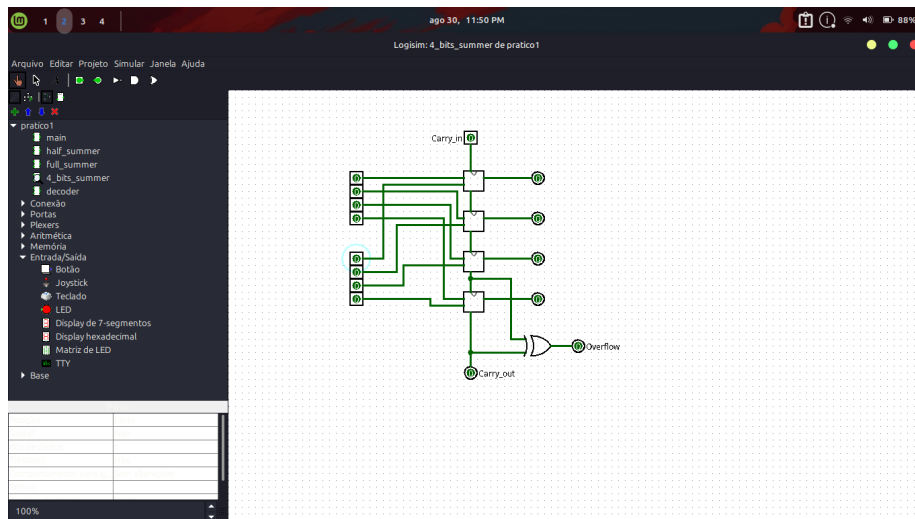


Figure 4: Somador de 4 bits

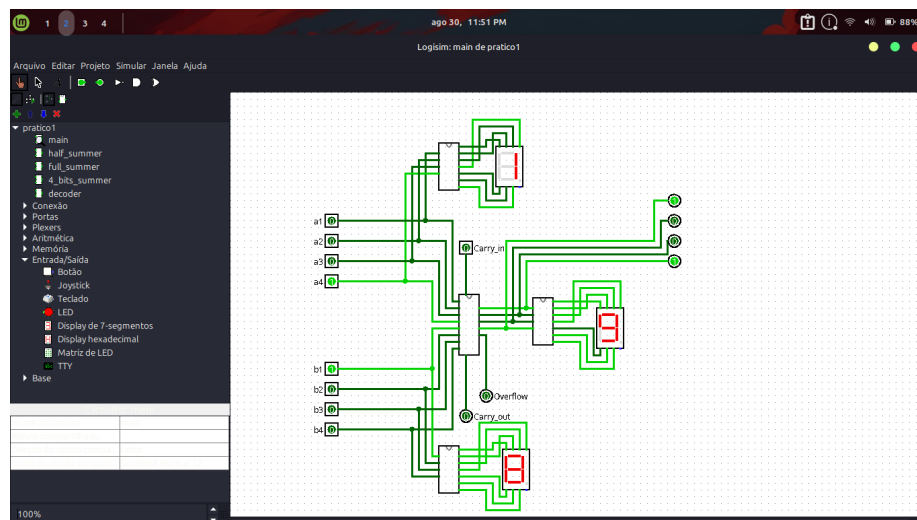


Figure 5: Circuito Completo com o final da Matricula 869118