



TRABALHO #5: RELATÓRIO LATCH E MAR

Aluno: Rafael Bertasso Borges – RA: 1210482312035

Tales Brandt Nascimento – RA: 1210482312020

Gustavo Henrique da Silva Souza – RA: 1210482312005

Turma: Tarde

Disciplina: Arquitetura e Organização de Computadores

Curso: Tecnologia em Análise e Desenvolvimento de Sistemas

Professor: Me José A. A. Viana

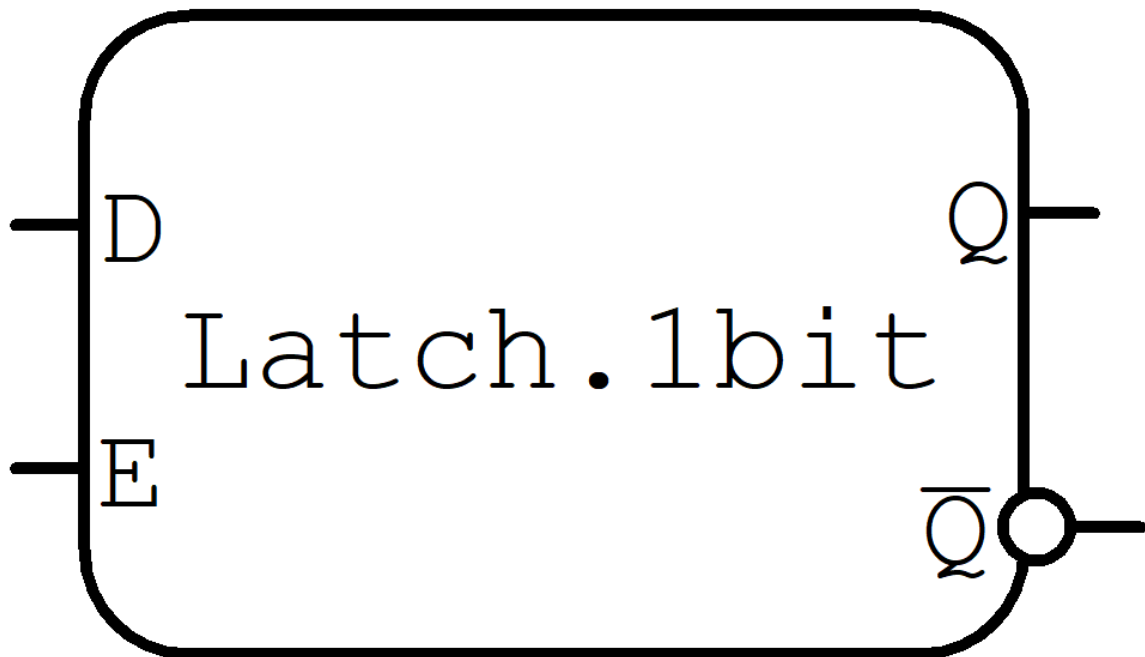
São José do Rio Preto, 02 de Maio de 2023.

Sumário

| | |
|----------------------------|---|
| Latch 1 bit | 2 |
| A0 - Latch 1bit..... | 2 |
| A1 - Tabela Verdade..... | 2 |
| A2 - Circuito Lógico | 3 |
| Latch 8 bits | 3 |
| B0 - Latch 8 bits | 3 |
| B1 - Tabela Verdade..... | 4 |
| B2 - Circuito Lógico..... | 4 |
| FlipFlop 1 bit | 4 |
| C0 – FlipFlop 1 bit | 4 |
| C1 - Tabela Verdade..... | 5 |
| C2 - Circuito Lógico..... | 5 |
| MAR | 6 |
| D0 - MAR..... | 6 |
| D1 - Tabela Verdade..... | 6 |
| D2 - Circuito Lógico | 6 |

Latch 1 bit

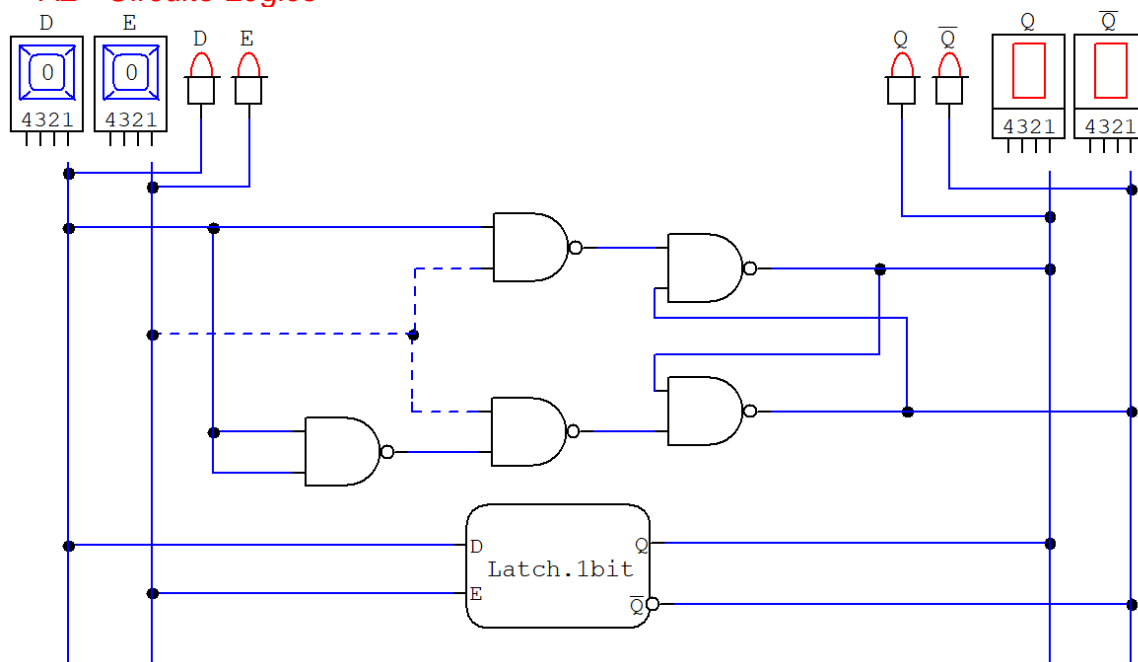
A0 - Latch 1bit



A1 - Tabela Verdade

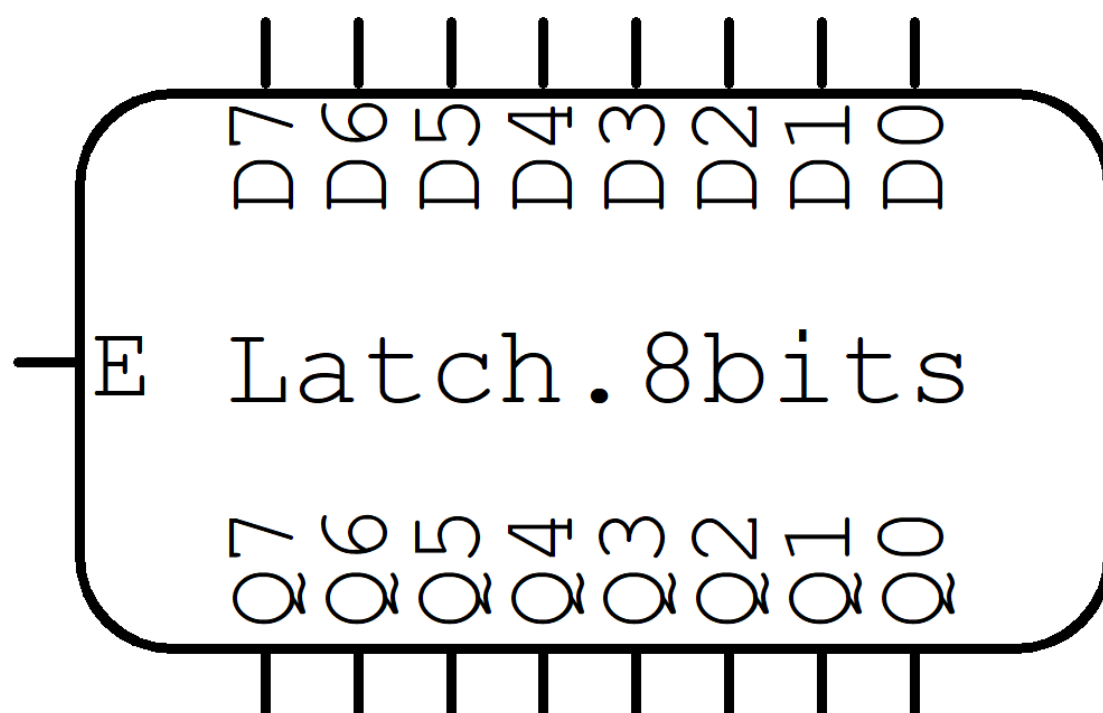
| INs | | | OUT |
|-----|---|---|------|
| dec | D | E | Q |
| 0 | 0 | 0 | Hold |
| 1 | 0 | 1 | Hold |
| 2 | 1 | 0 | 0 |
| 3 | 1 | 1 | 1 |

A2 - Circuito Lógico



Latch 8 bits

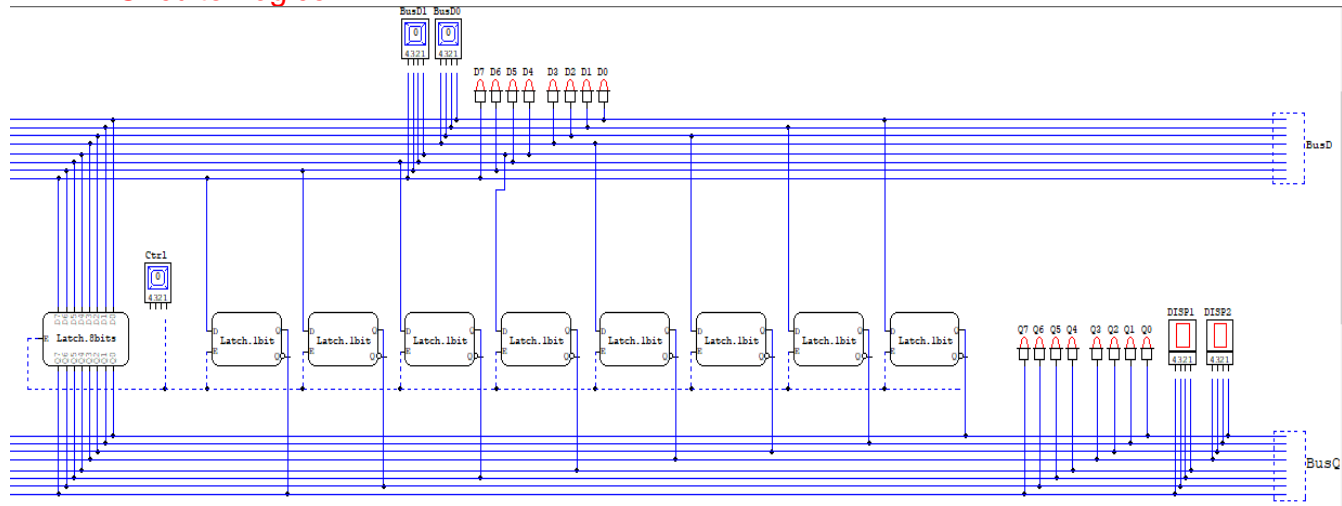
B0 - Latch 8 bits



B1 - Tabela Verdade

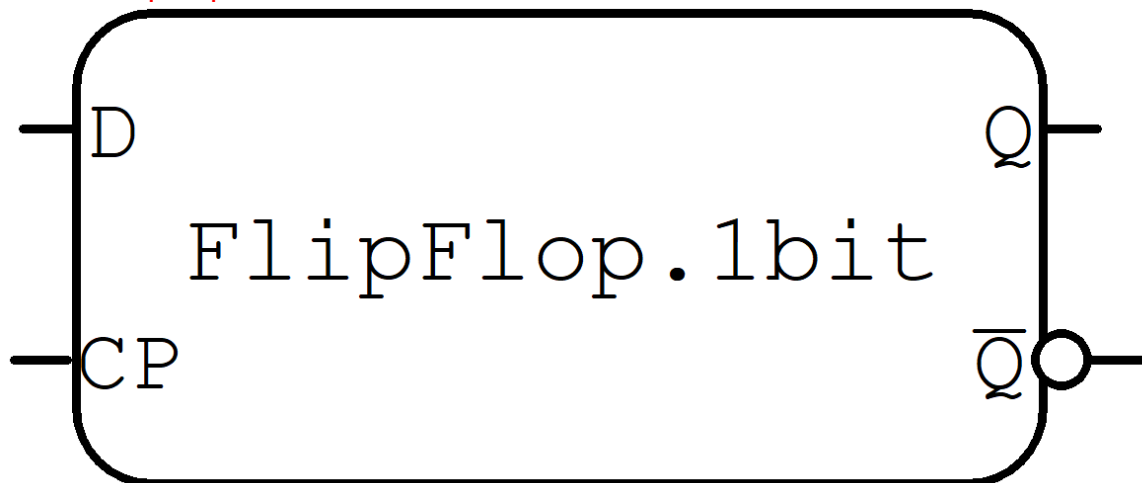
| E | Função |
|---|-----------------------------|
| 0 | Hold |
| 1 | $\text{BusD} = \text{BusQ}$ |

B2 - Circuito Lógico



FlipFlop 1 bit

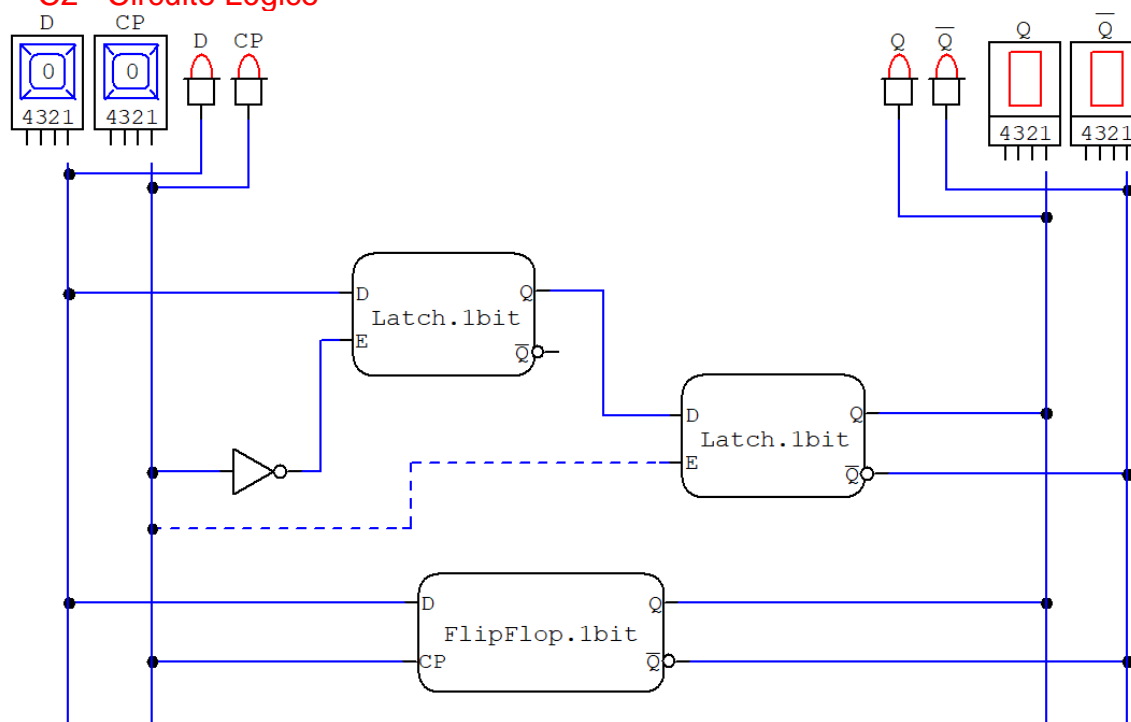
C0 – FlipFlop 1 bit



C1 - Tabela Verdade

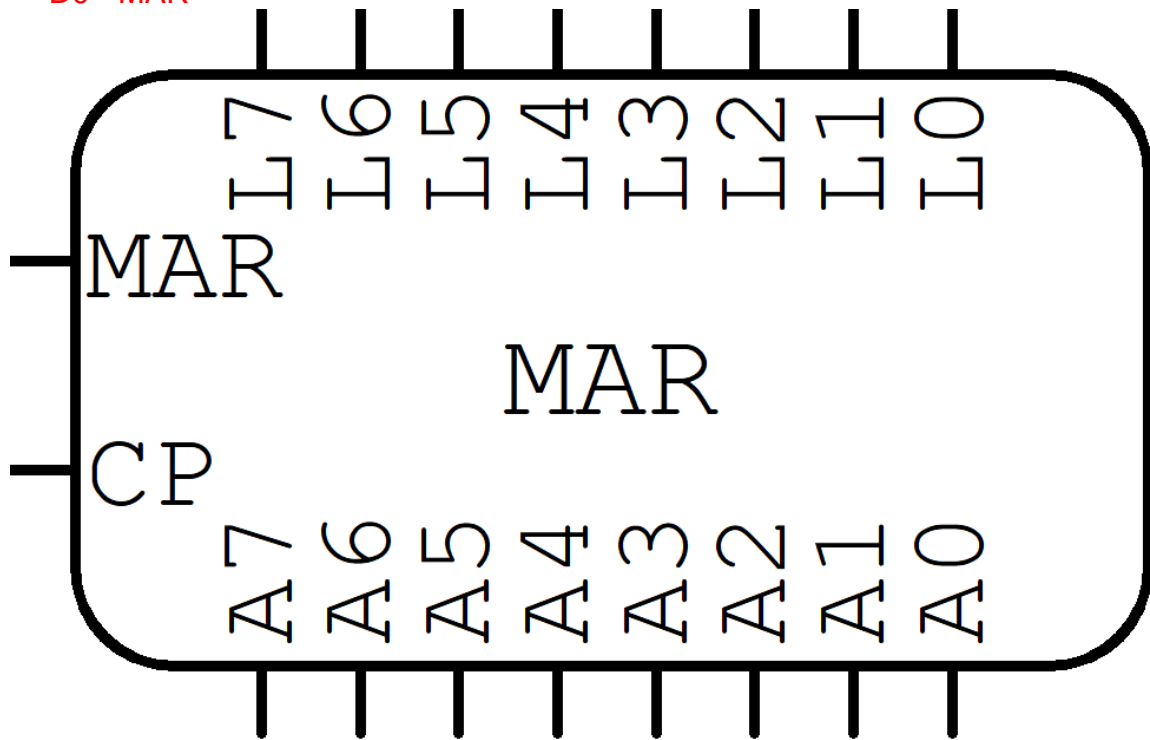
| CP | D | Q | \bar{Q} |
|-------|---|---|-----------|
| 0 → 1 | 0 | 0 | 1 |
| 0 → 1 | 1 | 1 | 0 |

C2 - Circuito Lógico



MAR

D0 - MAR



D1 - Tabela Verdade

| CP | MAR | Função |
|--------|-----|----------|
| 0 -> 1 | 0 | Hold |
| 0 -> 1 | 1 | EXT <- L |

D2 - Circuito Lógico

