

INSTITUTO FEDERAL
SANTA CATARINA

MINISTÉRIO DA EDUCAÇÃO

SECRETARIA DE EDUCAÇÃO PROFISSIONAL E TECNOLÓGICA

INSTITUTO FEDERAL DE EDUCAÇÃO, CIÊNCIA E TECNOLOGIA DE SANTA CATARINA

CURSO DE ENGENHARIA DE TELECOMUNICAÇÕES - CÂMPUS SÃO JOSÉ

RELATÓRIO TÉCNICO

AVALIAÇÃO 01 - PARTE 2

Arthur Cadore Matuella Barcella
Gabriel Luiz Espindola Pedro

Itens solicitados no relatório técnico:

- Tabela do decodificador (simplificar com don't care)
- Circuito completo
- Formas de onda da simulação
- QAR do projeto
- Zipar relatório e QAR com o nome da dupla.

TABELA DO CIRCUITO DECODIFICADOR (VERSÃO SIMPLIFICADA):

Abaixo está a tabela do circuito decodificador finalizada, as expressões redundantes foram retiradas com o uso de bits de don't care "X":

<u>Mnemônico</u>	<u>OC-4</u>	<u>OC-3</u>	<u>OC-2</u>	<u>OC-1</u>	<u>OC-0</u>	<u>N</u>	<u>Z</u>	<u>WrPC</u>	<u>Sel A1</u>	<u>Sel A0</u>	<u>SelB</u>	<u>WrAcc</u>	<u>Op Sel</u>	<u>Rd Ram</u>	<u>Wr Ram</u>	<u>Branch (jump)</u>	<u>WrNZ</u>
<u>HLT</u>	0	0	0	0	0	X	X	0	X	X	X	0	X	1	0	0	0
<u>STO</u>	0	0	0	0	1	X	X	1	X	X	X	0	X	0	1	0	0
<u>LD</u>	0	0	0	1	0	X	X	1	0	0	X	1	X	1	0	0	0
<u>LDI</u>	0	0	0	1	1	X	X	1	0	1	X	1	X	1	0	0	0
<u>ADD</u>	0	0	1	0	0	X	X	1	1	0	0	1	0	1	0	0	1
<u>ADDI</u>	0	0	1	0	1	X	X	1	1	0	1	1	0	1	0	0	1
<u>SUB</u>	0	0	1	1	0	X	X	1	1	0	0	1	1	1	0	0	1



INSTITUTO FEDERAL
SANTA CATARINA

MINISTÉRIO DA EDUCAÇÃO

SECRETARIA DE EDUCAÇÃO PROFISSIONAL E TECNOLÓGICA

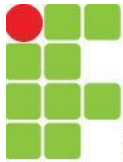
INSTITUTO FEDERAL DE EDUCAÇÃO, CIÊNCIA E TECNOLOGIA DE SANTA CATARINA

CURSO DE ENGENHARIA DE TELECOMUNICAÇÕES - CÂMPUS SÃO JOSÉ

SUBI	0	0	1	1	1	X	X	1	1	0	1	1	1	1	0	0	1
BEQ	0	1	0	0	0	X	0	1	X	X	X	0	X	1	0	0	0
	0	1	0	0	0	X	1	1	X	X	X	0	X	1	0	1	0
BNE	0	1	0	0	1	X	0	1	X	X	X	0	X	1	0	1	0
	0	1	0	0	1	X	1	1	X	X	X	0	X	1	0	0	0
BGT	0	1	0	1	0	0	0	1	X	X	X	0	X	1	0	1	0
	0	1	0	1	0	X	1	1	X	X	X	0	X	1	0	0	0
	0	1	0	1	0	1	X	1	X	X	X	0	X	1	0	0	0
BGE	0	1	0	1	1	0	X	1	X	X	X	0	X	1	0	1	0
	0	1	0	1	1	0	X	1	X	X	X	0	X	1	0	1	0
BLT	0	1	1	0	0	0	X	1	X	X	X	0	X	1	0	0	0
	0	1	1	0	0	1	X	1	X	X	X	0	X	1	0	1	0
BLE	0	1	1	0	1	0	0	1	X	X	X	0	X	1	0	0	0
	0	1	1	0	1	0	1	1	X	X	X	0	X	1	0	1	0
	0	1	1	0	1	1	0	1	X	X	X	0	X	1	0	1	0
	0	1	1	0	1	1	1	1	X	X	X	0	X	1	0	0	0
JMP	0	1	1	1	0	X	X	1	X	X	X	0	X	1	0	1	0
NOP	0	1	1	1	1	X	X	1	X	X	X	0	X	1	0	0	0
	X	X	1	X	X	X	0	X	1	0	0	0
	1	1	1	1	1	X	X	1	X	X	X	0	X	1	0	0	0

TABELA DO CIRCUITO DECODIFICADOR (LOGISIM):

Após definir as saídas caso a caso, com a tabela finalizada, a mesma foi passada para o logisim, para a montagem do circuito, abaixo está uma sessão da tabela importada no logisim:



INSTITUTO FEDERAL
SANTA CATARINA

MINISTÉRIO DA EDUCAÇÃO

SECRETARIA DE EDUCAÇÃO PROFISSIONAL E TECNOLÓGICA

INSTITUTO FEDERAL DE EDUCAÇÃO, CIÊNCIA E TECNOLOGIA DE SANTA CATARINA

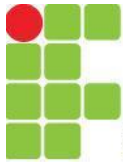
CURSO DE ENGENHARIA DE TELECOMUNICAÇÕES - CÂMPUS SÃO JOSÉ

A	B	C	D	E	F	WrPC	SelA1	SelA0	SelB	WrACC	OPsel	RdRAM	WrRAM	Branch	WrNZ
0	0	0	0	0	0	0	x	x	x	0	x	1	0	0	0
0	0	0	0	0	1	0	x	x	x	0	x	1	0	0	0
0	0	0	0	1	0	0	x	x	x	0	x	1	0	0	0
0	0	0	0	1	1	0	x	x	x	0	x	1	0	0	0
0	0	0	1	0	0	1	x	x	x	0	x	0	1	0	0
0	0	0	1	0	1	1	x	x	x	0	x	0	1	0	0
0	0	0	1	1	0	1	x	x	x	0	x	0	1	0	0
0	0	0	1	1	1	1	x	x	x	0	x	0	1	0	0
0	0	1	0	0	0	1	0	0	x	1	x	1	0	0	0
0	0	1	0	0	1	1	0	0	x	1	x	1	0	0	0
0	0	1	0	1	0	1	0	0	x	1	x	1	0	0	0
0	0	1	0	1	1	1	0	0	x	1	x	1	0	0	0
0	0	1	1	0	0	1	0	1	x	1	x	1	0	0	0
0	0	1	1	0	1	1	0	1	x	1	x	1	0	0	0
0	0	1	1	1	0	1	0	1	x	1	x	1	0	0	0
0	0	1	1	1	1	1	0	1	x	1	x	1	0	0	0
0	1	0	0	0	0	1	1	0	0	1	0	1	0	0	1
0	1	0	0	0	1	1	1	0	0	1	0	1	0	0	1
0	1	0	0	1	0	1	1	0	0	1	0	1	0	0	1
0	1	0	0	1	1	1	1	0	0	1	0	1	0	0	1
0	1	0	1	0	0	1	1	0	1	1	0	1	0	0	1
0	1	0	1	0	1	1	1	0	1	1	0	1	0	0	1
0	1	0	1	1	0	1	1	0	1	1	0	1	0	0	1
0	1	0	1	1	1	1	1	0	1	1	0	1	0	0	1
0	1	1	0	0	0	1	1	1	0	1	1	1	0	0	1
0	1	1	0	0	1	1	1	0	0	1	1	1	0	0	1
0	1	1	0	1	0	1	1	0	0	1	1	1	0	0	1
0	1	1	0	1	1	1	1	0	0	1	1	1	0	0	1
0	1	1	1	0	0	1	1	1	0	1	1	1	0	0	1
0	1	1	1	0	1	1	1	0	1	1	1	1	0	0	1
0	1	1	1	1	0	1	1	1	0	1	1	1	0	0	1
0	1	1	1	1	1	1	1	1	0	1	1	1	0	0	1

- A: OpCode[3]
- B: OpCode[2]
- C: OpCode[1]
- D: OpCode[0]
- E: N
- F: Z

CIRCUITO DECODIFICADOR (MONTAGEM DO CIRCUITO):

Uma vez com a tabela importada no logisim, utilizamos a ferramenta para gerar o circuito através da tabela proposta, o circuito está exibido abaixo:



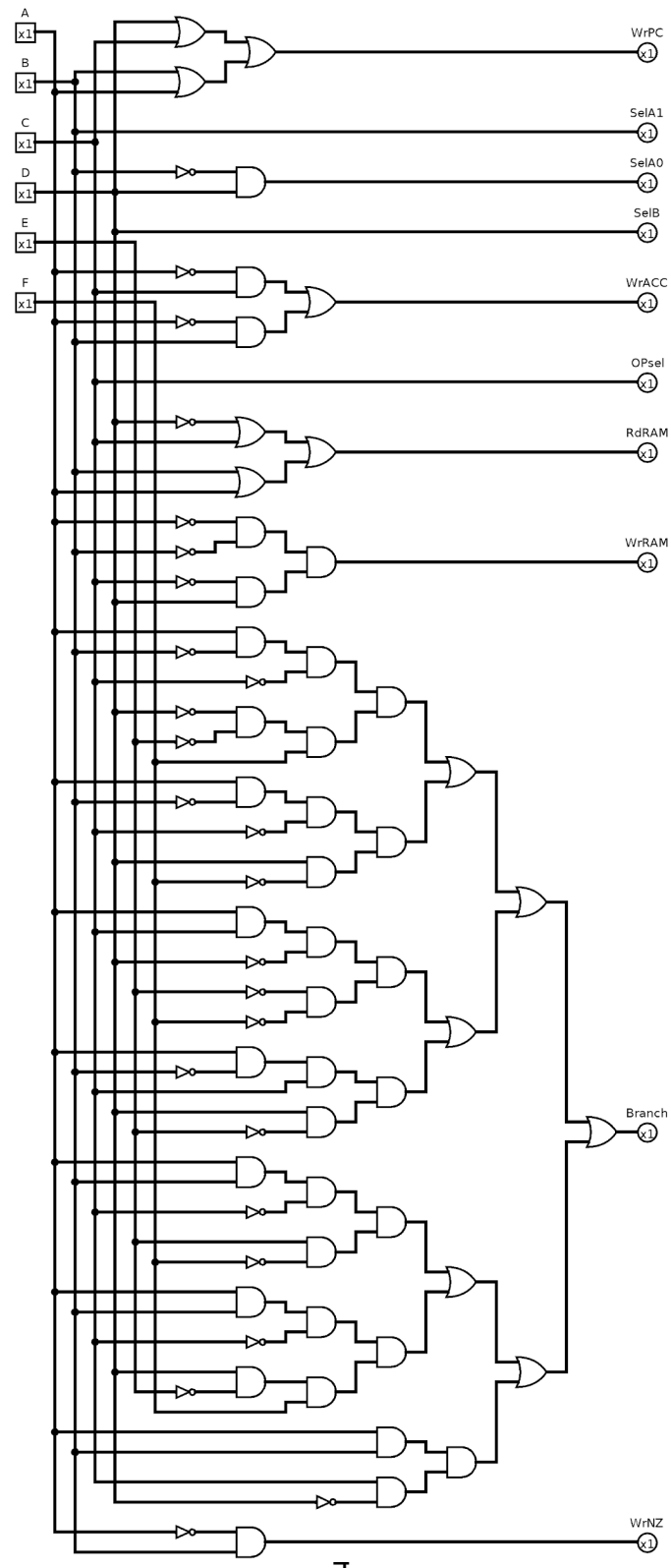
INSTITUTO FEDERAL
SANTA CATARINA

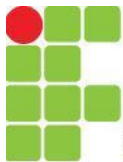
MINISTÉRIO DA EDUCAÇÃO

SECRETARIA DE EDUCAÇÃO PROFISSIONAL E TECNOLÓGICA

INSTITUTO FEDERAL DE EDUCAÇÃO, CIÊNCIA E TECNOLOGIA DE SANTA CATARINA

CURSO DE ENGENHARIA DE TELECOMUNICAÇÕES - CÂMPUS SÃO JOSÉ





INSTITUTO FEDERAL
SANTA CATARINA

MINISTÉRIO DA EDUCAÇÃO

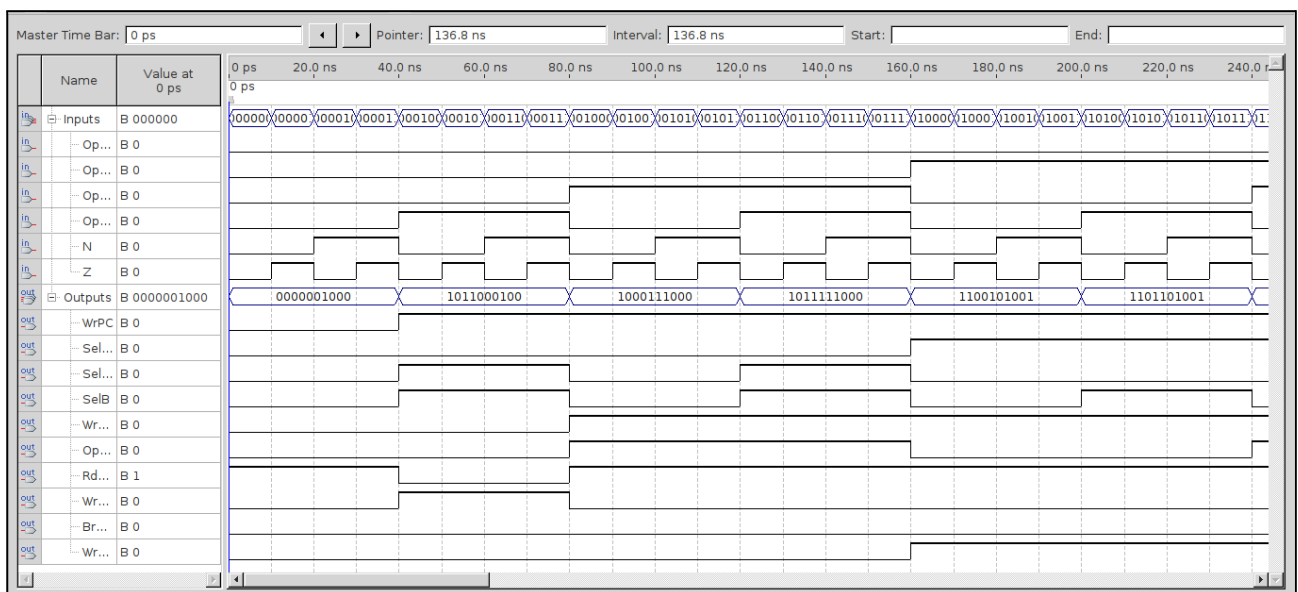
SECRETARIA DE EDUCAÇÃO PROFISSIONAL E TECNOLÓGICA

INSTITUTO FEDERAL DE EDUCAÇÃO, CIÊNCIA E TECNOLOGIA DE SANTA CATARINA

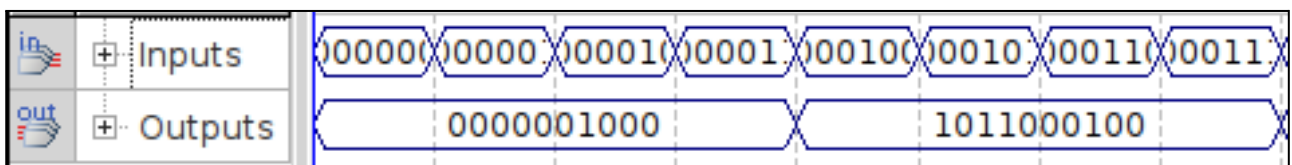
CURSO DE ENGENHARIA DE TELECOMUNICAÇÕES - CÂMPUS SÃO JOSÉ

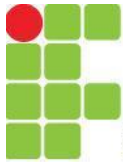
FORMAS DE ONDA (SIMULAÇÃO QUARTUS):

Abaixo está uma captura do formato de onda obtido nas saídas do circuito decodificador variando sua entrada:



Para verificar se as saídas das operações lógicas estão coerentes, utilizamos a ferramenta de agrupamento para juntar todos os parâmetros de entrada e os de saída, conforme a imagem abaixo:





INSTITUTO FEDERAL
SANTA CATARINA

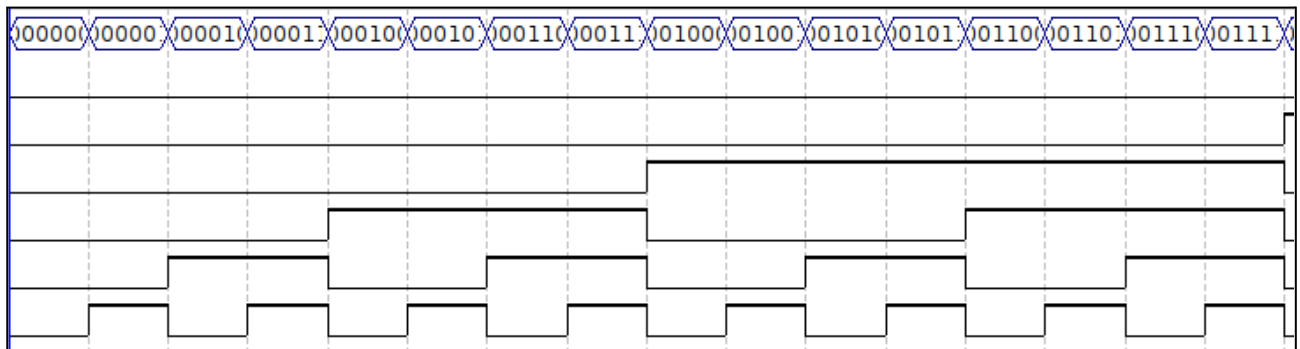
MINISTÉRIO DA EDUCAÇÃO

SECRETARIA DE EDUCAÇÃO PROFISSIONAL E TECNOLÓGICA

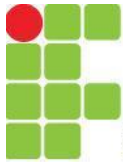
INSTITUTO FEDERAL DE EDUCAÇÃO, CIÊNCIA E TECNOLOGIA DE SANTA CATARINA

CURSO DE ENGENHARIA DE TELECOMUNICAÇÕES - CÂMPUS SÃO JOSÉ

Em seguida, configuramos as entradas de maneira sequencial, conforme é utilizado pela tabela verdade para representar todos os casos possíveis, conforme a imagem abaixo:



Por fim, utilizamos a ferramenta de compilação para gerar os sinais de saída e comparamos a saída com as respectivas linhas da tabela verdade original, abaixo está um exemplo:



INSTITUTO FEDERAL
SANTA CATARINA

MINISTÉRIO DA EDUCAÇÃO

SECRETARIA DE EDUCAÇÃO PROFISSIONAL E TECNOLÓGICA

INSTITUTO FEDERAL DE EDUCAÇÃO, CIÊNCIA E TECNOLOGIA DE SANTA CATARINA

CURSO DE ENGENHARIA DE TELECOMUNICAÇÕES - CÂMPUS SÃO JOSÉ

