

Preparation Report LAB2

Liav Ben Or 315909390

Guy Cohen 207881004

מבוא

במעבדה זו נלמד יכולות התחלתיות בעולם החומרה המקבילית בשפת VHDL. מעבדה זו נלמד קוד סיריאלי.

להלן המערכת שמימשנו –

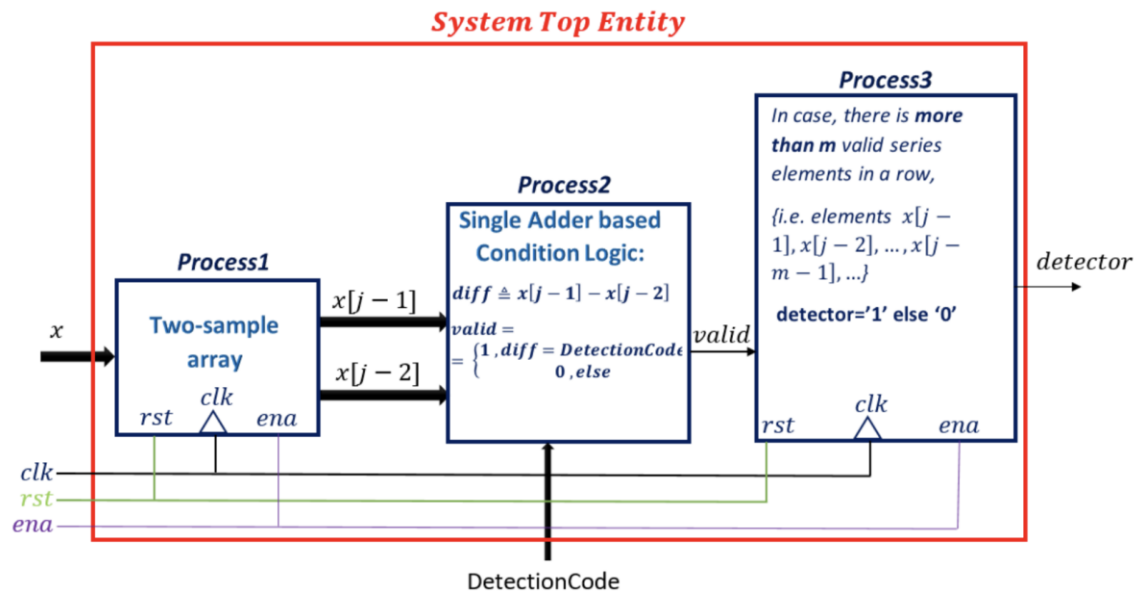


Figure 1 : System structure

כניסות המערכת –

- rst
- clk
- אות כניסה X
- ena
- $detectioncode$

מוצא המערכת –

מוצא המערכת יתייצב ל 1 לוגי כאשר יתקבל קלט לפי החוקיות שבטבלה מטה, לפחות m פעמים.

<i>DetectionCode</i>	<i>Condition</i>
0	$x[j-1] - x[j-2] = 1$
1	$x[j-1] - x[j-2] = 2$
2	$x[j-1] - x[j-2] = 3$
3	$x[j-1] - x[j-2] = 4$

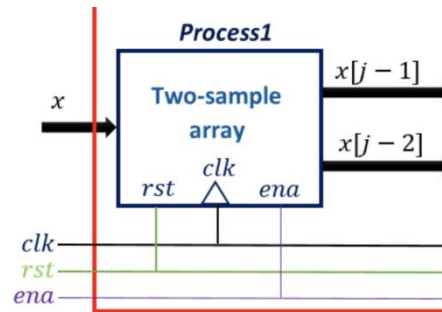
Table 1: cond value

תיאור המערכת –

מערכת זו הינה מערכת דיגיטלית סינכרונית המזהה תת סדרות עבור רצף כניסות ע"פ חוקיות אשר ניתנת בטבלה מעלה.

Process1

דיאגרמת בלוק –

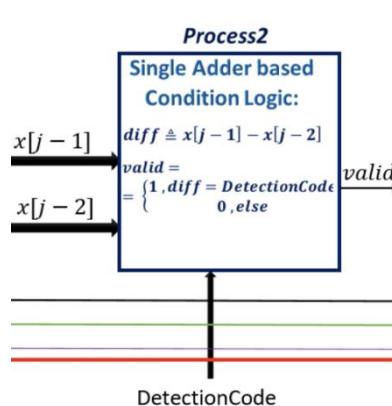


תיאור התהליך –

תהליך ראשון מקסל את וקטורי הכניסה ומוציא את שני וקטורי הכניסה הקודמים במידה ומתבצעת עליית שעון וגם קו בקרת האיניבל שווה ל1.

Process2

דיאגרמת בלוק –



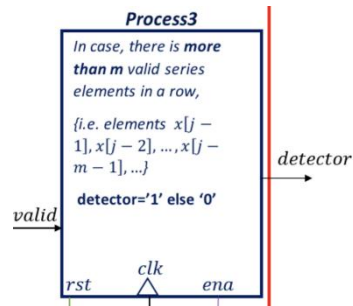
תיאור התהליך –

תהליך זה מקבל מהתהליך הקודם את שני וקטורי הכניסה הקודמים ומחשב את אות היציאה ע"פ החוקיות אשר נקבעה בטבלה מעלה.

חישוב זה נעשה בעזרת יחידה לוגית אשר מחשבת את המשוואה הנדרשת מחוץ לתהליך ע"י רכיב מחבר.

Process3

דיאגרמת בלוק –

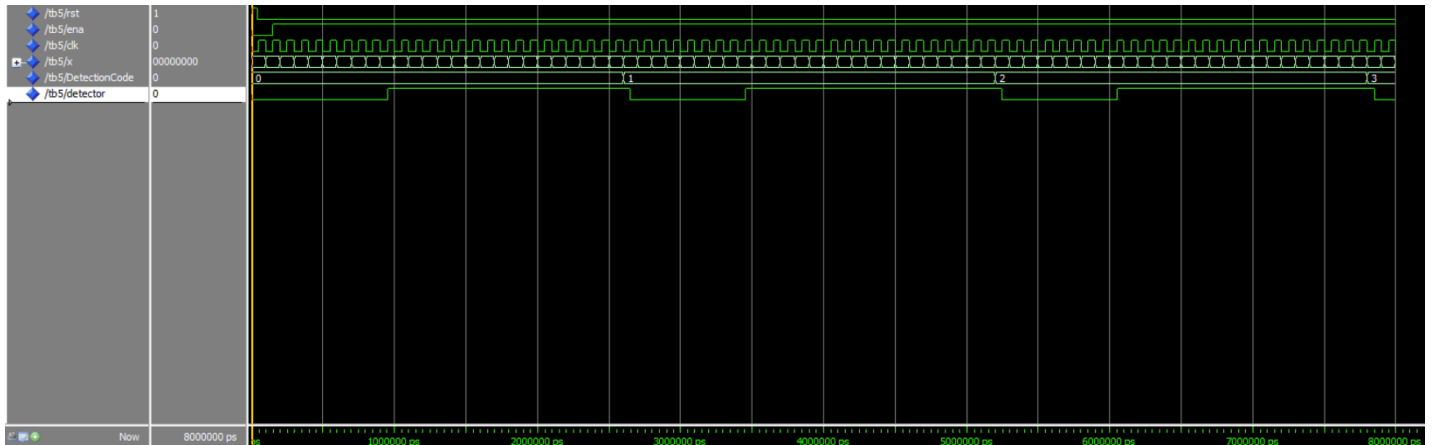


תיאור התהליך –

תהליך זה מקבל את אות הבדיקה מתהליך 1, 2, כאשר התנאי מתקיים ו0 אחרת. התהליך סופר ע"י משתנה את כמות הפעמים אשר נכנס קלט ע"פ חוקיות תקינה ברצף. במידה והתקבל רצף אשר גדול או שווה למספר הפעמים הנדרש אז אות היציאה יתייצב ל1, ברגע שייכנס אות אשר יבשר על קלט בעל חוקיות לא תקינה, אות היציאה של המערכת ישוב להיות 0 לוגי ובנוסף המשתנה אשר סוכם את הרצף הנוכחי יתאפס.

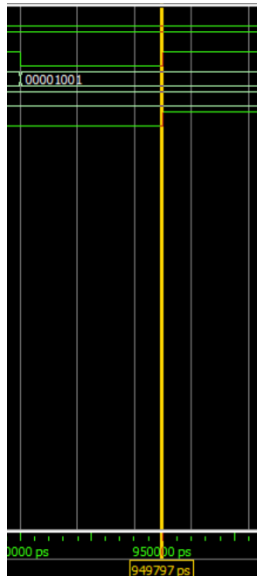
תוצאות סימולציה

כתבנו קובץ בדיקה למערכת על מנת לוודא כי היא עובדת בצורה תקינה העונה על דרישות המשימה ולהלן תוצאות הסימולציה ופירוט על נקודות חשובות:



נקודות מעניינות בסימולציה:

- נשים לב שבנקודה זו התקבל בפעם הראשונה 1 לוגי במוצא המערכת כתוצאה מכך שהמשתנה ספר כמות קלט חוקי כנדרש במשימה.



- בנקודה זו, נשבר רצף של קלטים חוקיים ולכן המוצא ירד ל0 לוגי.

