

Icarus_Verilog_GTKWave 指导手册

1. 软件安装

教学网-资源-FPGATools 中下载 iverilog-v11-20190809-x64_setup.zip, 解压, 安装。注意安装过程中选择安装 GTKWave, 选择设定 PATH 路径。

2. 编辑两个 Verilog 文本文件 Simple.v 和 Simple_tb.v, 保存到 lab2 目录下。推荐使用 VIM 编辑器。

Simple.v

```
module simple(A, B);  
    input [3:0] A;  
    output [3:0] B;  
  
    // mix up the input bits  
    assign B = { A[0], A[2], A[1], A[3] };  
  
endmodule
```

Simple_tb.v

```
module simple_tb;  
    reg [3:0] A = 4'b1010;  
    wire [3:0] B;  
  
    initial  
    begin  
        // GTKWave Dump Commands  
        $dumpfile("simple.vcd");  
        $dumpvars(0, u_simple);  
  
        // Verilog Output Commands  
        $monitor("A is %b, B is %b.", A, B);  
        #50 A = 4'b1100;  
        #50 $finish;  
    end  
  
    simple u_simple(A, B);  
  
endmodule
```

3. 编译 Verilog 文件, 在 Windows 下右键单击【开始】, 选择【运行】, 执行 cmd.exe 命令。进入 lab2 目录, 运行下列命令。

```
iverilog -o simple.vpp simple.v simple_tb.v
```

4. 运行模拟, 执行下列命令。

```
vvp simple.vpp
```

得到如下输出

```
VCD info: dumpfile simple.vcd opened for output.  
A is 1010, B is 0011.  
A is 1100, B is 0101.
```

5. 网页资料

官方网页 <http://iverilog.icarus.com/>

官方 Wiki http://iverilog.wikia.com/wiki/Main_Page.

6. GTKWave 观察波形

运行下列命令, Simple_tb.v 中 \$dumpfile("simple.vcd"); 命令中的 dump 文件。

```
gtkwave simple.vcd
```

选择模块, 双击需要观察的波形, 显示结果如下。

