

# Arquitetura de Computadores Desempenho

Ríad Mattos Nassiffe



# Sumário

- O que é desempenho?
- Gargalos já visto



# Desempenho

O que significa dizer que um computador  $x$  tem desempenho melhor que um computador  $y$ ?

# Desempenho

Veículo	Velocidade	Capacidade	Flexibilidade
Moto	120 km/h	2	Alta
Carro	120 km/h	5	Alta
Ônibus	90 Km/h	50	Média
Trem	200-400 km/h	250	Baixa
Avião	954 km/h	50	Baixa

- Qual desses meios de transporte tem melhor desempenho?
  - Depende do objetivo.

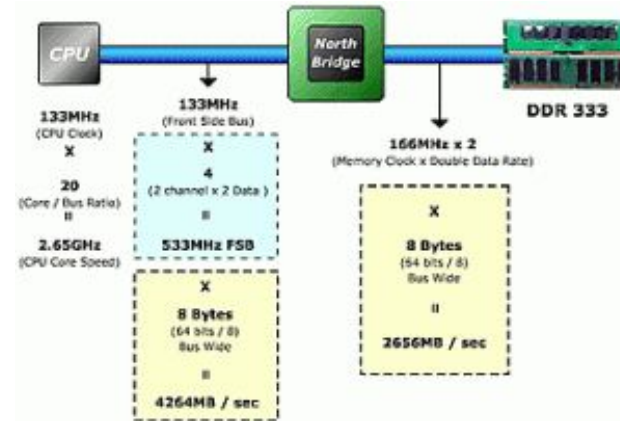
# Desempenho Computacional

Tipos de aplicações:

- Processamento de imagens
- Renderização em 3D
- Videoconferência
- Manipulação de vídeo
- Manipulação de áudio
- Cálculos matemáticos
- Simulação
- .....

# Métricas do Ponto de Vista Computacional

- Tempo de resposta
- Quantidade de dados por unidade de tempo (Throughput ou largura de banda)
- Velocidade dos dispositivos



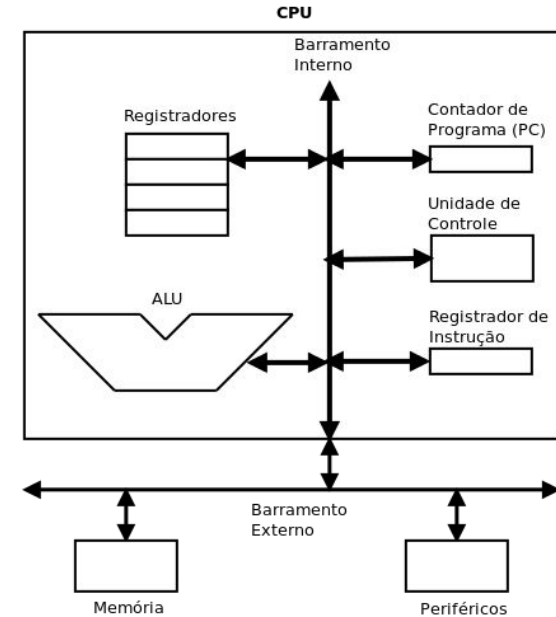
# Como Medir o Desempenho

Avaliar desempenho dos:

- Canais de comunicação
- CPU
- Placa de vídeo
- Memória
- todos os componentes.

# CPU

- Velocidade do sinal de clock
- Maior densidade
- Instruções de CPU mais complexas





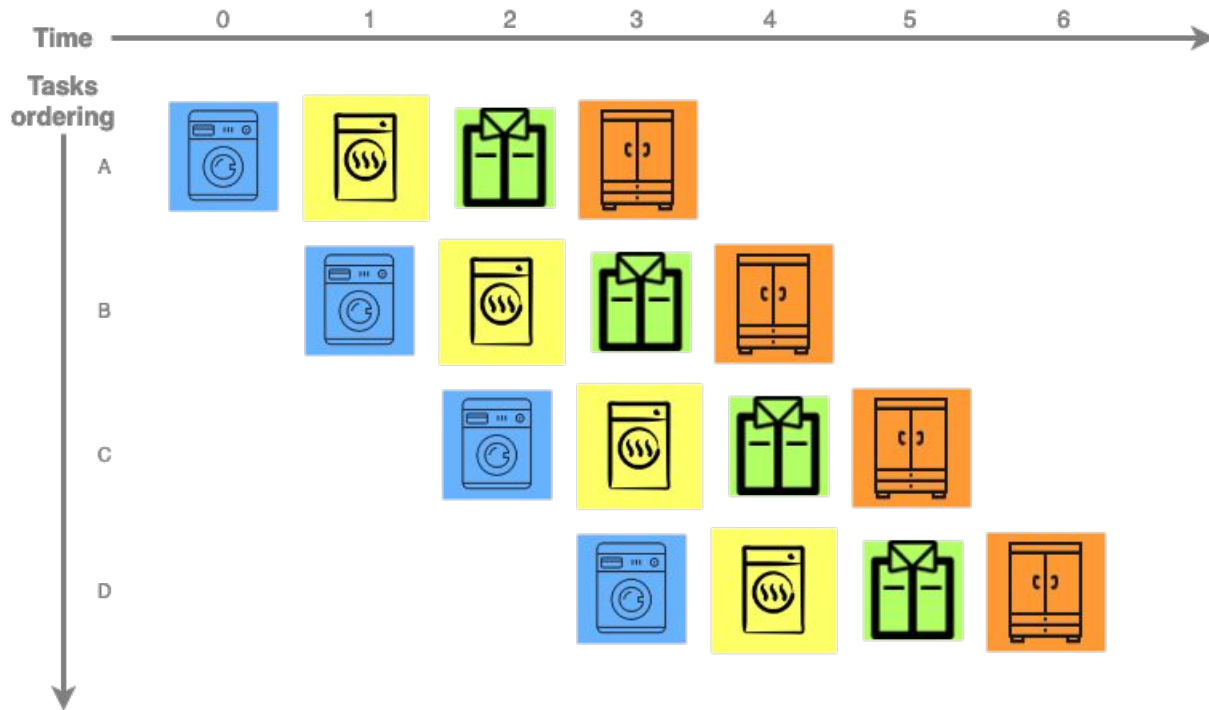


# CPU

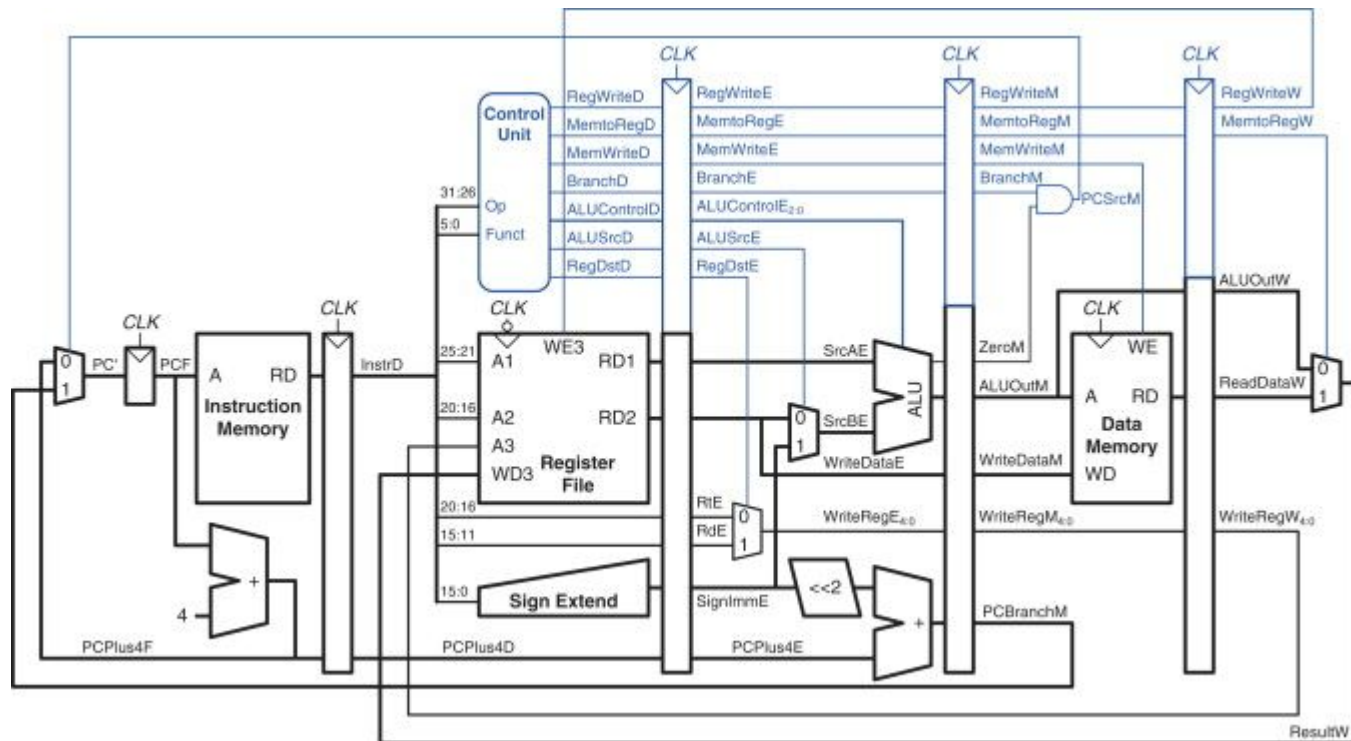
Técnicas para melhorar o desempenho:

- Pipeline
- Predição e desvio
- Execução superescalar
- Análise de fluxo de dados
- Execução especulativa

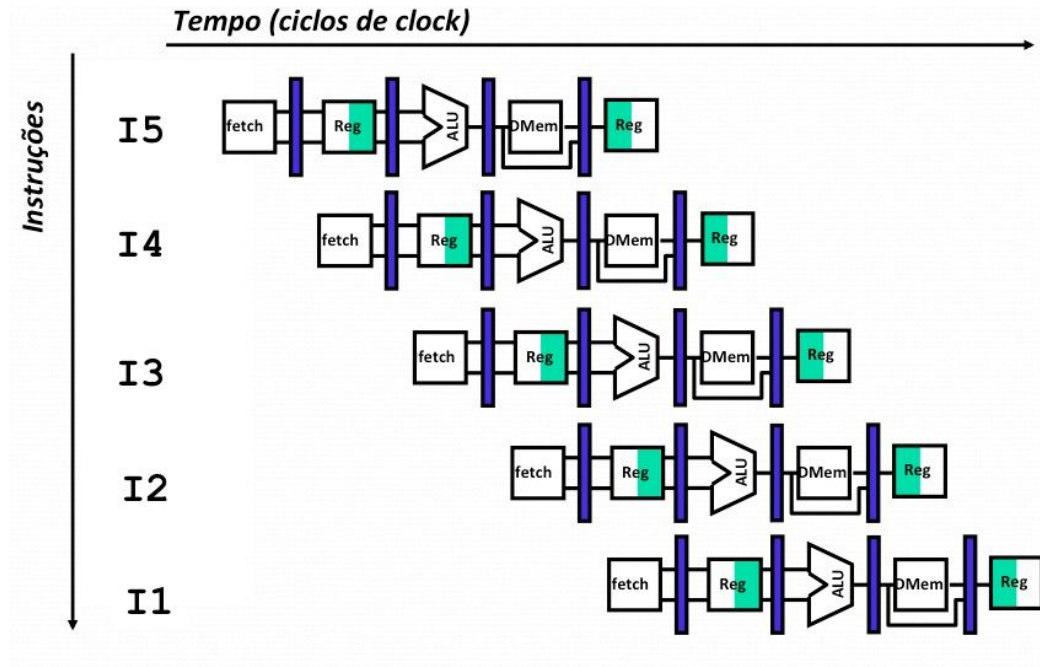
# Pipeline



# Pipeline



# Pipeline





# Predição de Desvio

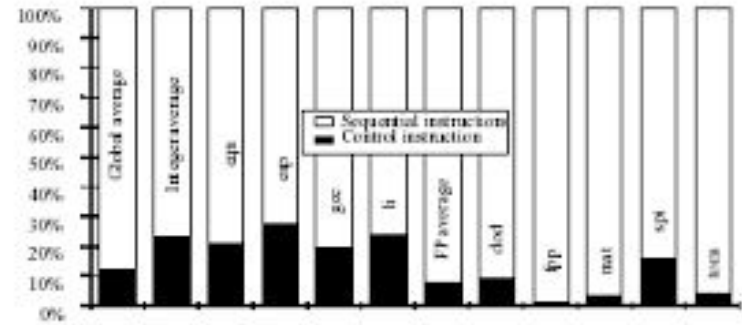
O que são desvios:

- if, else (Condicional)
- for (Condicional)
- while (Condicional)
- Funções (Incondicional)
- Métodos (incondicional)
- etc...

# Predição de Desvio

Predição de desvios:

- Aumenta o número de instruções disponíveis para execução.
- Aumenta o paralelismo a nível de instrução.
- Permite que trabalho útil seja concluído enquanto se espera pela resolução do desvio.
- Pode ser em *hardware/software*



# Execução Superescalar

- Permite a execução de mais de uma instrução por ciclo
- Permitiu o paralelismo de instruções
- Permite que diferentes estágios do pipeline sejam usados no mesmo ciclo

# Execução Superescalar

## Limitações:

- Dependência de dados verdadeira
  - *add r1, r2 # carregar registrador r1 com a soma dos conteúdos de r1 e r2*
  - *move r1, r3 # carregar registrador r3 com o conteúdo de r1*
- Dependência de desvio
- Conflito de recursos
  - Cache, barramento e etc..



# Análise de Fluxo de Dados

- Analisa as instruções a serem executadas e cria uma lista otimizada de instruções sem conflitos, com melhor utilização da CPU.

# Execução Especulativa

- Usando a predição o processador executa instruções antes de elas chegarem.



# Meltdown

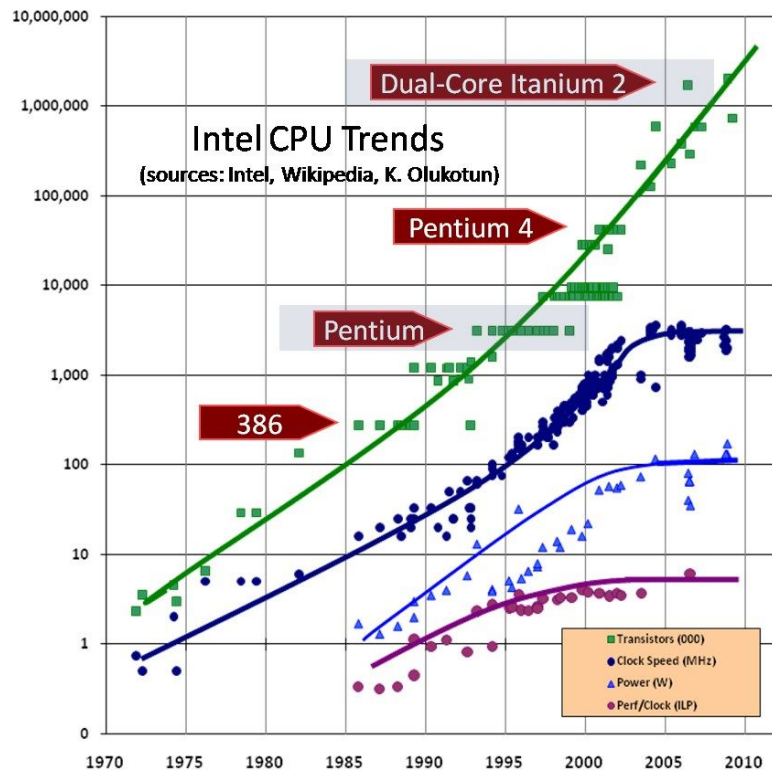
## *Meltdown*

---

Em janeiro de 2018, foi publicada uma falha relacionada com a leitura de memória protegida do **núcleo** (*kernel*), por meio da exploração da arquitetura de processadores Intel em segmentação de instruções. A falha permite que algoritmos maliciosos tenham acesso à trechos de memória, tais como senhas e outras informações protegidas, por meio da tentativa do acesso explícito a ela devido ao empilhamento e execução das instruções antes de descartá-las. Esse acesso será negado posteriormente pela unidade de controle, contudo sua execução ficará armazenada em **cache**, tornando-a acessível.

Os *updates* em **softwares** para correção desse **bug** de **hardware** praticamente desativam a técnica de pipeline nos processadores, comprometendo em até 30% de seu desempenho.

# Performance da CPU vs Frequência



# Métricas de Desempenho da CPU

- Clock
- Tempo de CPU = (instruções x CPI) / taxa de clock

# Risc x Cisc

- Complex Instruction Set Computer (CISC)
- Reduced Instruction Set Computer (RISC)

CISC	RISC
<ul style="list-style-type: none"><li>• Ênfase no hardware</li><li>• Suporta multi-clock</li><li>• Instruções complexas</li><li>• Memory-to-memory: "LOAD" and "STORE", adicionadas as instruções</li><li>• menor tamanho de código</li><li>• Mais transistor usado para implementar instruções complexas.</li></ul>	<ul style="list-style-type: none"><li>• Ênfase no software</li><li>• Single-clock,</li><li>• conjunto de instruções reduzidas</li><li>• Register to register: "LOAD" and "STORE", independente das instruções</li><li>• Maior tamanho de código</li><li>• Mais transistores para registradores.</li></ul>

# Dúvidas

- **Encontros presenciais.**
- **Encontros síncronos no google meet, marcados no calendário da turma e avisados no SIGAA.**

