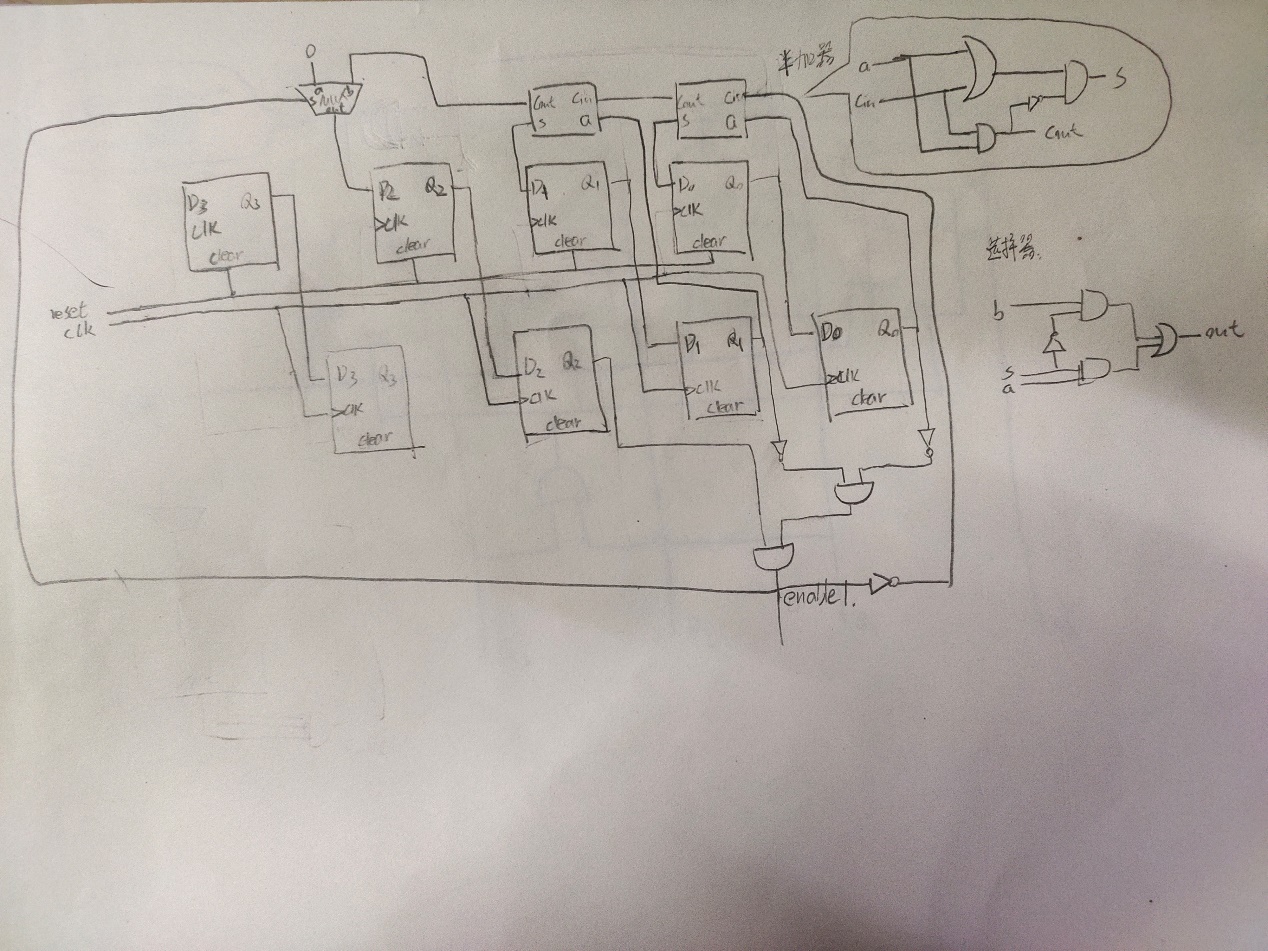
1. **如图，图中上方4个触发器表示count1next，下方四个表示count1.**

**将count1 Q0 Q1 Q2输出通过逻辑门得到enable1，通过两个半加器和一个选择器，实现次态逻辑电路的功能。**

**为清晰表示电路图，图中没有用门电路画出半加器和选择器。图中半加器和选择器可使用逻辑门实现，单个半加器门电路和选择器已给出。只需将半加器和选择器用门电路代替即符合题意。**

****

**2）**

**Verilog代码如下：**

**module count**

**(**

**input clk,**

**input reset,**

**input ena,**

**output reg[3:0] q**

**);**

**always @ (posedge clk)**

**begin**

**if(reset)**

**q <= 4'b0;**

**else if (ena)**

**begin**

**if(q == 4'd9)**

**q <= 4'd0;**

**else**

**q <= q + 1'b1;**

**end**

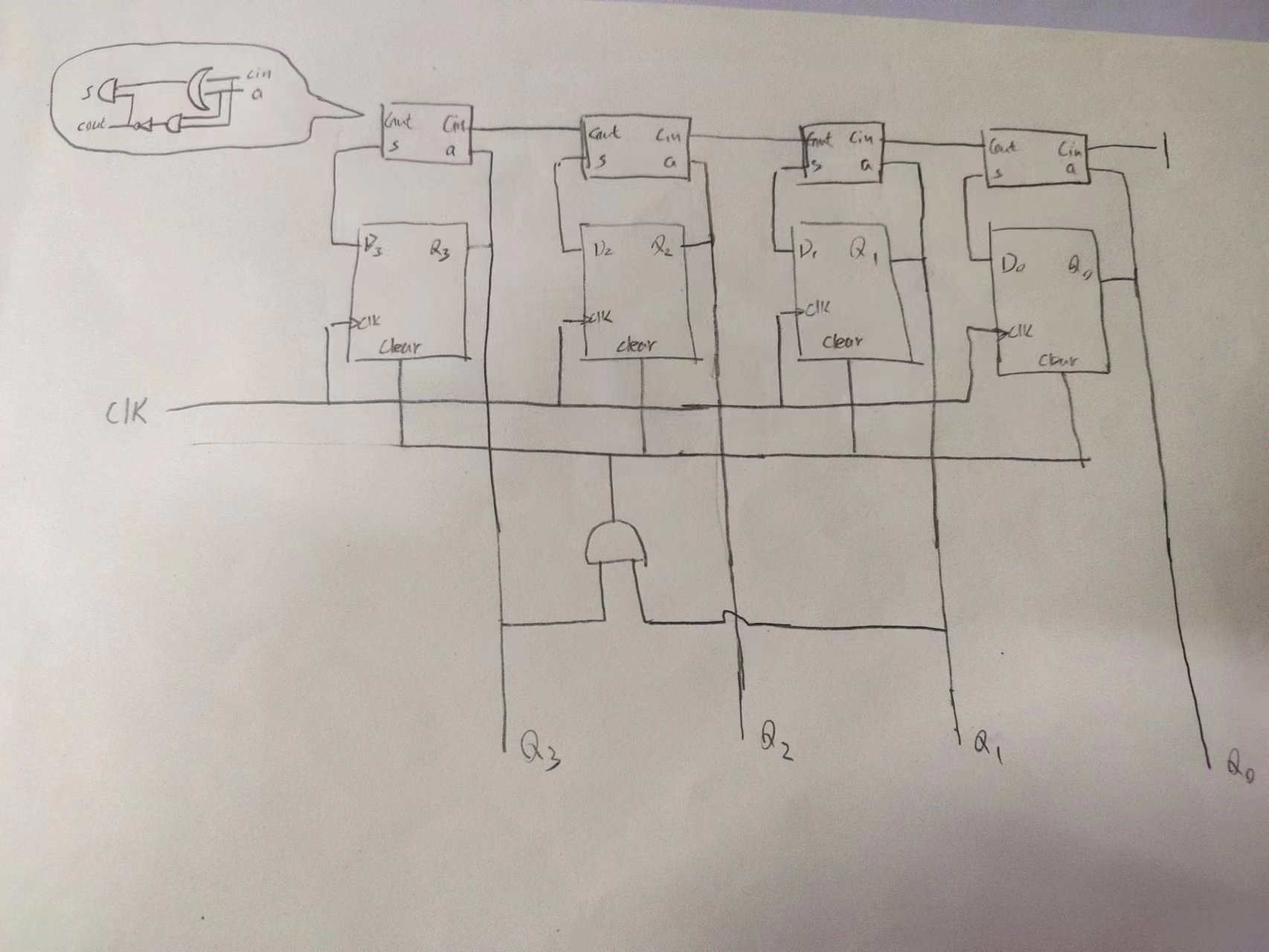
**end**

**endmodule**

**电路图绘制如下：**

**在4bit计数器基础上进行改造，将1010输出经逻辑门接回reset端，实现计数到10清零。**

**为清晰表示电路图，图中没有用门电路画出半加器。图中半加器可使用逻辑门实现，单个半加器门电路已给出。只需将四个半加器用门电路代替即符合题意。**

****