

(一)、组合电路部分 (共 45 分)

1. (10 分) 化简下列逻辑函数, 方法不限: (1) $Y_1(A, B, C, D) = AC' + ABC + ACD' + CD$

(2) $Y_2(A, B, C, D) = \sum_m(0, 1, 2, 3, 4, 6, 8, 9, 10, 11, 14)$

2. (5 分) 一个 7 段显示译码器驱动显示的原理框图如图 2 所示, 输出低电平有效。如果在系统节拍控制下依次给出如下输入端 $A_3A_2A_1A_0$ 的波形 (见图 1), 请确定 8 个节拍控制下显示器依次显示的数字的顺序。

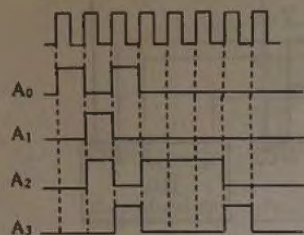


图 1

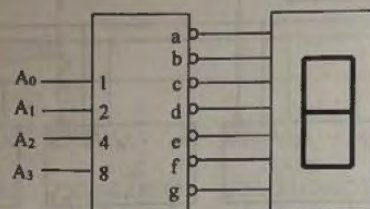


图 2

3. (10 分) 某组合逻辑电路如图 3 所示, 请给出该电路的逻辑表达式、真值表以及电路功能。

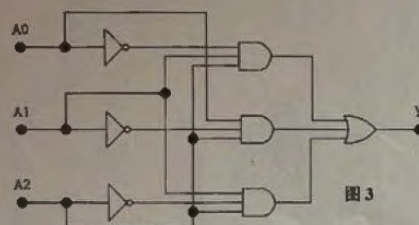


图 3

4. (10 分) 3/8 线二进制译码器 74LS138 有 3 个使能控制端, 当 $S_1=1$ 且 $S_2=S_3=0$ 时, 译码器工作。其输出为低电平有效, 其逻辑功能表达式如下:

$$Y'_0 = (A'_2A'_1A'_0)', Y'_1 = (A'_2A'_1A_0)',$$

$$Y'_2 = (A'_2A_1A'_0)', Y'_3 = (A'_2A_1A_0)',$$

$$Y'_4 = (A_2A'_1A'_0)', Y'_5 = (A_2A'_1A_0)',$$

$$Y'_6 = (A_2A_1A'_0)', Y'_7 = (A_2A_1A_0)'$$

(1) 74LS138 实现的电路如图 4 所示,

试分析电路的逻辑功能。(4 分)

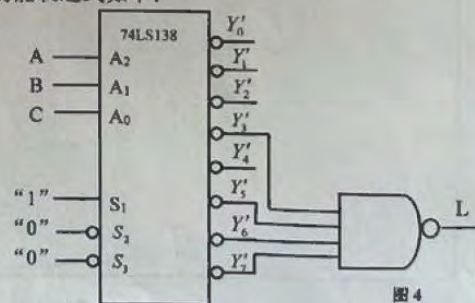


图 4

(2) 用 74LS138 实现逻辑函数: $F(A,B,C) = A\bar{B} + B\bar{C}$, 要求把输入变量 BAC 分配给 74LS138 的输入端 $A_2A_1A_0$ 。(6 分)

5. (10 分) (1) 由半加器构成的电路如图 5 所示, 说明这是一个什么电路, 并分析当输入 $A_1=0, B_1=1, B_2=1$ 时, 输出 Sum 及 Cout 分别为多少? (4 分)

(2) 设计一个 1 位的二进制数全减器 (图 6), 给出其真值表、逻辑表达式及逻辑图。(6 分)

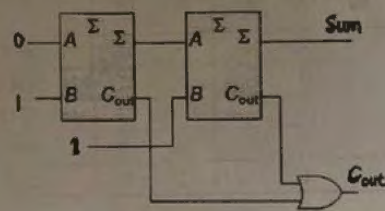


图 5

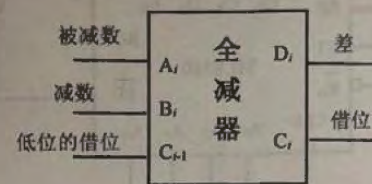


图 6

(二)、时序电路部分 (共 43 分)

6. (5 分) 写出如图 7 所示电路中触发器的特性方程和时钟条件, 并画出在给定的输入电压波形下, 触发器输出的电压波形。设触发器的初始状态为 $Q=0$ 。

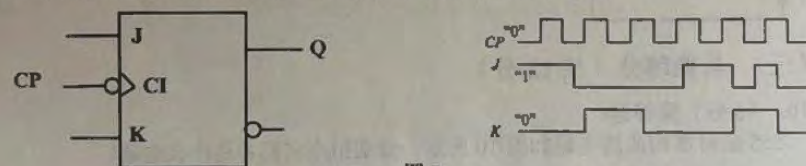


图 7

7. (10 分) 分析图 8 所示逻辑电路的逻辑功能。要求: (1) 给出电路的状态方程; (2) 给出完整的状态转换图; (3) 说明其逻辑功能。

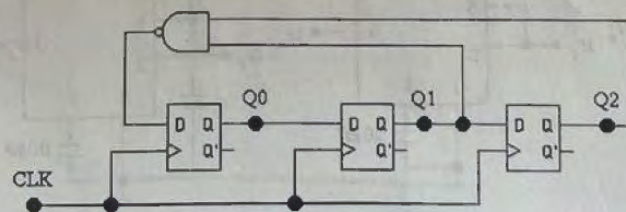


图 8

8. (18分) 同步 8421BCD 码十进制加法计数器 74LS160 的功能简表如下。要求:

(1) 74LS160 构成的电路如图 9 所示, 分析该电路的计数长度是多少? 要求列写出电路的状态转换图或者状态转换表; (6分)

(2) 用 74LS160 设计一个可控进制计数器, 当 $M=0$ 时实现 4 进制计数器; 当 $M=1$ 时实现 7 进制计数器。给出设计方案画出电路图并请标出计数输入端和进位输出端。(12分)

附: 74LS160 的功能表如下

$\overline{R_d}$	\overline{LD}	CLK	EP	ET	工作状态
0	X	X	X	X	清零
1	0	↑	X	X	预置数
1	1	X	0	1	保持
1	1	X	X	0	保持
1	1	↑	1	1	计数

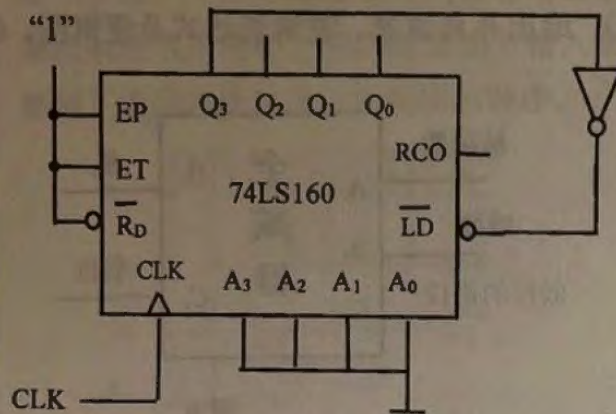


图 9

9. (10分) 试用 JK 触发器设计一个按下列状态序工作的模 4 (4 进制) 计数器。要求写出次态卡诺图或表, 状态方程, 驱动方程并画出逻辑图。

00 → 11 → 01 → 10

(三)、其他部分 (共 12 分)

10. (6 分) 简答题:

555 定时器构成的电路如图 10 所示, 分别指出它们各是什么电路?

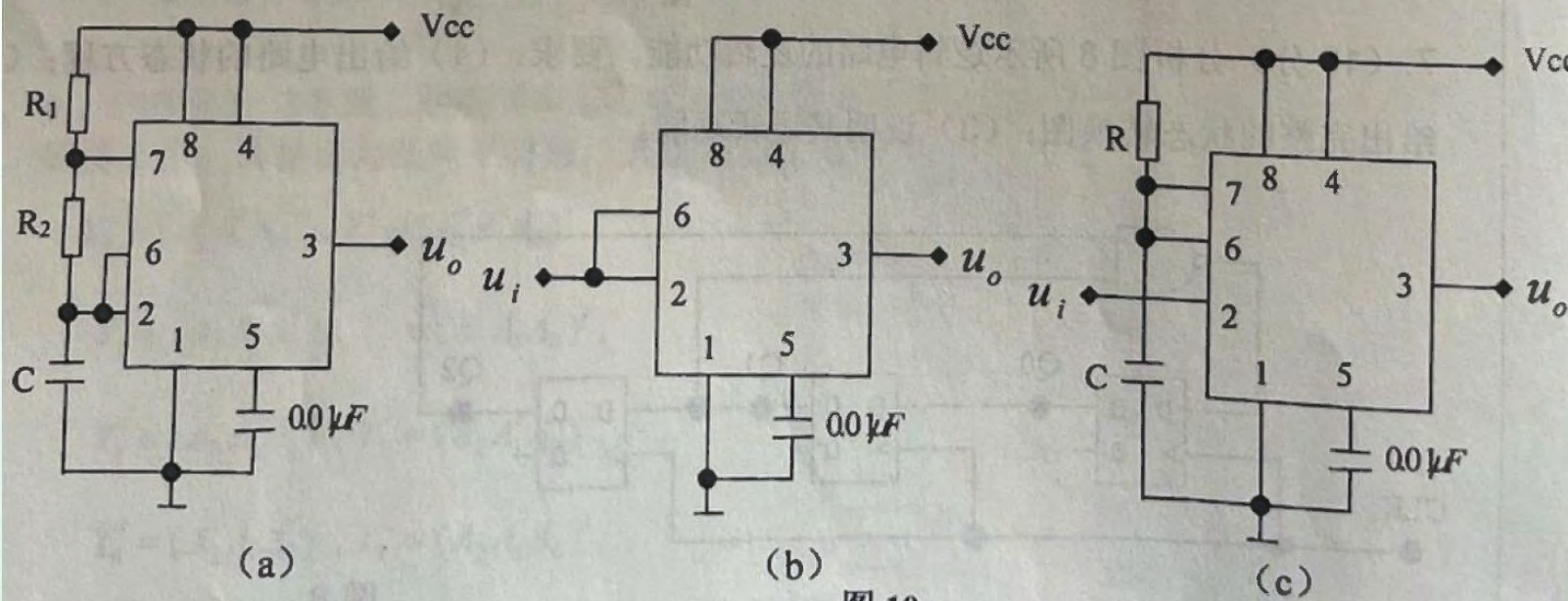


图 10

11. (6分) 电路分析计算题：4片 $1K \times 4$ 位的读写存储器 RAM 芯片 2114 和 1 片 3 线-8 线译码器 74LS138 构成电路连接如图 11 所示，试分析其电路的功能，并指明其总的存储容量是多少。

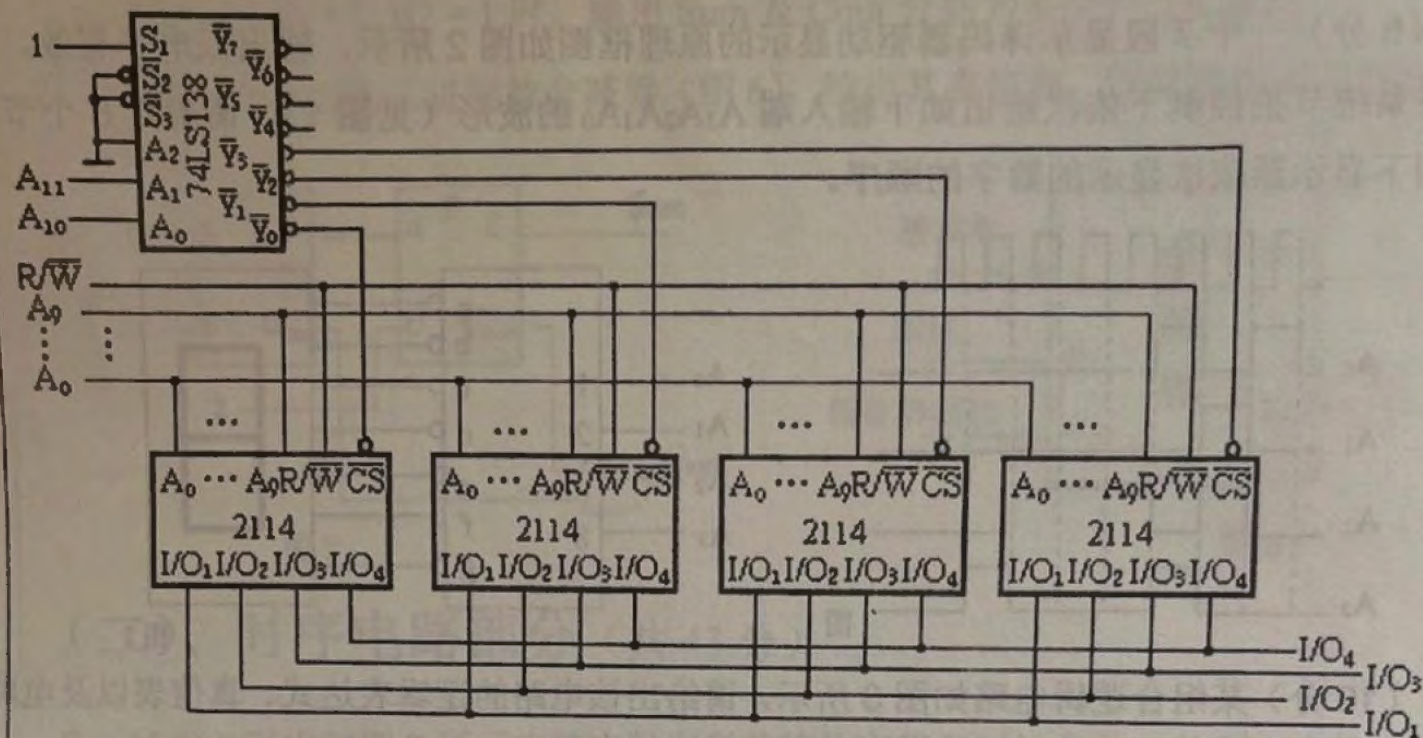


图 11