

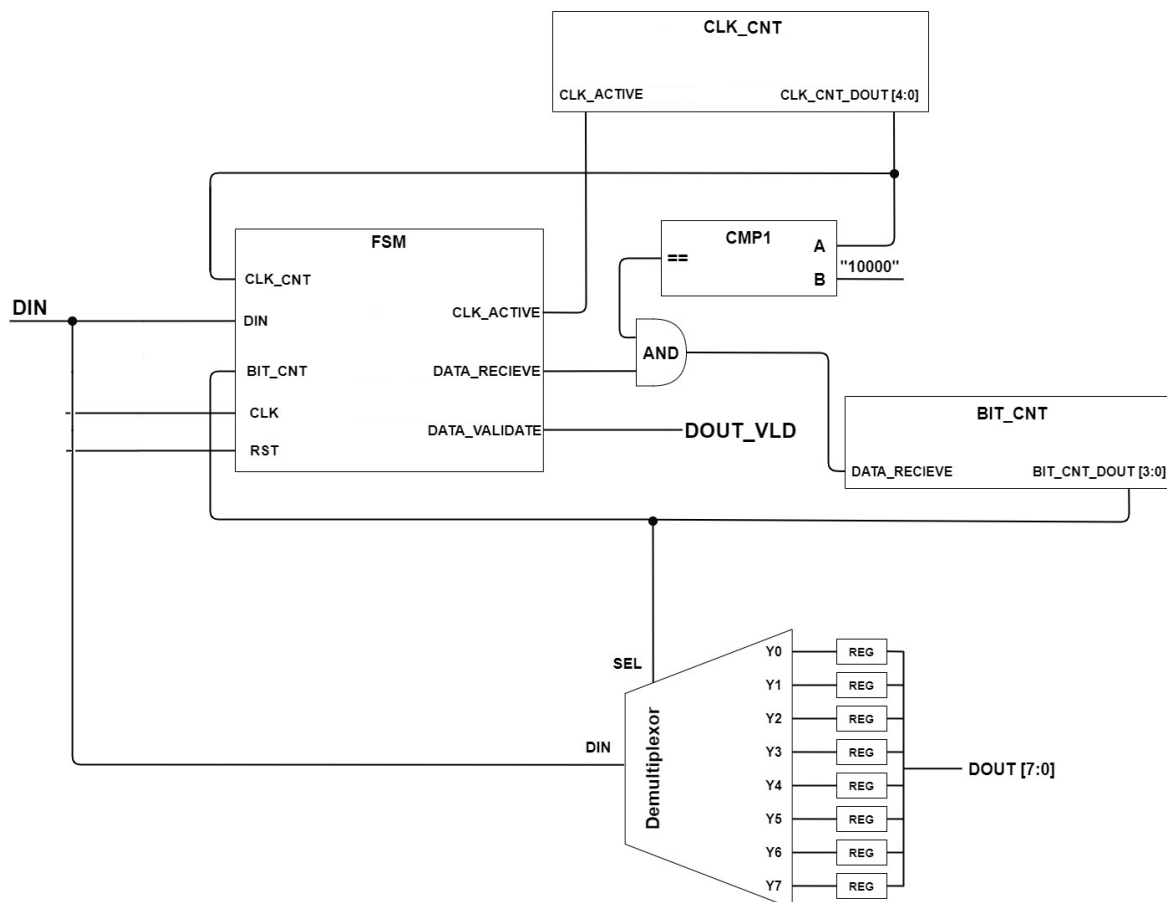
# Výstupná správa

Meno: Adam Veselý

Login: xvesela00

## Architektúra navrhnutého obvodu (RTL)

Schéma obvodu:



# Popis funkcie

## Komponenty

**FSM** – riadi chovanie obvodu, má 5 definovaných stavov, ktoré sa menia na základe vstupov.

**CLK\_CNT** – čítač, ktorý počítá hodinové cykly

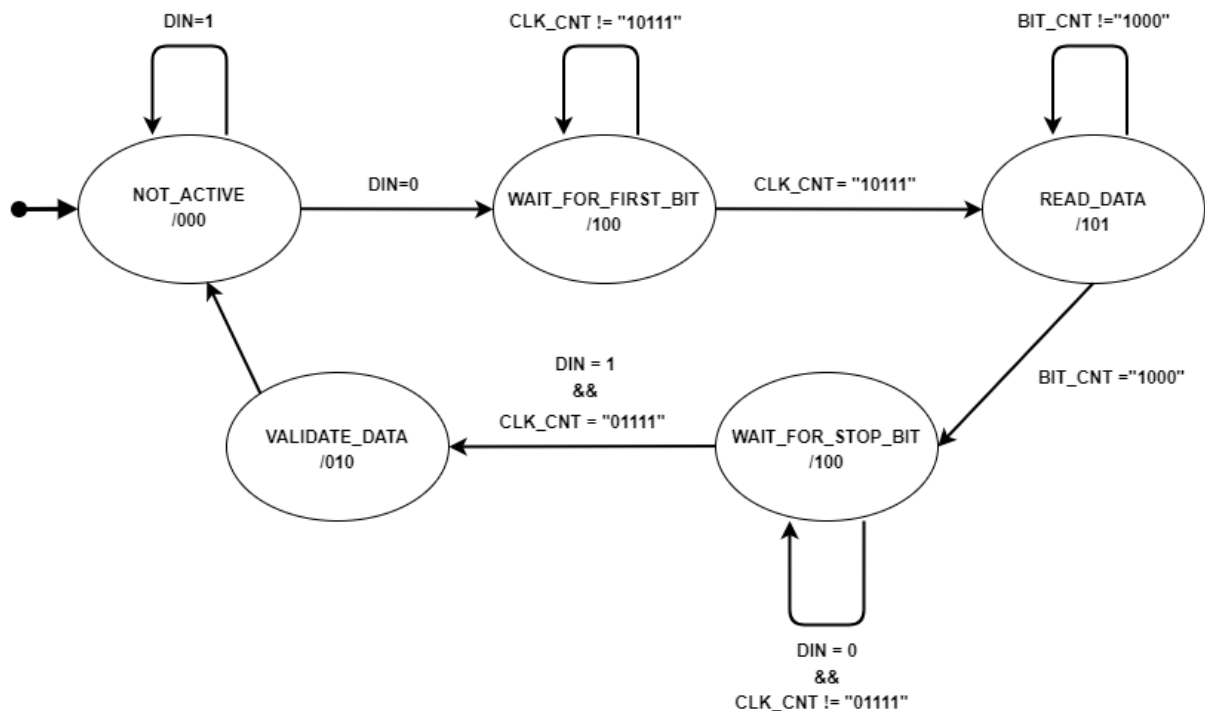
**BIT\_CNT** – čítač, ktorý počítá počet prijatých bitov (8 bitový)

**DEMULTIPLEXOR** – do konkrétnych registrov posiela hodnoty DIN, ktoré sú potom spojené do výstupu DOUT

## Funkcionalita

Obvod je zložený z konečného automatu (FSM), čítača hodinových cyklov (CLK\_CNT), čítača bitov (BIT\_CNT) a demultiplexoru. Príchodom start-bitu (logická 0) sa obvod prepne do aktívneho stavu (WAIT\_FOR\_FIRST\_BIT), v ktorom počká 23 clock cyklov. Potom je DATA\_RECEIVE ACTIVE nastavený na 1. Postupne sa začne prijímať 8 bitov dat. Medzi prenosom každého bitu ubehne 16 clock cyklov. Pri každom prenose je BIT\_CNT zvýšený o 1. Demultiplexor pomocou selektoru (SEL) pošle datový vstup (DIN) na jeden z osem výstupných registrov. Registry sú potom zobrazené na výstup DOUT. To, že validácia prebehla správne, určuje „DOUT\_VLD“, ktorý je nastavený na hodnotu 1, akonáhle nahrajeme hodnotu posledného bitu.

## Návrh automatu (FSM)



## Popis funkcie

### **Moorové výstupy**

**CLK\_ACTIVE** – hodinový čítač, aktívny v stavoch WAIT\_FOR\_FIRST\_BIT, READ\_DATA a WAIT\_FOR\_STOP\_BIT.

**DATA\_VALIDATE\_ACTIVE** – validácia prijatých dat, aktívny v stave VALIDATE\_DATA.

**DATA\_RECIEVE\_ACTIVE** – prijímanie dat, aktívny v stave READ\_DATA.

### **Stavy**

**NOT\_ACTIVE** – obvod je v neaktivnom stave.

**WAIT\_FOR\_FIRST\_BIT** – obvod je aktivovaný, čaká sa na prvý bit.

**READ\_DATA** – data sú prijaté v podobe bitov.

**WAIT\_FOR\_STOP\_BIT** – data sú prijaté.

**VALIDATE\_DATA** – validácia dat.

## Funkcionalita

Zo začiatku je obvod v stave NOT\_ACTIVE a čaká, kým dostane na vstup start-bit. Po príchodu logickej 0 prechádza do stavu WAIT\_FOR\_FIRST\_BIT. V tomto stave je 23 clock cyklov, kým prejde do stavu READ\_DATA. Postupne je načítaných 8 bitov dát a stav následne zmenený na WAIT\_FOR\_STOP\_BIT. Posledný stav VALIDATE\_DATA začína, akonáhle na vstup príde stop-bit a CLK\_COUNTER má hodnotu 15. V tomto stave prebehne validácia dát a schéma sa vráti späť na začiatok do defaultného stavu NOT\_ACTIVE.

## Snímok obrazovky zo simulácií

