

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
НАЦІОНАЛЬНИЙ УНІВЕРСИТЕТ "ЛЬВІВСЬКА ПОЛІТЕХНІКА"

Кафедра ЕОМ



Звіт

Лабораторна робота 1
з дисципліни «Моделювання комп'ютерних систем»
Варіант 27

Виконав:
ст.гр. КІ-202
Хомин П. Л.
Прийняв:
Козак Н. Б.

Львів – 2024
Лабораторна робота №1

Тема роботи: Ознайомлення із середовищем Xilinx ISE. Ознайомлення із лабораторним стендом Elbert V2 – Spartan 3A FPGA.

Мета роботи: Використовуючи компоненти з бібліотеки, реалізувати дешифратор та просимулювати його роботу.

Варіант 17:

in_1	in_0	out_0	out_1	out_2	out_3	out_4	out_5
0	0	1	1	0	0	1	0
0	1	1	1	0	1	0	0
1	0	0	1	1	1	0	0
1	1	1	0	0	0	1	1

Виконання роботи

За допомогою елементів OUT_0: 2АБО з інвертором, OUT_1: 2АБО з двома інверторами, OUT_2: 2І з інвертором, OUT_3: два 2І з інвертором та 2 АБО, OUT_4: 2І, 2І з інверторами та 2АБО, OUT_5: 2І створюємо схему. Схема зображена на рис.1.

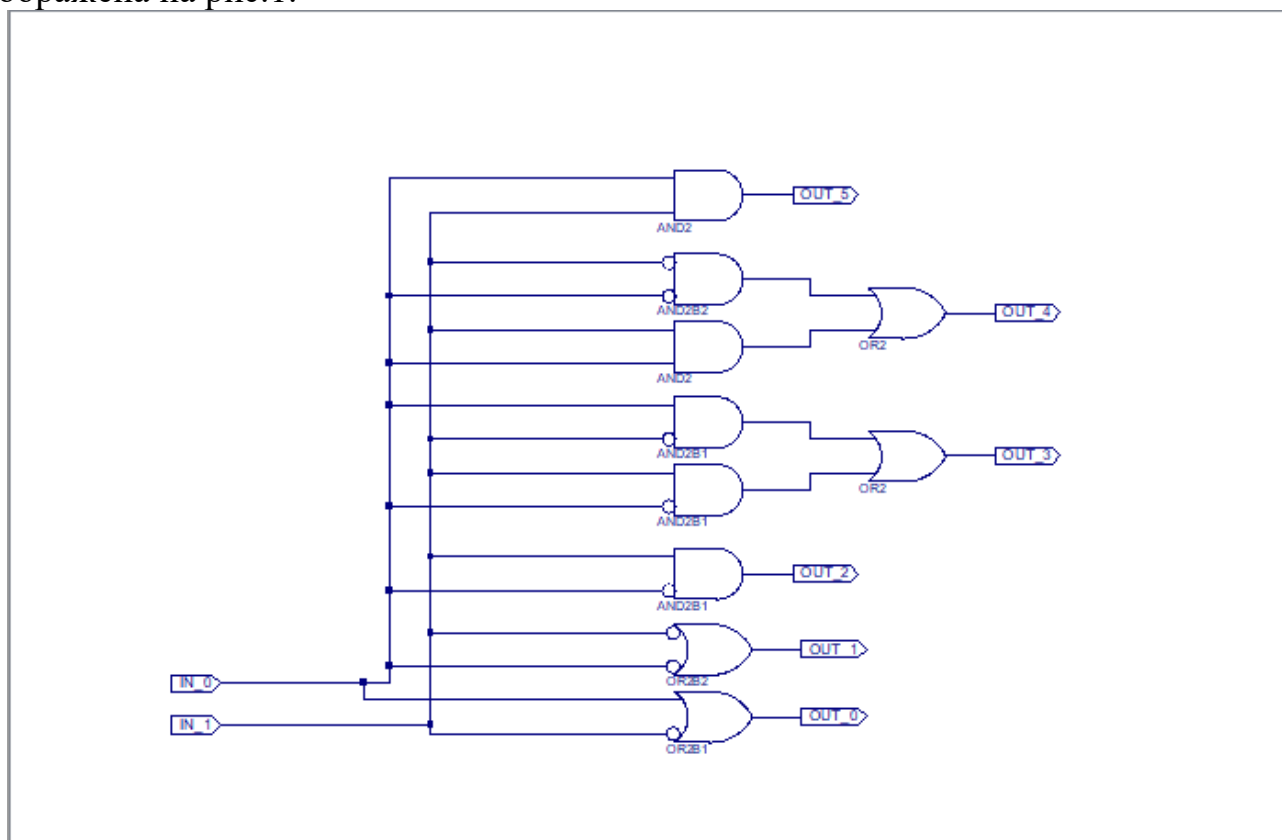


Рис.1. Реалізована схема згідно завдання.

Після цього створив файл з розширенням .ucf, в якому міститься даний код:

```
#+++++
+++++
# This file is a .ucf for ElbertV2 Development Board #
```

```

# To use it in your project :                                     #
# * Remove or comment the lines corresponding to unused pins in the project      #
# * Rename the used signals according to the your project          #

#++++++
+++++

#####
#####

#
                                UCF for ElbertV2 Development Board                                #

#####
#####

CONFIG VCCAUX = "3.3" ;

# Clock 12 MHz

# NET "Clk"                LOC = P129 | IOSTANDARD = LVCMOS33 | PERIOD = 12MHz;

#####
#####

#                                LED

#####

NET "OUT_0"                LOC = P46 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
NET "OUT_1"                LOC = P47 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
NET "OUT_2"                LOC = P48 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
NET "OUT_3"                LOC = P49 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
NET "OUT_4"                LOC = P50 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
NET "OUT_5"                LOC = P51 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
# NET "LED[6]"             LOC = P54 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
# NET "LED[7]"             LOC = P55 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;

#####
#####

#                                DP Switches

#####

NET "IN_0"                LOC = P70 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
NET "IN_1"                LOC = P69 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;

# NET "DPSwitch[2]"        LOC = P68 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
# NET "DPSwitch[3]"        LOC = P64 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
# NET "DPSwitch[4]"        LOC = P63 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;

```

```
# NET "DPSwitch[5]"      LOC = P60  | PULLUP  | IOSTANDARD = LVCMOS33 | SLEW = SLOW |
DRIVE = 12;

# NET "DPSwitch[6]"      LOC = P59  | PULLUP  | IOSTANDARD = LVCMOS33 | SLEW = SLOW |
DRIVE = 12;

# NET "DPSwitch[7]"      LOC = P58  | PULLUP  | IOSTANDARD = LVCMOS33 | SLEW = SLOW |
DRIVE = 12;
```

Після запуску в режимі симуляції ми отримали такий графік:

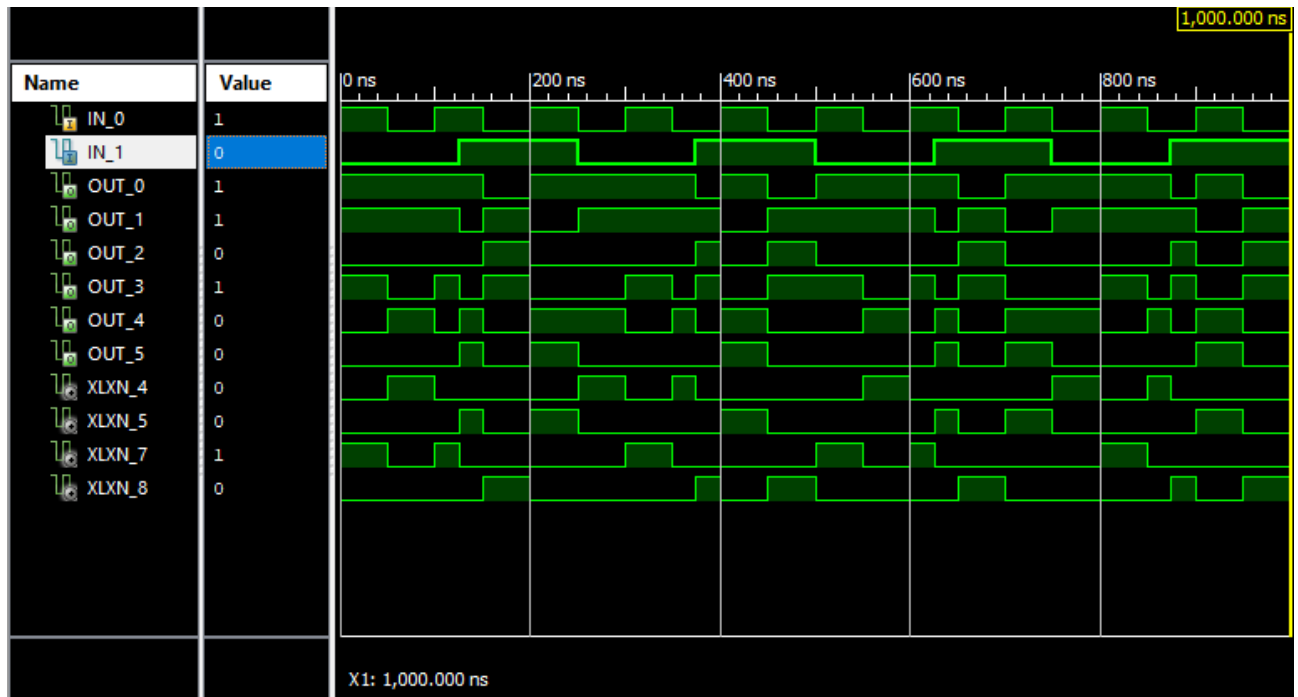


Рис.2. симуляції роботи схеми з встановленими вхідними значеннями протягом 1000 ns.

На ньому ми можемо побачити, що всі задані варіантом комбінації збігаються.

Висновок: Я познайомився із середовищем Xilinx, змодельював схему згідно завдання та протестував її на тестовому стенді.