

电子科技大学电子科学与工程学院

实 验 报 告

(2022 -2023)

课程名称 IC 综合实验 2

实验名称 IC 物理验证

指导老师 王忆文

学生姓名 曾立伟, 高德睿, 蒋熠凡, 易健驰

学生学号 2020340105007, 2020340102017,
2020340102009, 2020340107022

电子科技大学

实 验 报 告

实验地点：清水河校区芯火基地 B 区 519

实验时间：2022.11 – 2022.12

报告目录

- 一、实验室名称：清水河校区芯火基地 B 区 519
- 二、实验项目名称：IC 综合实验 2（IC 设计）– 物理验证
- 三、实验学时：100h
- 四、实验原理：请附页
- 五、实验目的：请附页
- 六、实验内容：请附页
- 七、实验器材（设备、元器件）：请附页
- 八、实验步骤：请附页
- 九、实验数据及结果分析：请附页
- 十、实验结论：请附页
- 十一、总结及心得体会：请附页
- 十二、对本实验过程及方法、手段的改进建议：请附页

实验报告成绩：_____

附页：

四、实验原理：

1. Virtuoso

Cadence Virtuoso 定制设计平台是一套全面的集成电路（IC）设计系统，能够在多个工艺节点上加速定制 IC 的精确版图设计，其定制设计平台为模拟、射频以及混合信号 IC 提供了极其方便、快捷而精确的设计方式。其内部集成的版图编辑器（Layout Editor）是业界标准的基本全定制物理版图设计工具，可以完成层次化、自顶而下的定制版图设计。此次实验经过 ICC 后生成的版图文件还需要通过 virtuoso 进行简单的修正，确保符合工艺标准。

2. Virtuoso layout 常用快捷键

编辑操作		对象选择	
m	移动	Shift+左键	加选对象
p	画线工具	Ctrl+左键	减选对象
a	对齐工具	Ctrl+A	选择全部对象
k	创建标尺	Ctrl+D	取消选择全部
l	创建 Label	F4	切换全部/局部选择
i	调用器件	F4+左键	选择一条边
o	调用通孔		
q	显示属性	Layer Palette 图层面板	
c	在当前 Cell 中复制图形	中键	控制显示/隐藏层次
y	可复制到另一个 Cell 中	右键	控制该层次是否可被鼠标选中
Shift+Y	可黏贴到另一个 Cell 中	Shift+左键	设置层次颜色等信息
Shift+C	裁切	Shift+中键	只显示选中层次，其余的隐藏
Shift+M	合并图形	Shift+右键	只可移动选中的层次

五、实验目的：

将 icc 得到的版图文件进行修正，消除必要的 drc 错误，以及清除掉 lvs 错误，使得最终的版图文件匹配工艺，符合流片基本要求。

六、实验内容：

使用 virtuoso 在 layout 界面手动清除掉不合理的 drc 错误和 lvs 错误。

DRC：我们仅遇到了两处需要修改的 DRC 错误，都是 M2 布线的间距报错，在开启 M1、M2、M3 以及这三层之间的两个通孔的图层显示后，确保不会影响 lvs 的前提下，一处通过对于报错位置的布线进行了简单的平移解决；另一处通过观察，发现填充空隙不影响 net 端口，于是通过填充空隙解决。

LVS：我们所遇到的报错正如老师所指导的那样，仅仅是因为原理图存在的电源端口与浮空端口在版图文件中并没有声明。

四种电源网络可以直接通过电源 pad 快速找到，通过观察，可以发现电源端口在电源 pad 处是通过所有通孔贯穿了 m1 到 m6 所有金属层的，最终我们选择在 m6 金属层加入 label 连接上四种电源网络。而浮空端口，在清除掉电源 lvs 报错以后重新运行 lvs 即可进入错误详情，看到原理图中的 fp 端口的连接情况，此时在 lvs 窗口原理图中选中 fp 网络，即可发现在 layout 界面，对应网络已经高亮，我们组的 fp 网络布线位于 m1 层与 m2 层，我们选择在 m2 层的一处该网络布线处加入 label。

net 种类	连接的 Pad	连接的原理图 net 名
IO 电源	PVDD2W	VDD33
	PVSS2W	VSSD
CORE 电源	PVDD1W	VDD
	PVSS1W	VSS
FP 端口	/	FP

七、实验器材（设备、元器件）：

提供预装好相关软件的 Linux 操作系统的云服务器

八、实验步骤：

- 1.运行脚本创建 virtuoso 可识别的库，并将 icc 导出的 gds 版图文件导入库。
- 2.简单修改老师提供的 drc_set，然后在 gui 界面 drc 直接应用这个配置，run drc，之后在报错窗口将无法忽视的 drc 错误通过手动修改布局与布线，消除掉。
- 3.简单修改老师提供的 lvs_set 与 lvs 前的文件处理脚本，在 linux 终端运行文件处理脚本，之后在 virtuoso gui 界面 lvs 应用 lvs_set 的配置，run lvs，之后逐个消除 lvs 错误。

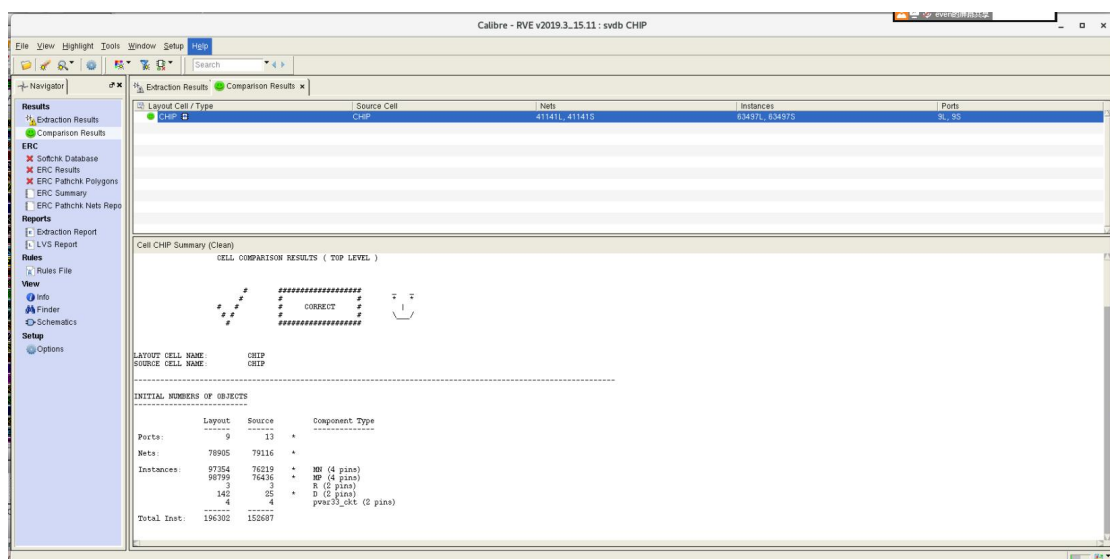
九、实验数据及结果分析：

1.drc 汇报界面



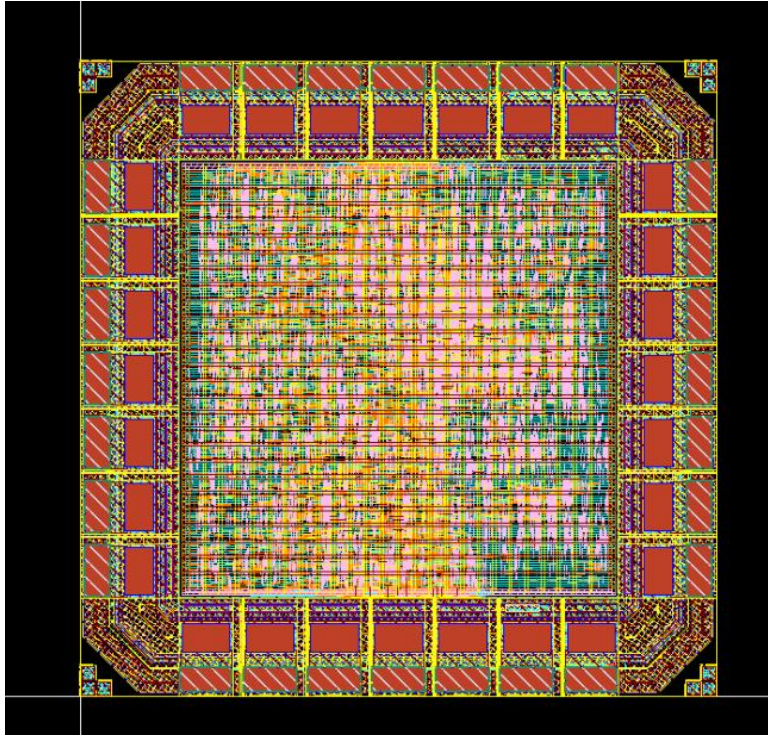
剩余的 DRC 报错都是本身引用的物理库 cell 内部的报错，我们无需管。

2.lvs 汇报界面



Lvs 成功通过。

3.最终的版图呈现（显示全部层）



十、实验结论：

在老师的指导下，我们精准快速的解决了 DRC 和 LVS 错误，成功的得到了最终符合标准的版图文件。

十一、总结及心得体会：

由于此次的版图文件是 icc 自动布局布线的产物，因此实际上在导出的时候是符合相关标准的，仅仅因为某些对接的小问题产生了个别的报错，因此在老师的指导下，我们精准快速的解决了 DRC 和 LVS 错误，成功的得到了最终符合标准的版图文件。

十二、对本实验过程及方法、手段的改进建议：

无