电子科技大学电子科学与工程学院

**实 验 报 告**

**(2022-2023-1)**

**课程名称**  IC综合实验2（IC设计）

**实验名称** 逻辑综合

**指导老师** 王忆文

**学生姓名** 曾立伟，高德睿，蒋熠凡，易健驰

**学生学号** 2020340105007，2020340102017，

2020340102009，2020340107022

**电子科技大学电子科学与工程学院**

**电 子 科 技 大 学**

**实 验 报 告**

**实验地点：清水河校区芯火基地B区519**

**实验时间：2022.11 – 2022.12**

**报告目录**

**一、实验室名称：清水河校区芯火基地B区519**

**二、实验项目名称：IC综合实验2（IC设计）– 逻辑综合**

**三、实验学时：100H**

**四、实验原理：请附页**

**五、实验目的：请附页**

**六、实验内容：请附页**

**七、实验器材（设备、元器件）：请附页**

**八、实验步骤：请附页**

**九、实验数据及结果分析：请附页**

**十、实验结论：请附页**

**十一、总结及心得体会：请附页**

**十二、对本实验过程及方法、手段的改进建议：请附页**

**实验报告成绩：**

**附页：**

**四、实验原理：**

逻辑综合的主要目的

* 域的转换 （Domain Translation）
  + - * Translate RTL into netlist
* 优化（Optimization）
  + - * Do timing and area optimization

逻辑综合中：面积和速度的平衡

* 优化约束（Optimization Constraint）
  + Timing optimization constraint
    - set\_max\_delay 25 from a to z
  + Area optimization constraint
    - set\_max\_area 0
* 设计规则（Design Rule）
  + Set\_max\_transition
  + Set\_max\_fan\_out
  + Etc.
* 逻辑综合的EDA软件：Synopsy的Design Compiler（简称DC）
* 逻辑综合过后，还要通过生成的netlist进行门级仿真，验证电路功能是否正确

图示

描述已自动生成

图4-1 DC的输入和输出

**五、实验目的：**

将前端设计的RTL代码通过逻辑综合进行电路优化和域的转化，将设计从RTL代码转化成网表（netlist），得到时序约束文件（sdc），验证时序无误，并且通过门级仿真之后提供给后端设计使用。

**六、实验内容：**

运行DC代码，得到网表和时序约束文件，并进行门级仿真。

**七、实验器材（设备、元器件）：**

电脑，服务器，Verilog Compile Simulator，Design Compiler。

**八、实验步骤：**

1. 在syn文件夹打开DC，导入rtl代码；
2. 设置DC的工艺库，进行链接，实例唯一化；
3. 设置时序约束（latency、uncertainty、input/output delay，etc）；
4. 编译；
5. 查看时序报告，检查时序违例；
6. 查看面积报告，检查面积是否充足；
7. 调用tb和netlist，进行门级仿真；
8. 利用DVE进行debug和观察波形是否正确；
9. 输出.sdc文件和.v文件；

为了方便在前端代码修改后能快速完成逻辑综合，我们将该步骤脚本化，脚本代码如下

文本, 信件

描述已自动生成

图形用户界面, 文本, 应用程序, 电子邮件

描述已自动生成

文本, 信件

描述已自动生成

图8-1 DC脚本代码

**九、实验数据及结果分析：**

逻辑综合时序报告如下图，可见关键路径的要求时间为39.40ns，实际数据到达的时间是24.81ns，满足时序要求。

文本

描述已自动生成

图9-1 逻辑综合时序报告

逻辑综合面积报告如下图，可见总的cell面积是273485.01mm2。其中core单独逻辑综合得到的最终cell面积约为237000.00mm2，满足设计和工艺要求。

图形用户界面, 文本, 应用程序, 电子邮件

描述已自动生成

图9-2 逻辑综合面积报告

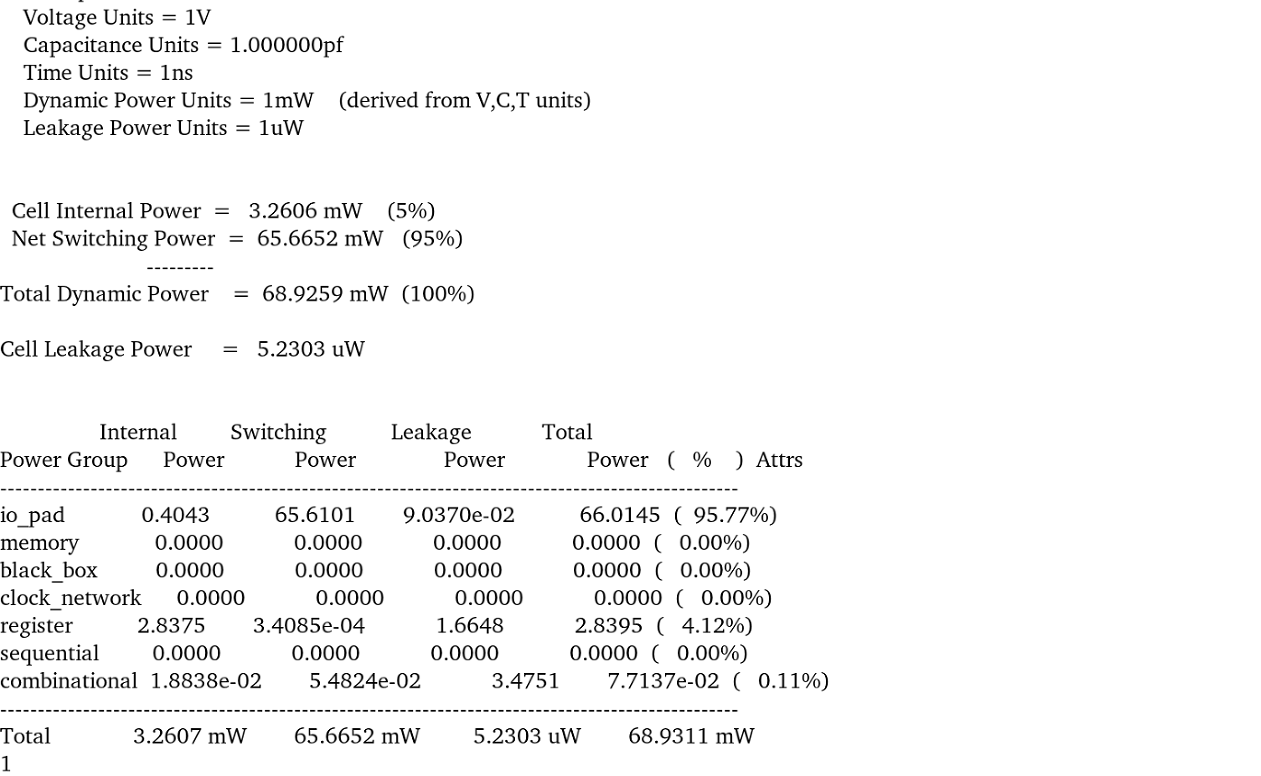


图9-3 逻辑综合功耗报告

我们对逻辑综合后的门级网表进行了门级仿真，仿真结果如下图，说明功能验证正确。

文本, 信件

描述已自动生成

图9-4 门仿结果

**十、实验结论：**

1. 成功利用DC对前端设计的RTL代码进行了逻辑综合，得到了网表文件和时序约束文件；
2. 对生成的网表文件进行了门级仿真，可以观察到给处理器的指令能够正确执行，说明当前功能验证正确；
3. cell的面积符合设计和工艺要求；
4. 可以进行下一步后端设计。

**十一、总结及心得体会：**

在本次实验里，我们学会了如何利用DC进行逻辑综合以及如何进行门级仿真。虽然实验步骤看上去很简单，但实际做起来却有很多值得注意的细节，比如库文件路径的设置等等。在这其中我们也遇到了很多指导书上没有解决方案的问题以及大大小小的错误，但是助教都特别耐心地指导我们如何解决，并且教会了我们指导书之外的命令和用法以及如何从错误日志中分析出问题所在。最终，我们在不断试错和摸索中完成了逻辑综合，并且将整个过程简化为了一个脚本，方便在前端代码修改后能快速完成逻辑综合，令我们后续实验高效了很多。总的来说，这次实验让我们对DC更加熟悉，也让我们受益良多。

**十二、对本实验过程及方法、手段的改进建议：**

在逻辑综合步骤提供了两本指导书，并且其中讲的代码不一致，容易导致差错，建议适当合并。此外，指导书内的讲解代码覆盖不全面，有很多需要的指令没有提及，例如analyze这种，希望以后的指导书能够更加详实（不然助教真的太辛苦啦）。