

IP 核封装过程

以一个基本门电路设计与封装为例，使用 Verilog HDL 语言的数据流描述方法设计一个数据宽度可在 1~32 之间变化的 2 输入与门，利用仿真来验证设计，并将该与门封装成可变数据宽度参数的 IP 核。

一、设计模块

- 1、打开vivado，新建工程shiyian1-2(名字自己取，不能含有中文或特殊字符)，在工程文件中新建设计文件(andgate.v)，并输入设计代码，实现一个数据宽度可在1~32之间变化的2输入与门的电路模块。

```
module andgate
#(parameter WIDTH=8)          //指定数据宽度参数，缺省值是8
(
    input [(WIDTH-1):0] a,      // 出具位数由参数WIDTH决定
    input [(WIDTH-1):0] b,
    output [(WIDTH-1):0] c
);

    assign c = a & b;           // 2输入与门
endmodule
```

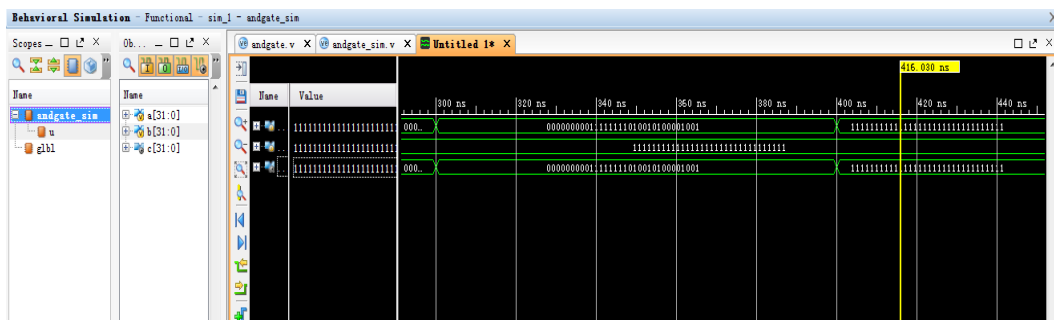
- 2、编写仿真文件，并进行仿真。

a) 仿真 32 位的 2 输入与门(andgate_sim.v)，情况如下：

```
module andgate_sim(
);
// input
reg [31:0] a=32'h00000000;
reg [31:0] b=32'h00000000;

//outbut
wire [31:0] c;
andgate #(32) u(a,b,c); // 实例化与门的时候，设定宽度为32

initial begin
#100 a=32'hFFFFFFF;
#100 begin a=32'h00000000;b=32'hFFFFFFF;end
#100 a = 32'h007F509;
#100 a=32'hFFFFFFF;
end
endmodule
```

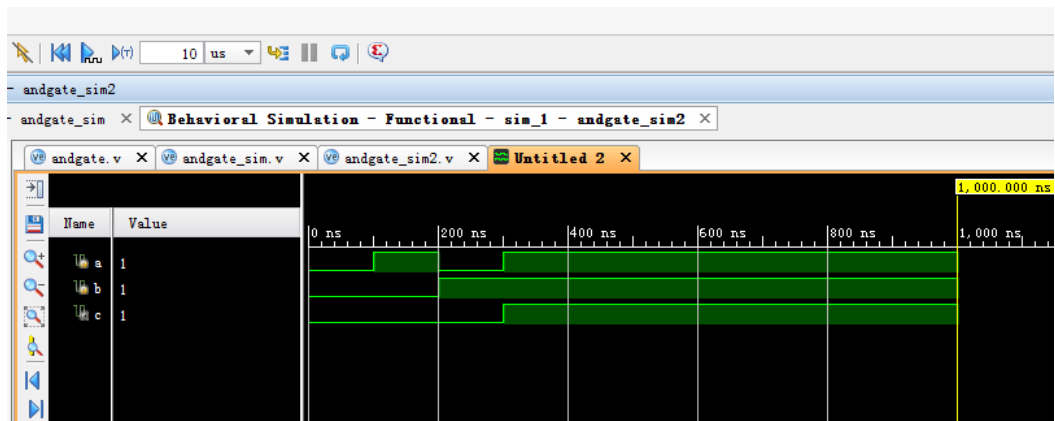


b) 仿真 1 位的 2 输入与门(andgate_sim2.v)，情况如下：

```

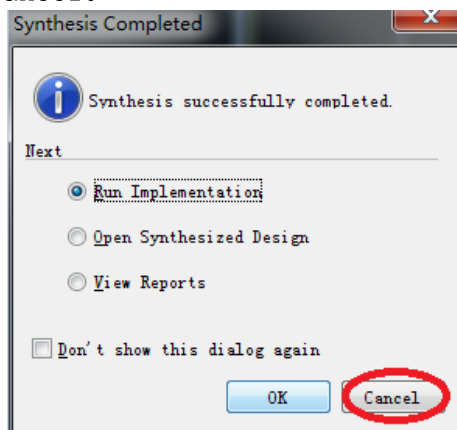
module andgate_sim2 ( );
// input
reg a=0;
reg b=0;
//outbut
wire c;
andgate #(1) u(a,b,c); // 实例化与门的时候，设定宽度为1
initial begin
#100 a=1;
#100 begin a=0;b=1;end
#100 a=1;
end
endmodule

```

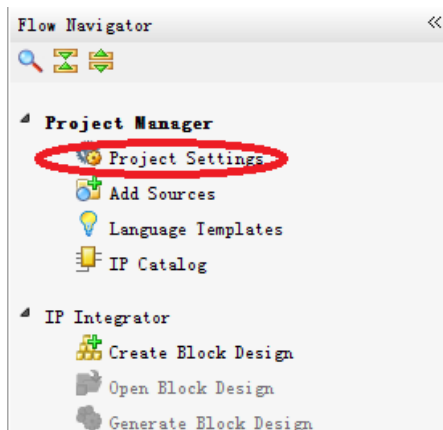


二、验证无误后，封装IP核

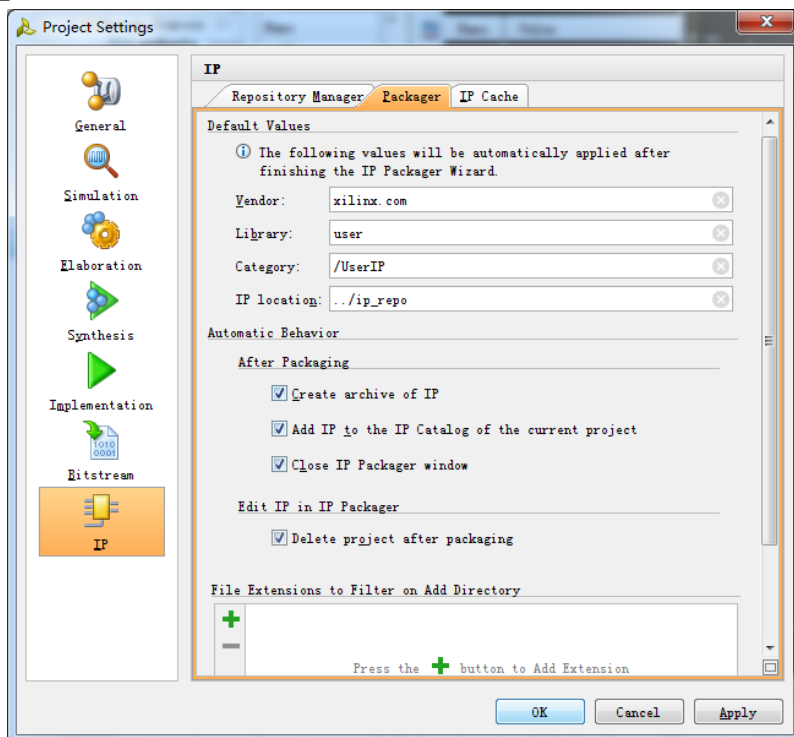
- 1、对仿真正确的 andgate 模块进行综合，综合结束后在出现的对话框中选择 Cancel。



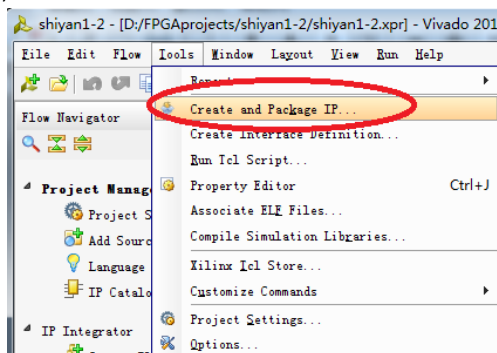
- 2、在 Flow Navigator 中选择 Project Settings。

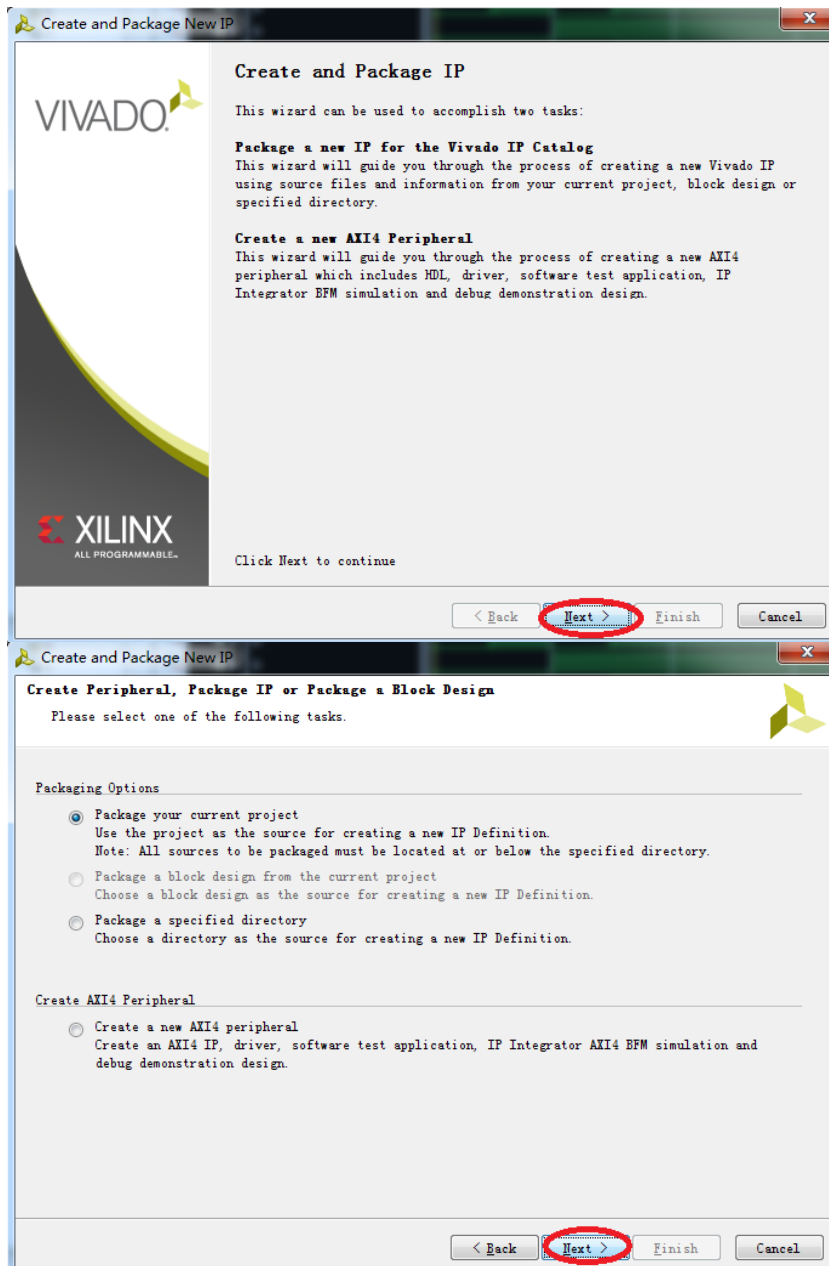


- 3、在 Project Settings 对话框中选择 IP，并进入 Packager 选项卡，如图进行设置。设置好后，点击 Apply，然后点击 OK。记住这里设置的各个属性。

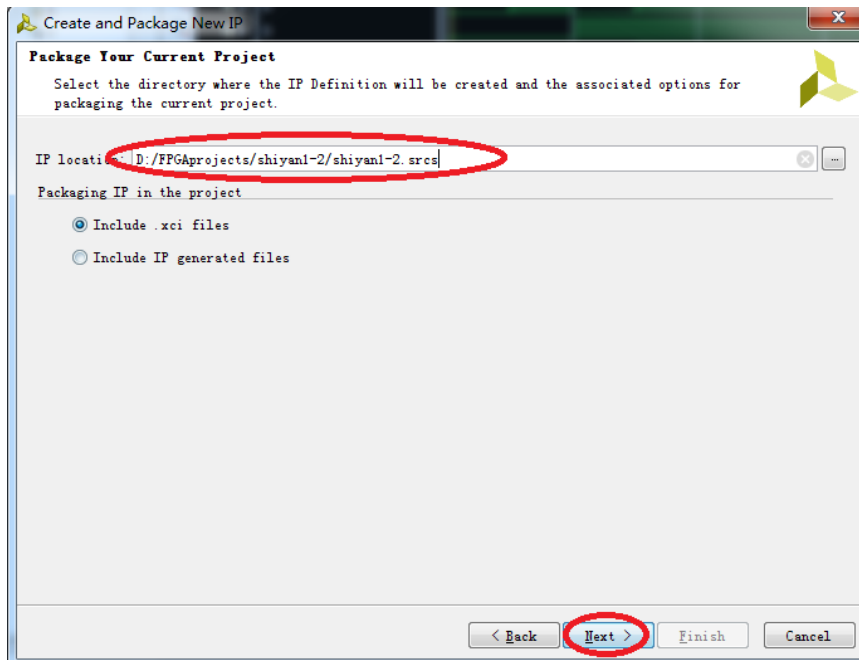


- 4、在 Vivado 的菜单栏中选择 Tools->Create and Package IP…。在弹出的窗口中点击 Next。在之后弹出的窗口中如图 2-39 所示设置封装选项。点击 Next。

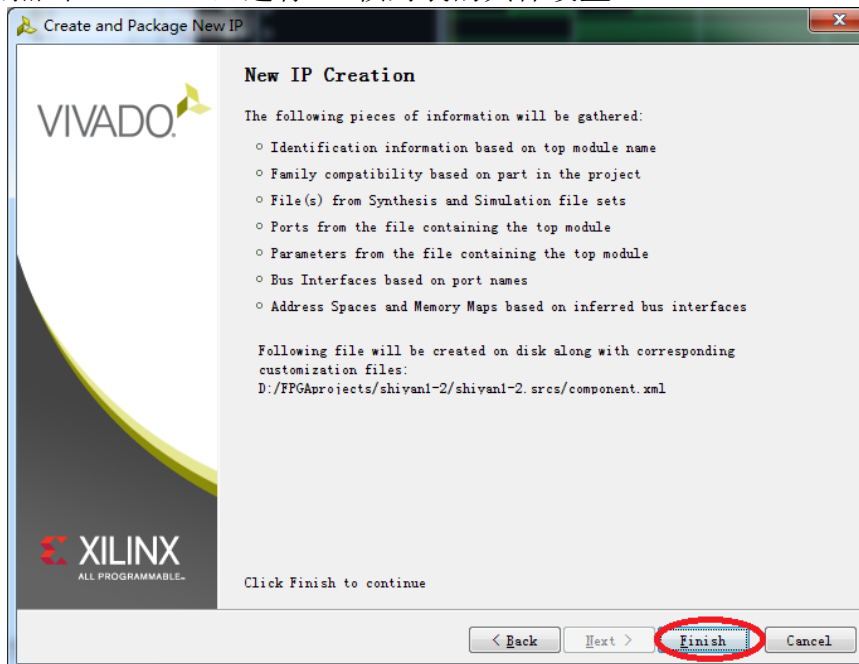




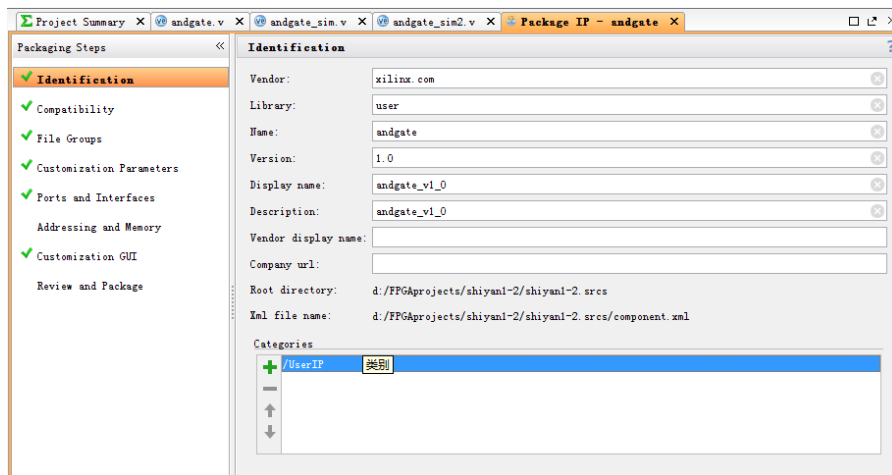
5、设置 IP Location，可以使用默认路径，不做修改，不过我们知道了封装后的 IP 放在了 D:/FPGAprojects/shiyan1-2/shiyan1-2.srds 这个文件夹中，点击 Next。



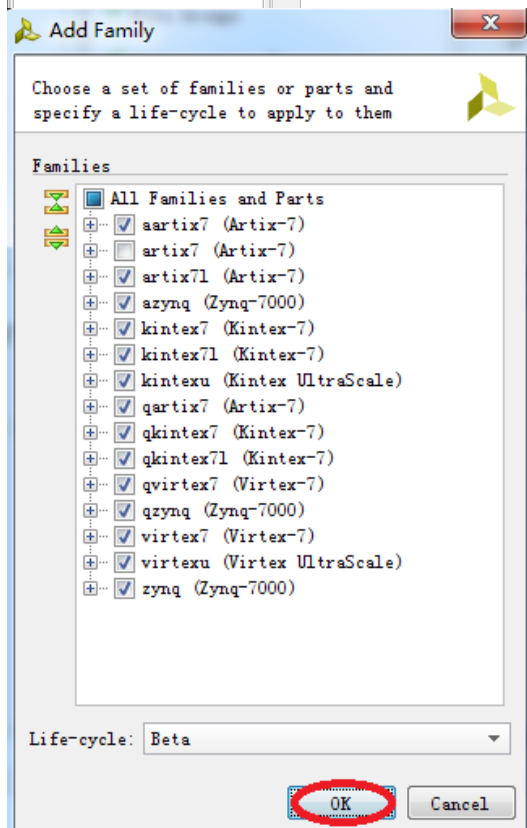
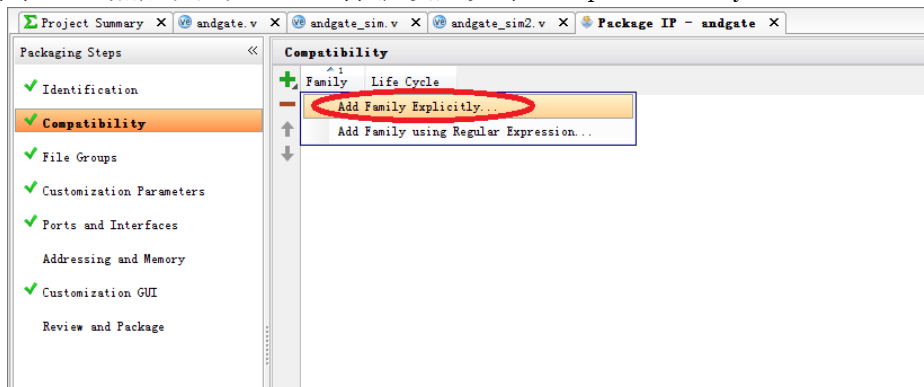
6、随后点击 Finished，进行 IP 核封装的具体设置。



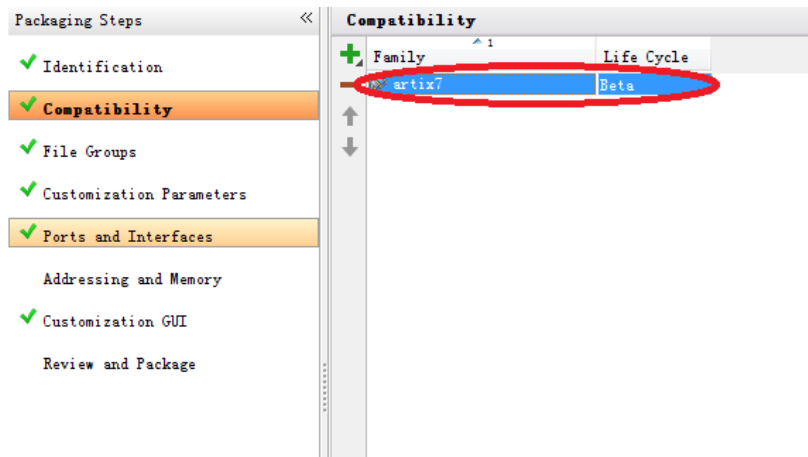
7、Identification 设置, 可以就是用默认设置, 不做修改。



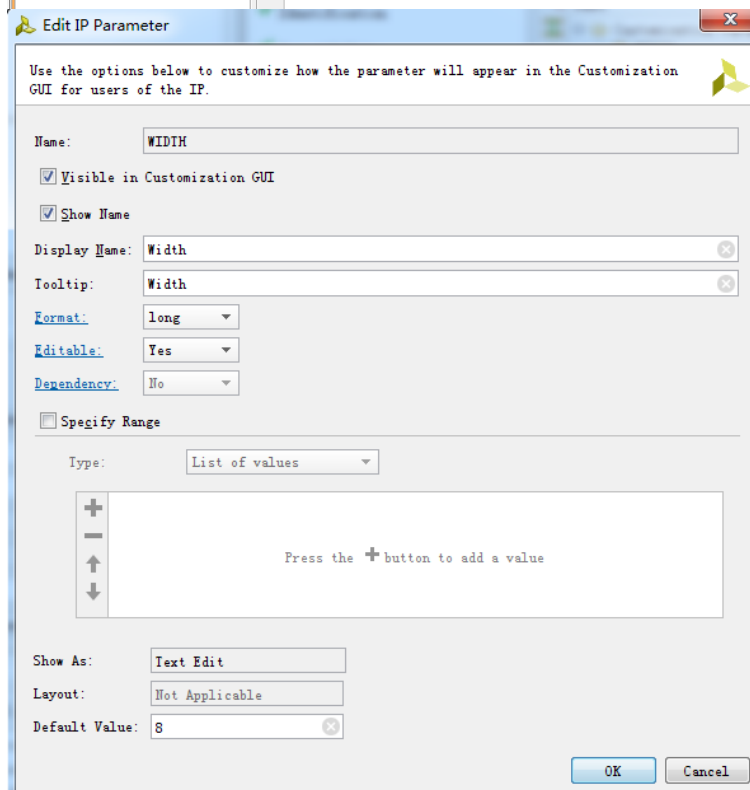
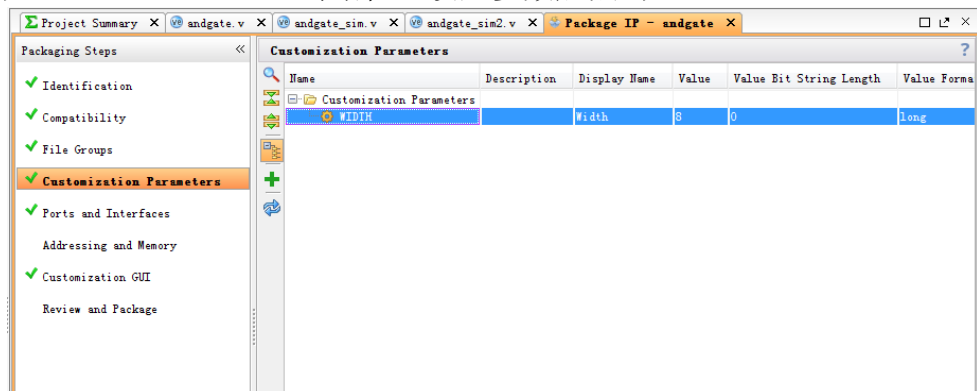
8、Compatibility 设置，添加 IP 核支持的芯片家族，点击 Add Family Explicitly, 选中除 artix7 之外的所有芯片家族（因为 artix7 系列已经有了），然后点击 OK。这样就设置完了 compatibility。



在这一步中，只要保证 artix7 系列被选中即可。



9、接下来设置 Customization Parameters。双击 WIDTH（图中高亮部分），弹出 Edit IP Parameter 对话框，设置参数后点击 OK。



10、接下来我们到 Review and Packaging，点击 Package IP。andgate 的 IP 核就生成了，在 D:/FPGAprojects/shiyan1-2/shiyan1-2.srscs 路径下，xilinx.com_user_andgate_1.0.zip 这个文件中。

