

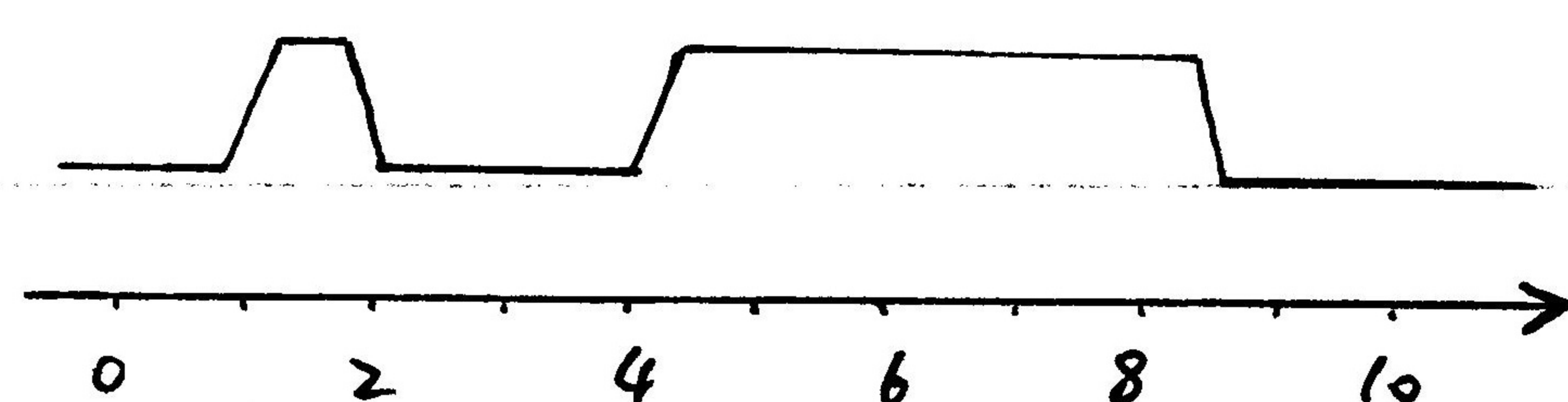
数字集成电路设计 第5章作业

5.2 你考虑通过降低 V_{DD} 来试图节省一个静态 CMOS 门的功耗, 你也降低比例降低 V_t 来保持性能。问动态功耗将增加还是减少? 静态功耗将增加还是减少?

$$P_{\text{switch}} = \alpha C V_{DD}^2 f \quad \text{动态功耗降低}$$

阈值电压降低 静态功耗上升

5.4 确定图示信号的活动因子。时钟速率为 1 GHz。



$$\alpha = \frac{\frac{1}{1 \text{ GHz}} \times 2}{10 \text{ ns}} = \frac{2 \times 10^9}{10 \times 10^{-9}} = 0.2$$

5.10 设计一个 65 nm 工艺电源门控电路的顶部开关。假设 PMOS 管的导通电阻约为 $2.5 \text{ k}\Omega \cdot \mu\text{m}$ 。采用电源门控的这一模块导通电流为 100 mA, 问这个顶部开关必须多宽才能使所引起的延时增加小于 2%?

延时增加小于 2% 即源电压减小小于 2% 即电源门控压降小于 2%

$$\frac{2.5 \text{ k}\Omega \cdot \mu\text{m}}{W} \times 100 \text{ mA} < 0.02 \times 1 \text{ V}$$

$$W > 1.25 \times 10^4 \mu\text{m}$$