



Lab4 版图物理验证




使用Argus进行DRC查错和修正

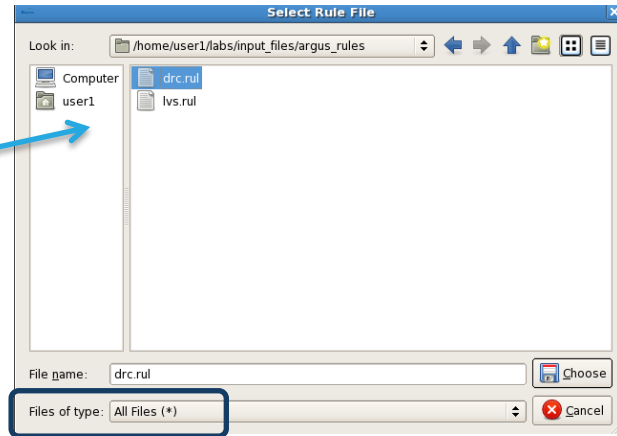
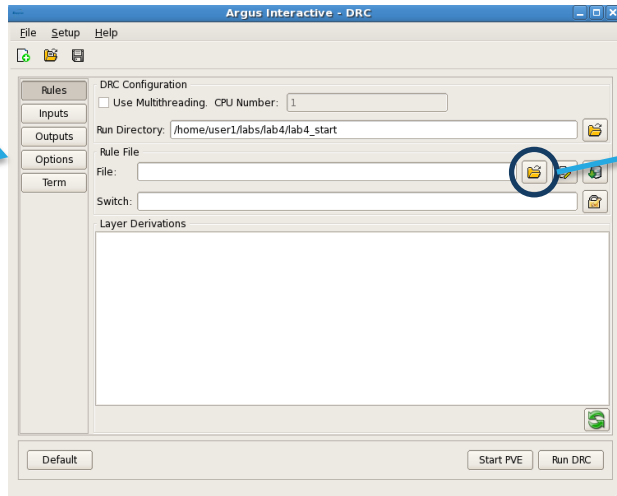
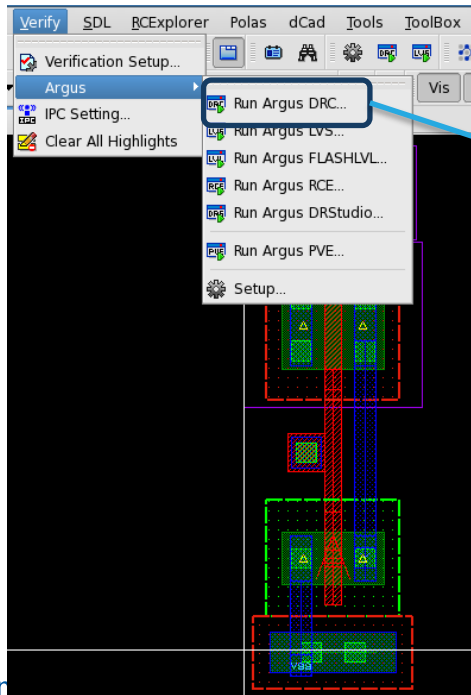
使用Argus进行LVS查错和修正

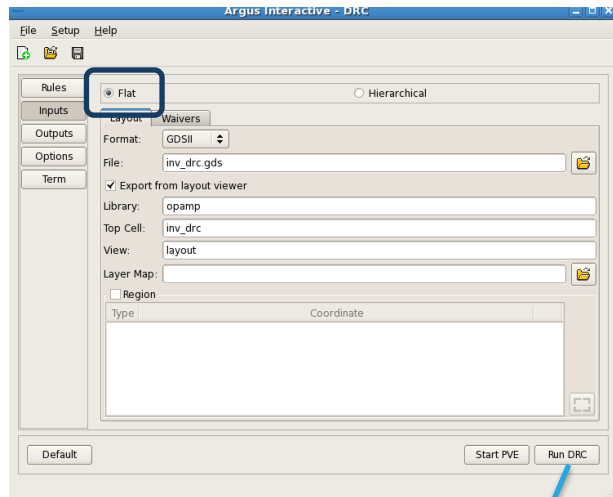
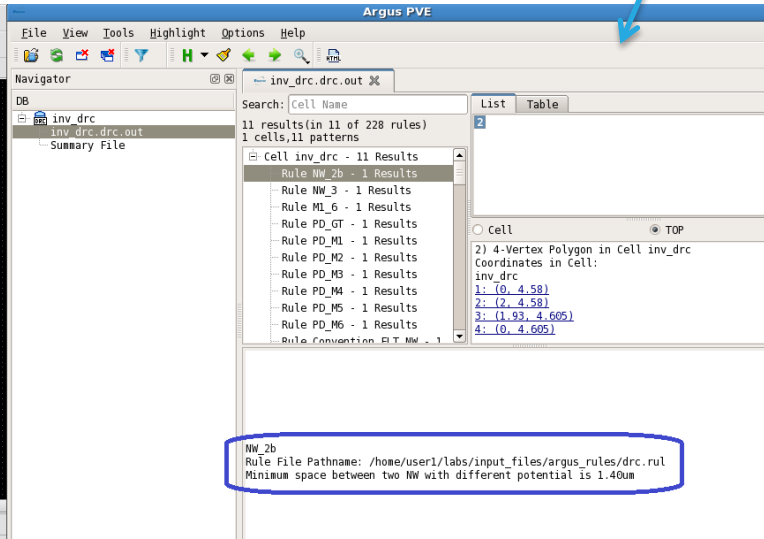
思考题

简单inv版图的DRC

进入labs/lab4/lab4_start目录，启动aether DM

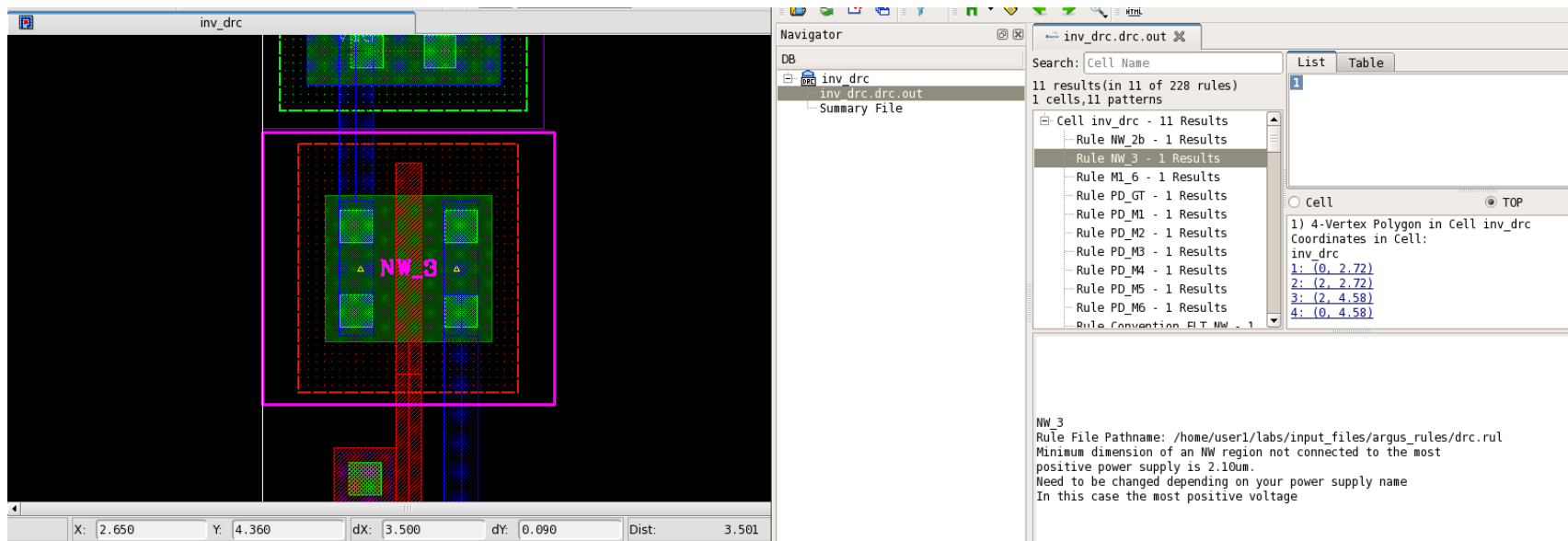
首先打开inv_drc的layout，从LE以下菜单打开Argus DRC界面，首先出现的是Rules设置页，在这里要选择DRC规则文件，通过  按钮弹出对话框中，选择labs/input_files/argus_rules/drc.rul（将Files of type选择为All Files即可看到）





简单inv版图的DRC

- 再点击第二类DRC错误，双击List中的1，可以看到这里说明的是该p管没有进行衬底的连接，我们很容易想到：这和第1类DRC错误，实际上是同一原因造成的，也就是说由于一开始作为p管B端连接的NW_M1 via并没有和p管接触上，二者边沿之间留有空隙，所以导致了p管未具有衬底连接
- 所以第一类错误修正后，第二类DRC错也同时修正了



The screenshot displays a DRC tool interface with a layout view on the left and a results panel on the right. The layout view shows a green polygon labeled NW_3 with a red outline. The results panel shows a list of DRC errors, with the first error selected. The error details are as follows:

Cell	Rule	Results
inv_drc	NW_2b	1 Results
inv_drc	NW_3	1 Results
inv_drc	M1_6	1 Results
inv_drc	PD_GT	1 Results
inv_drc	PD_M1	1 Results
inv_drc	PD_M2	1 Results
inv_drc	PD_M3	1 Results
inv_drc	PD_M4	1 Results
inv_drc	PD_M5	1 Results
inv_drc	PD_M6	1 Results
inv_drc	Rule Convention	1 Results

The first error is selected, showing the following details:

- Cell: inv_drc
- Rule: NW_3
- Results: 1 Results
- Coordinates in Cell: inv_drc
- 1: (0, 2.72)
- 2: (2, 2.72)
- 3: (2, 4.58)
- 4: (0, 4.58)

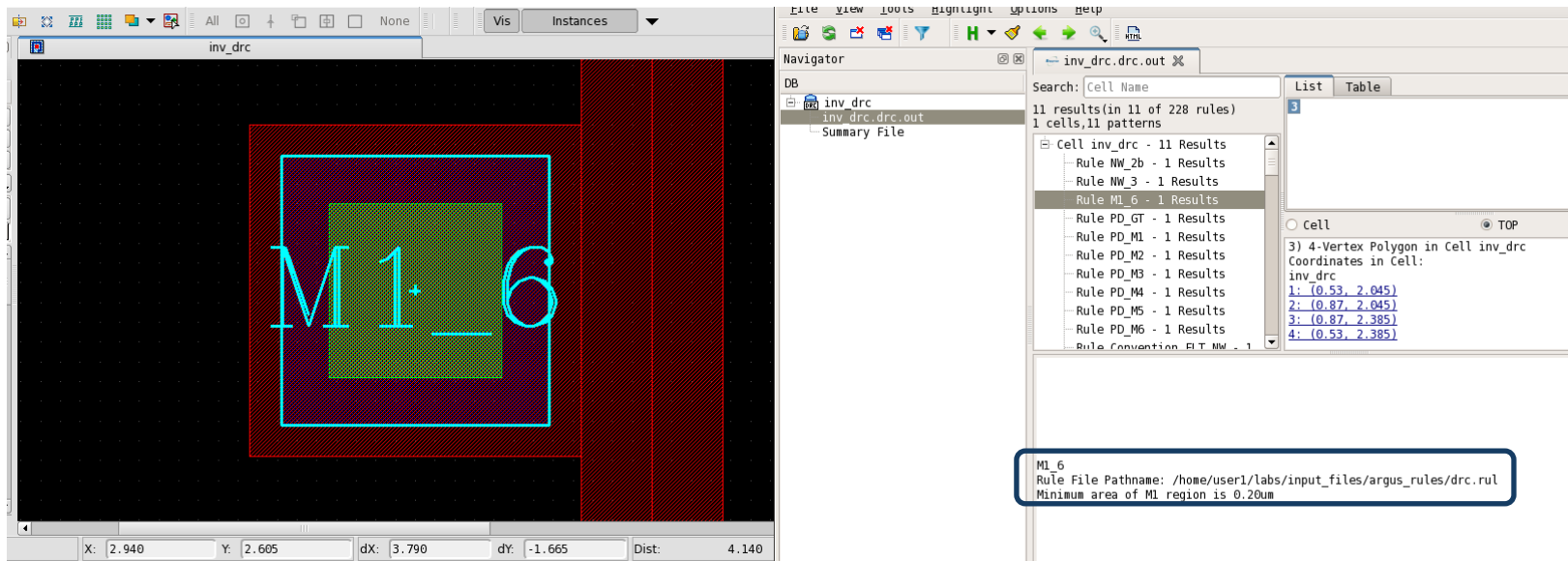
The error description is as follows:

NW_3
Rule File Pathname: /home/user1/labs/input_files/argus_rules/drc.rul
Minimum dimension of an NW region not connected to the most positive power supply is 2.10um.
Need to be changed depending on your power supply name
In this case the most positive voltage

简单inv版图的DRC



再点击第3类DRC错误，双击List中的3进行LE反标，可以看到这里说明的是由于一个1*1的M1_GT via存在导致M1的面积太小，为了解决这个DRC错，可以用快捷键P从该via的metal1上往inv外侧（也就是图中往左）多画一小截path，使Metal1的总面积增大即可



简单inv版图的DRC



接下来的7类DRC错误均为pattern density错，目前无需修正，可以同时选中他们进行查看

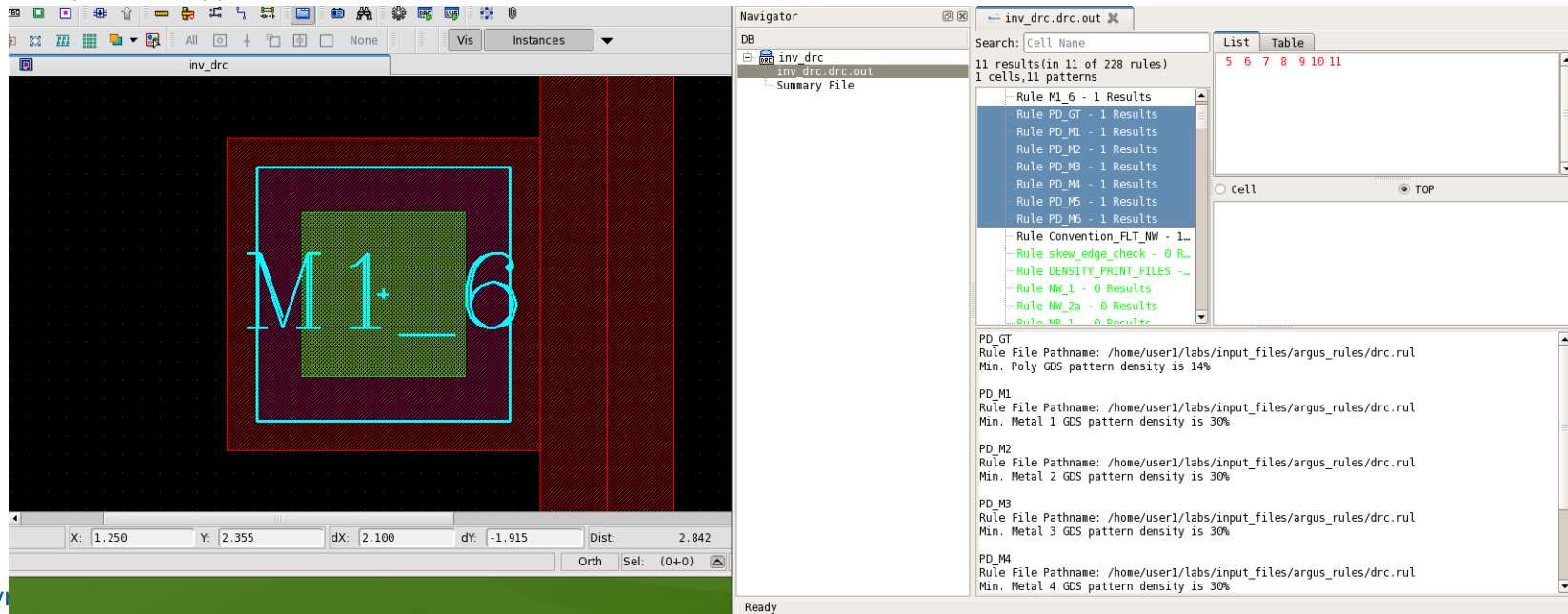
- Pattern density的DRC问题是指，由于工艺生产的要求，多晶硅和各层金属的总面积占IC整体面积的比例必须大于某一数值（比如下图中的多晶硅要>14%，各金属要>30%），而目前inv_drc小版图中显然都没有满足这个要求，但这种问题一般会等到最顶层IC版图绘制时再去修正



最后的一个Conversion_FLT_NW问题也是由p管缺失衬底连接导致，和前两种问题同时修正



PVE中绿色字体的Rule是进行了DRC检查但没有违反规则的rule，故可以忽略



inv_drc

inv_drc.drc.out

Summary File

Search: Cell Name

11 results(in 11 of 228 rules)
1 cells, 11 patterns

Rule	Results
Rule M1_6	1 Results
Rule PD_GT	1 Results
Rule PD_M1	1 Results
Rule PD_M2	1 Results
Rule PD_M3	1 Results
Rule PD_M4	1 Results
Rule PD_M5	1 Results
Rule PD_M6	1 Results
Rule Conversion_FLT_NW	1 Results
Rule skew_edge_check	0 Results
Rule DENSITY_PRINT_FILES	0 Results
Rule NW_1	0 Results
Rule NW_2a	0 Results
Rule NW_3	0 Results

Cell

TOP

PD_GT

Rule File Pathname: /home/user1/labs/input_files/argus_rules/drc.rul

Min. Poly GDS pattern density is 14%

PD_M1

Rule File Pathname: /home/user1/labs/input_files/argus_rules/drc.rul

Min. Metal 1 GDS pattern density is 30%

PD_M2

Rule File Pathname: /home/user1/labs/input_files/argus_rules/drc.rul

Min. Metal 2 GDS pattern density is 30%

PD_M3

Rule File Pathname: /home/user1/labs/input_files/argus_rules/drc.rul

Min. Metal 3 GDS pattern density is 30%

PD_M4

Rule File Pathname: /home/user1/labs/input_files/argus_rules/drc.rul

Min. Metal 4 GDS pattern density is 30%

层次化opamp版图的DRC



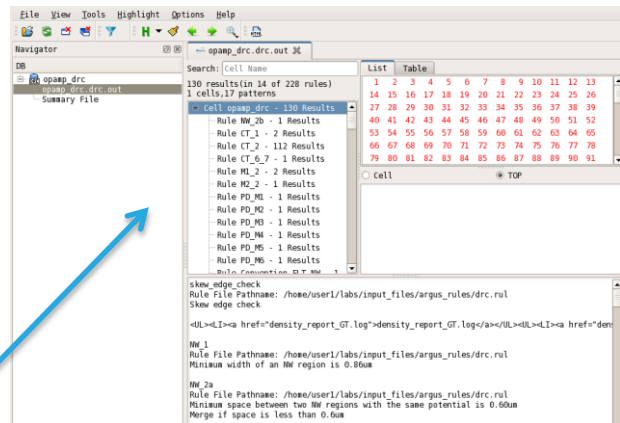
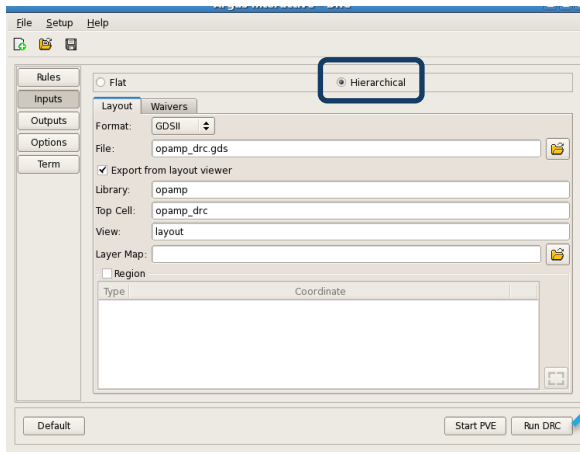
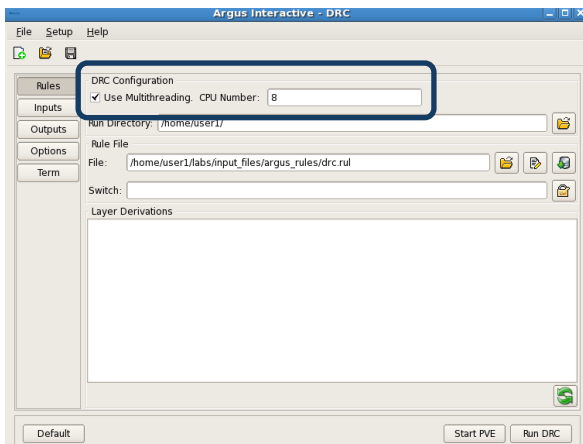
inv_drc版图的所有DRC问题修好后，关闭PVE和Argus DRC界面



回到DM打开opamp_drc/layout，同样激活LE菜单中的Argus DRC打开界面，在Rules页和Inputs页进行如下图的设置，因为是较大规模的层次化版图，我们使用多核并行，Hierarchical的DRC检查，以加快运行效率；然后点击Run DRC



DRC结束后，PVE自动打开



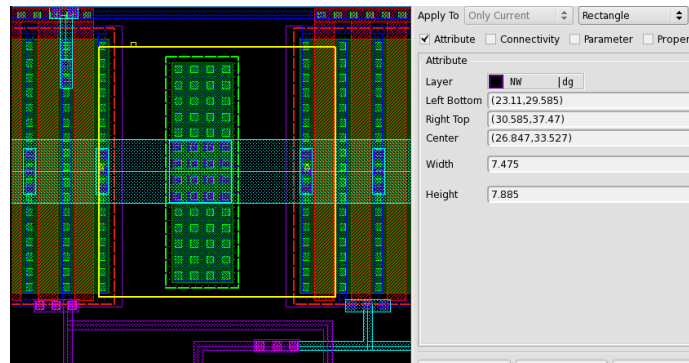
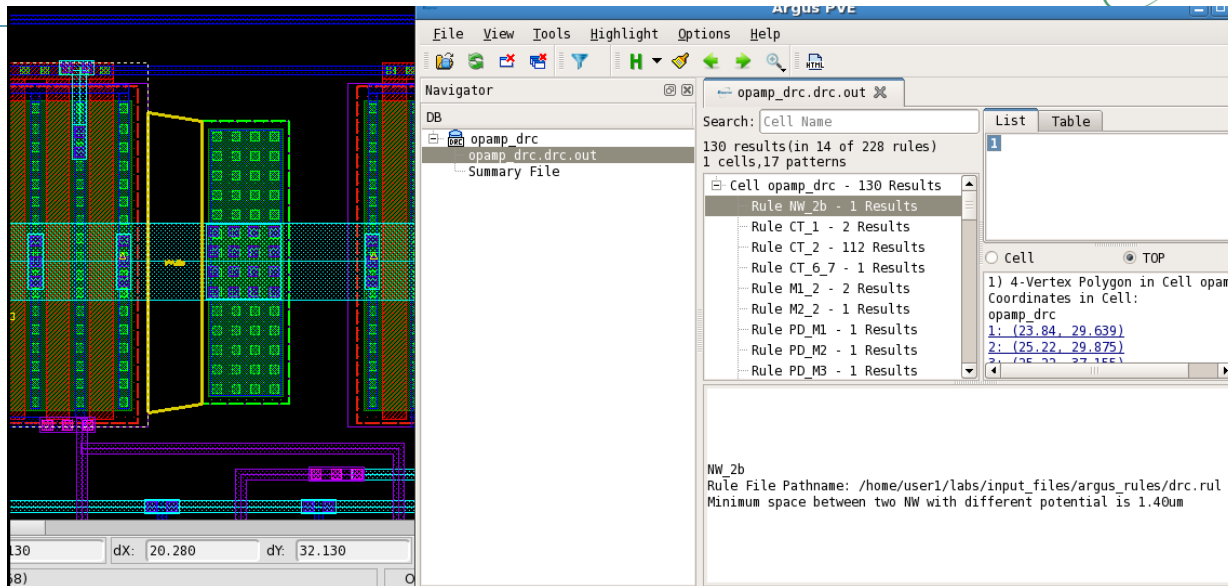
层次化opamp版图的DRC



利用PVE反标第1类DRC错误如右上图所示，显然这也是由于NW_M1 via和其左右两边的两个p管不在同一NW阱中，导致Argus认为他们的NW之间不满足spacing rule



解决方法是用LE的快捷键B画一个NW层的矩形，将三者（NW_M1 via以及两个p管的NW层连接起来，如右下图所示



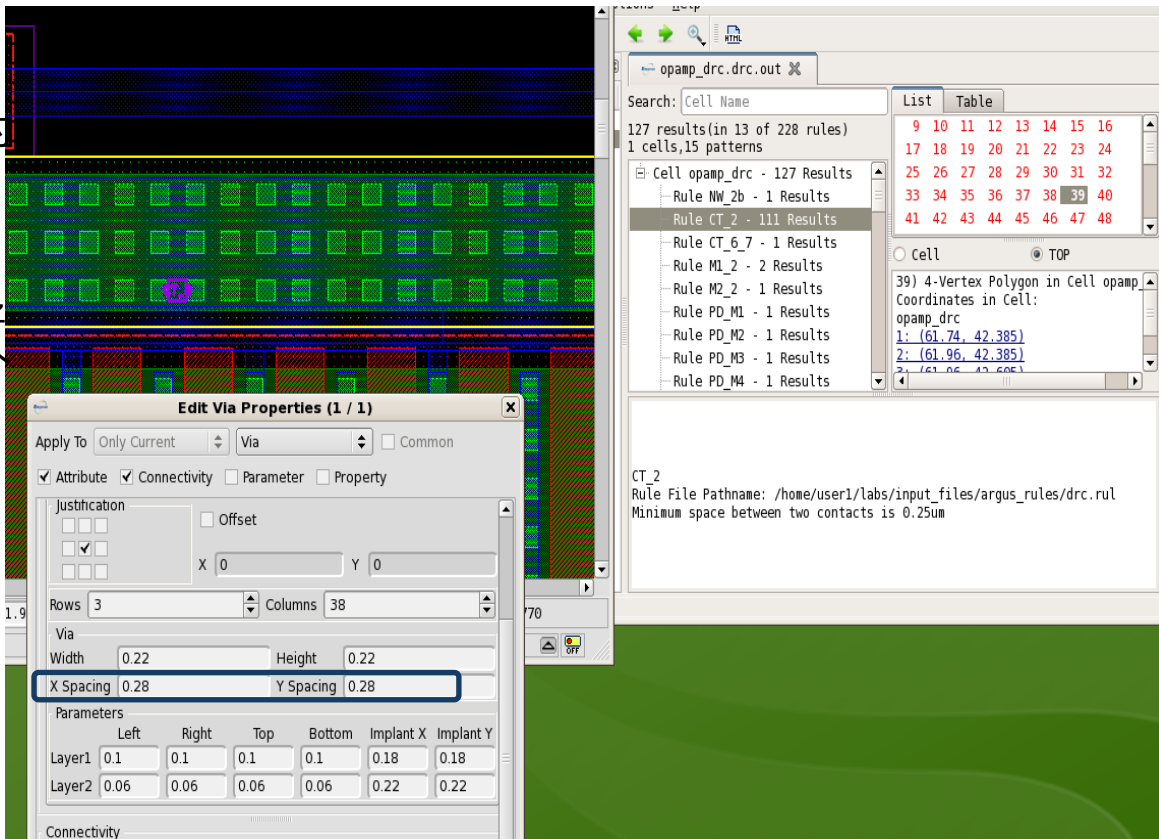
层次化opamp版图的DRC



执行第二类CT_2错误的反标，这里有100多个同类错误，反标任何一个可以看到，错误是因为处于版图右上位置的一块NW_M1 via阵列，它上面的CT层（也就是NW和M1之间的连接孔）spacing不足

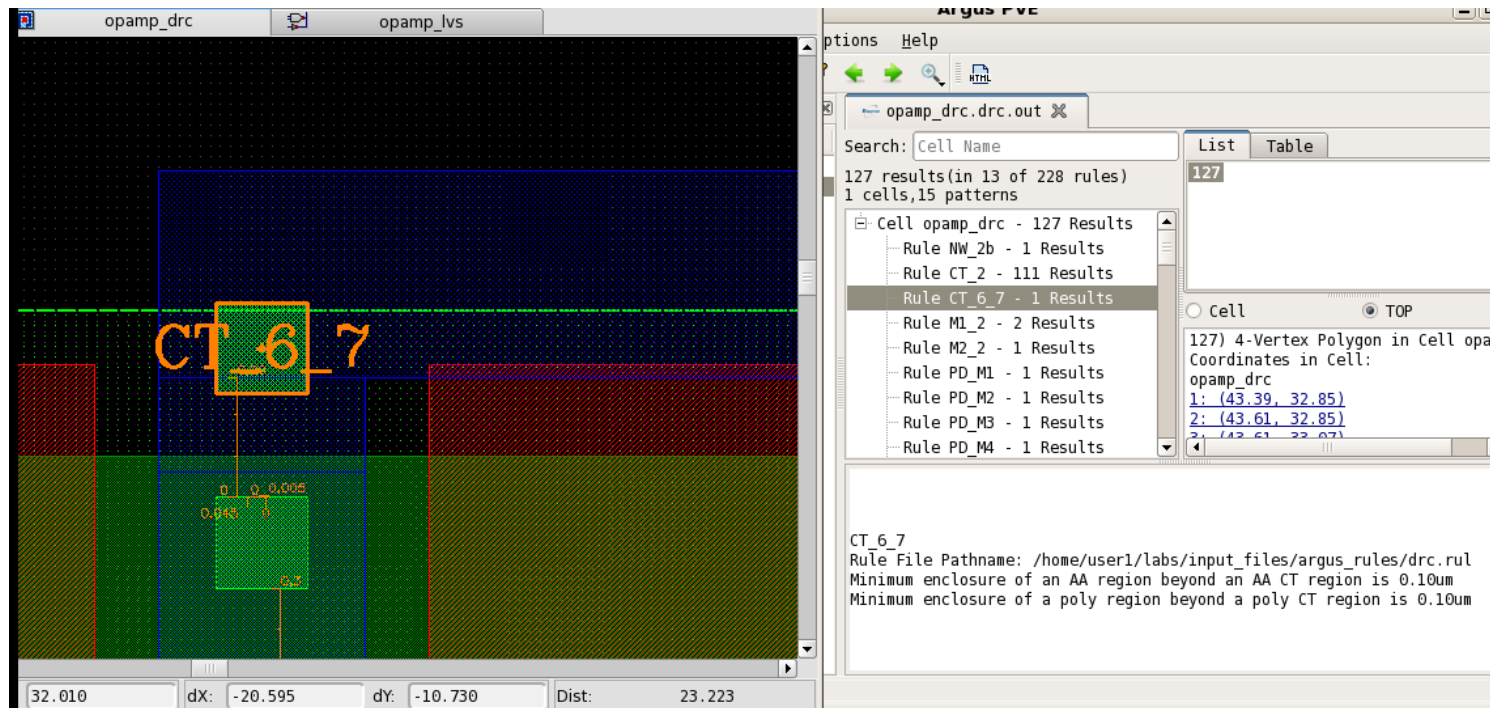


解决方法是选中这个via阵列按Q键，将其via的X和Y间距均调整为 $>0.25u$ 的一个数，比如下图 $0.28u$



层次化opamp版图的DRC

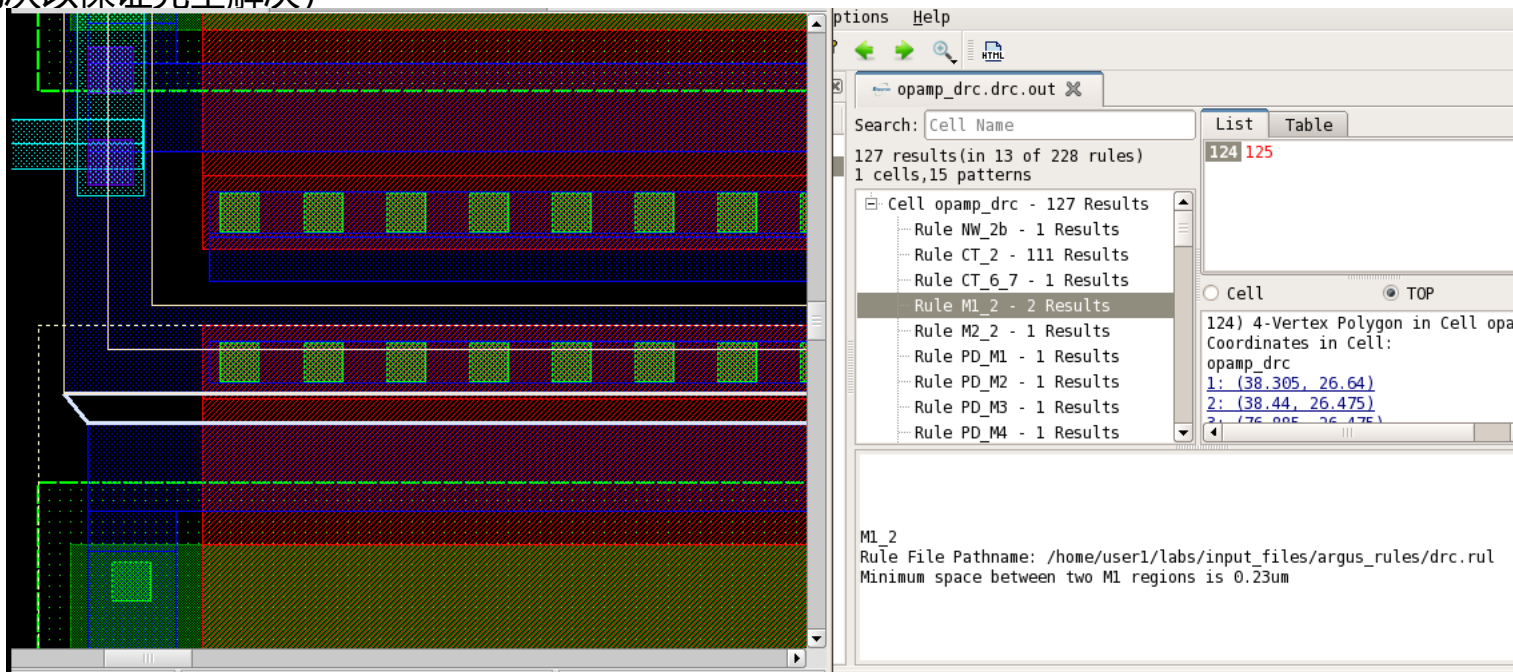
- 第三类DRC错误只有一处，可以看到这里应该是多出了一个CT矩形，导致其与外部的有源区以及GT层之间有enclosure的问题，也就是CT被AA或GT层包裹距离不够
- 将这个CT矩形删掉即可解决



层次化opamp版图的DRC



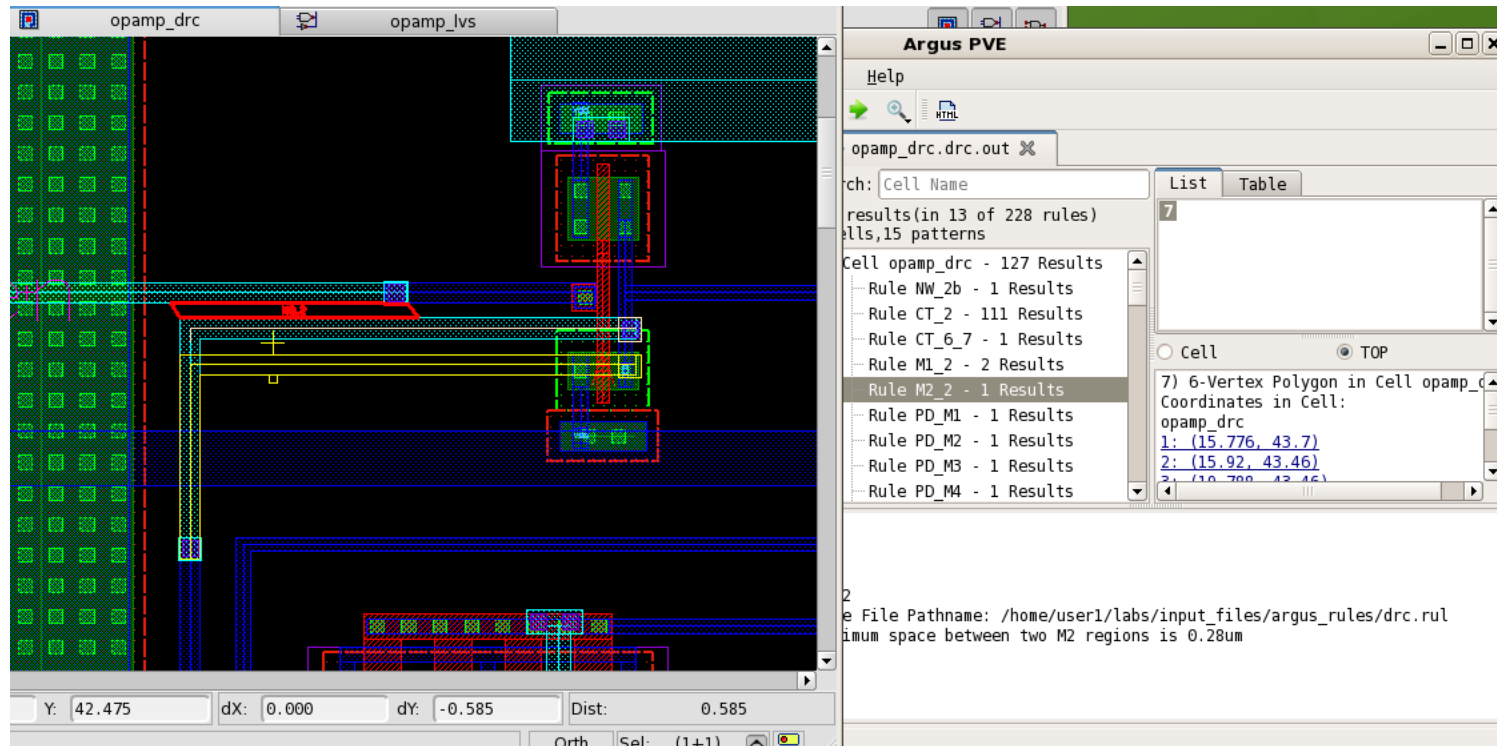
第4类的两个DRC错误是metal1的spacing，能看到这是由于图中选中高亮的metal1 path过宽，导致其与上下两个管子上面的一些M1走线spacing过近，解决办法是将这条path宽度减小一些，或者适当将两个管子距离拉远一些，注意调整尺寸和距离的时候，不要引入新的DRC错误（有时候需要反复几次DRC验证几次以保证完全解决）



层次化opamp版图的DRC



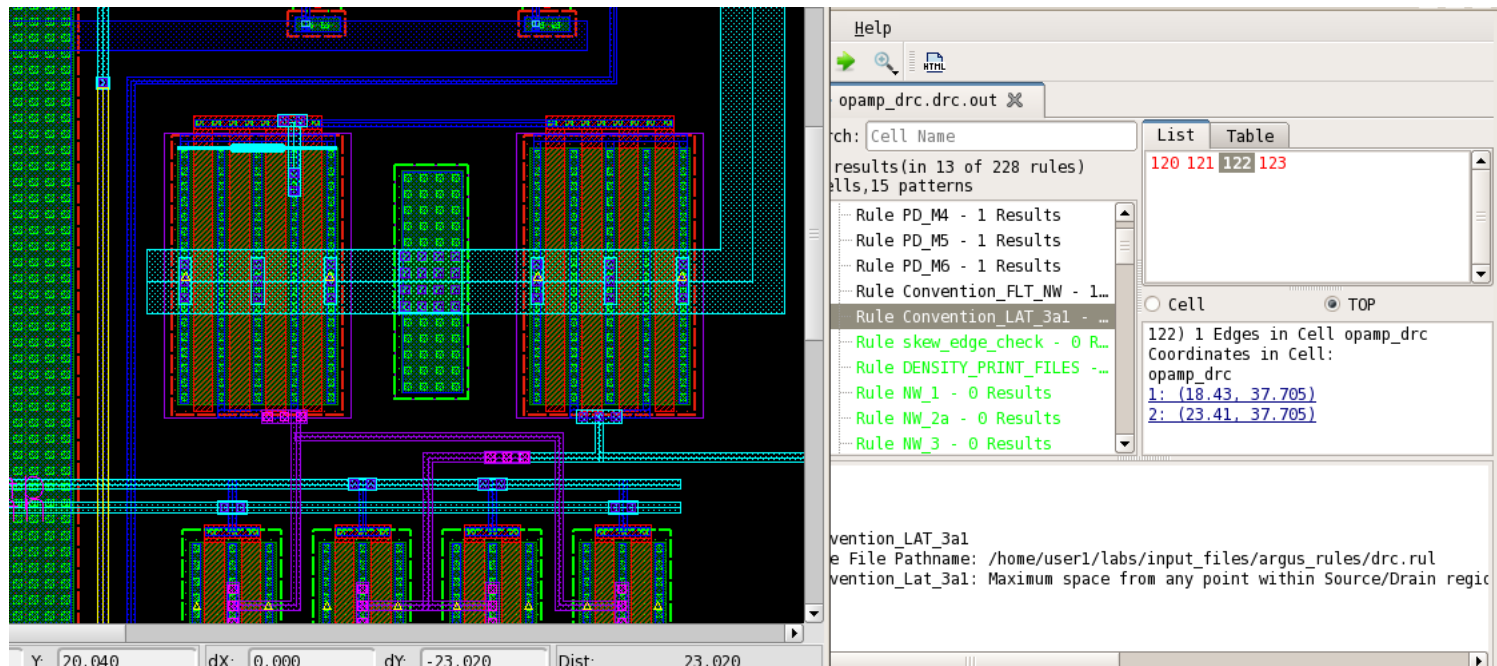
第5类的一处DRC错误是metal2的spacing，为了解决这个问题，将位于下方的metal2以及其右端点的M2_M1 via一起选中后，用快捷键S向下拉伸一段距离即可



层次化opamp版图的DRC



我们同样忽略所有的pattern density错误，看到剩下的两类FLT_NW和LAT错误反标指向两个p管的位置，如同inv_drc版图中曾说明的，它们都是由于这两个p管和其中间的NW_M1 via没在同一NW阱中导致，修正第一类问题时同步已经修好



The screenshot displays a PCB layout with various colored regions (green, blue, red, yellow) and a DRC error report window. The error report window shows the following results:

Rule	Results
Rule PD_M4	1 Results
Rule PD_M5	1 Results
Rule PD_M6	1 Results
Rule Convention_FLT_NW	1 Results
Rule Convention_LAT_3a1	1 Results
Rule skew_edge_check	0 Results
Rule DENSITY_PRINT_FILES	0 Results
Rule NW_1	0 Results
Rule NW_2a	0 Results
Rule NW_3	0 Results

The error report also includes the following information:

- Cell: opamp_drc
- Coordinates in Cell: opamp_drc
- 1: (18.43, 37.705)
- 2: (23.41, 37.705)

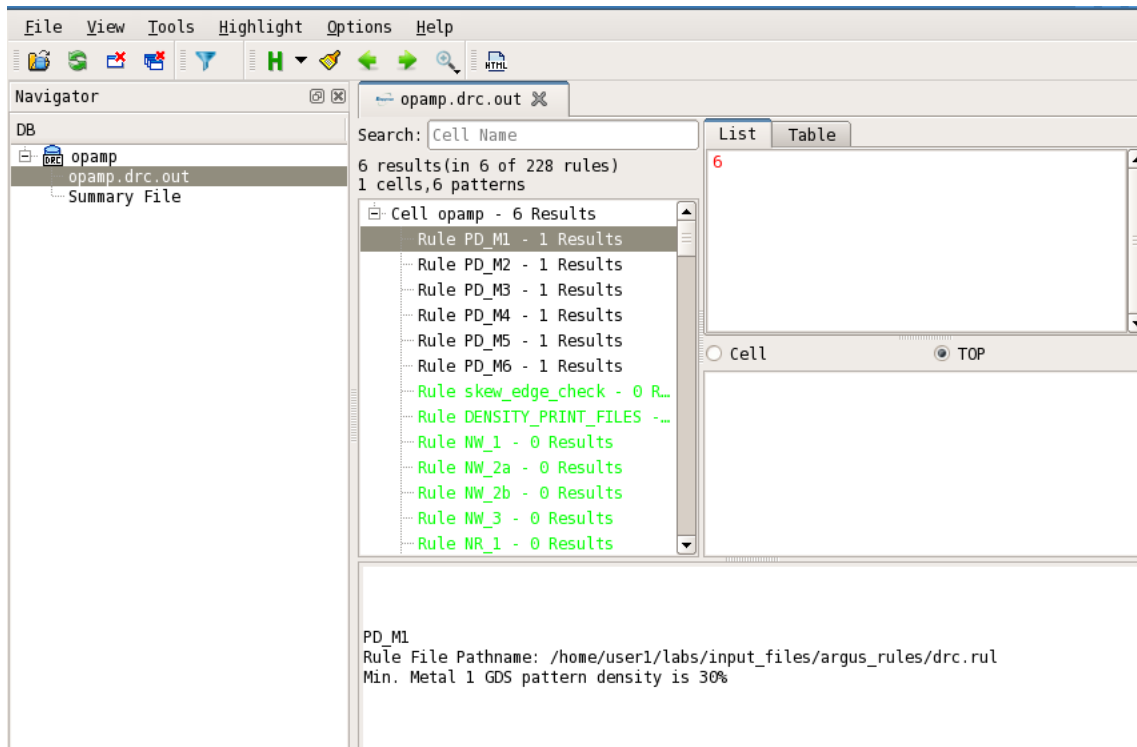
The error report also includes the following information:

- Convention_LAT_3a1
- File Pathname: /home/user1/labs/input_files/argus_rules/drc.rul
- Convention_Lat_3a1: Maximum space from any point within Source/Drain region

层次化opamp版图的DRC




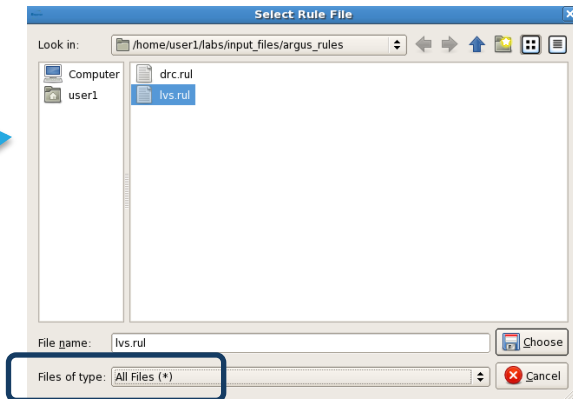
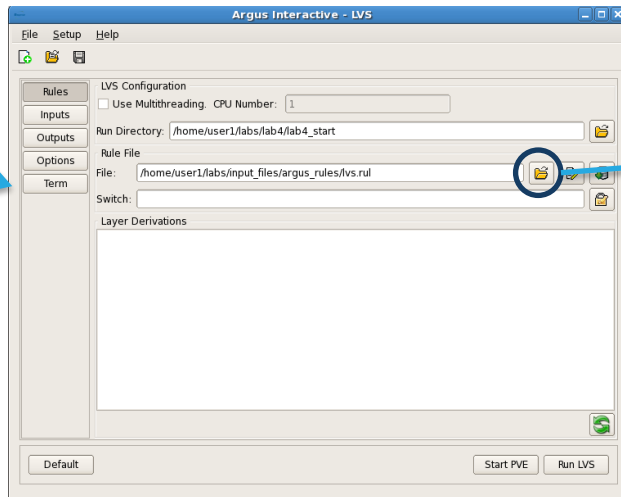
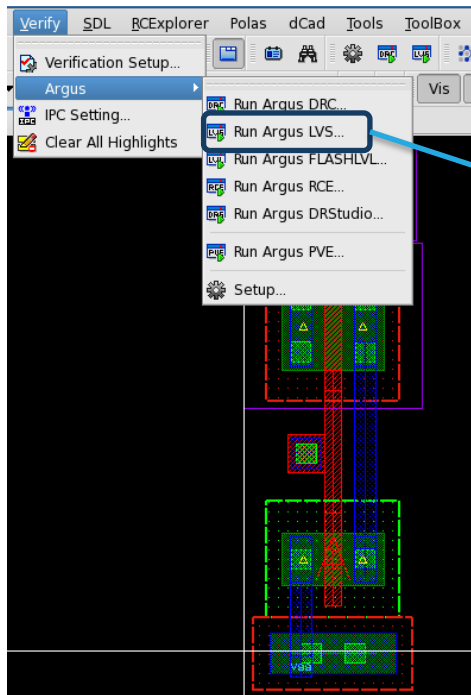
将所有DRC问题修复后，保存版图，再次Run DRC，可以看到，这次PVE中仅剩下可以不用修改的pattern density问题了



简单inv版图的LVS



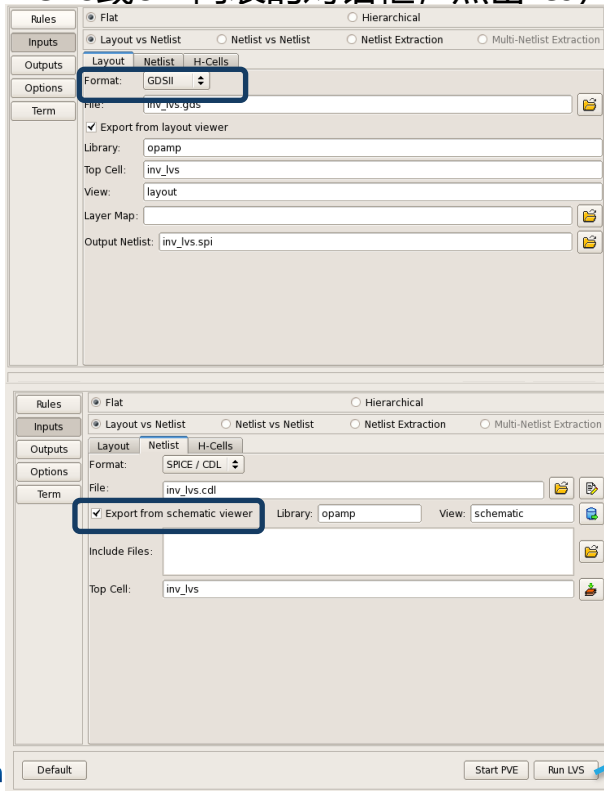
打开inv_lvs的layout, 从LE以下菜单打开Argus LVS界面, 首先出现的是Rules设置页, 在这里要选择LVS规则文件, 通过  按钮弹出对话框中, 选择labs/input_files/argus_rules/lvs.rul (将Files of type选择为All Files即可看到)



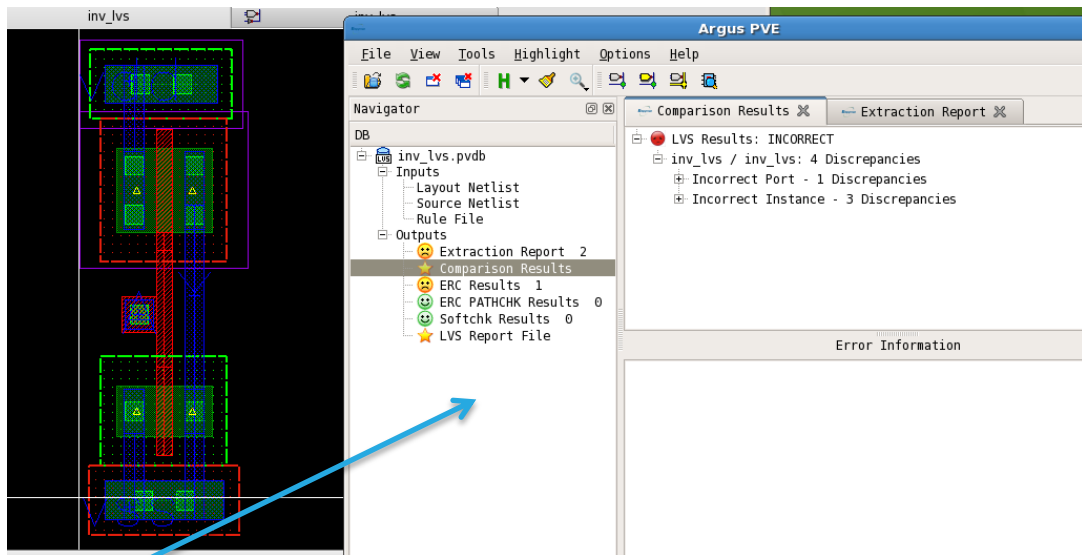
简单inv版图的LVS



切换到Inputs页，选择Flat的验证模式，确保Layout子页面的Export from layout viewer和Netlist子页面的Export from schematic viewer都勾选上。其他设置保持默认值点击Run LVS（如果会弹出提示是否覆盖GDS或CDL网表的对话框，点击Yes）；等待结束，弹出PVE界面



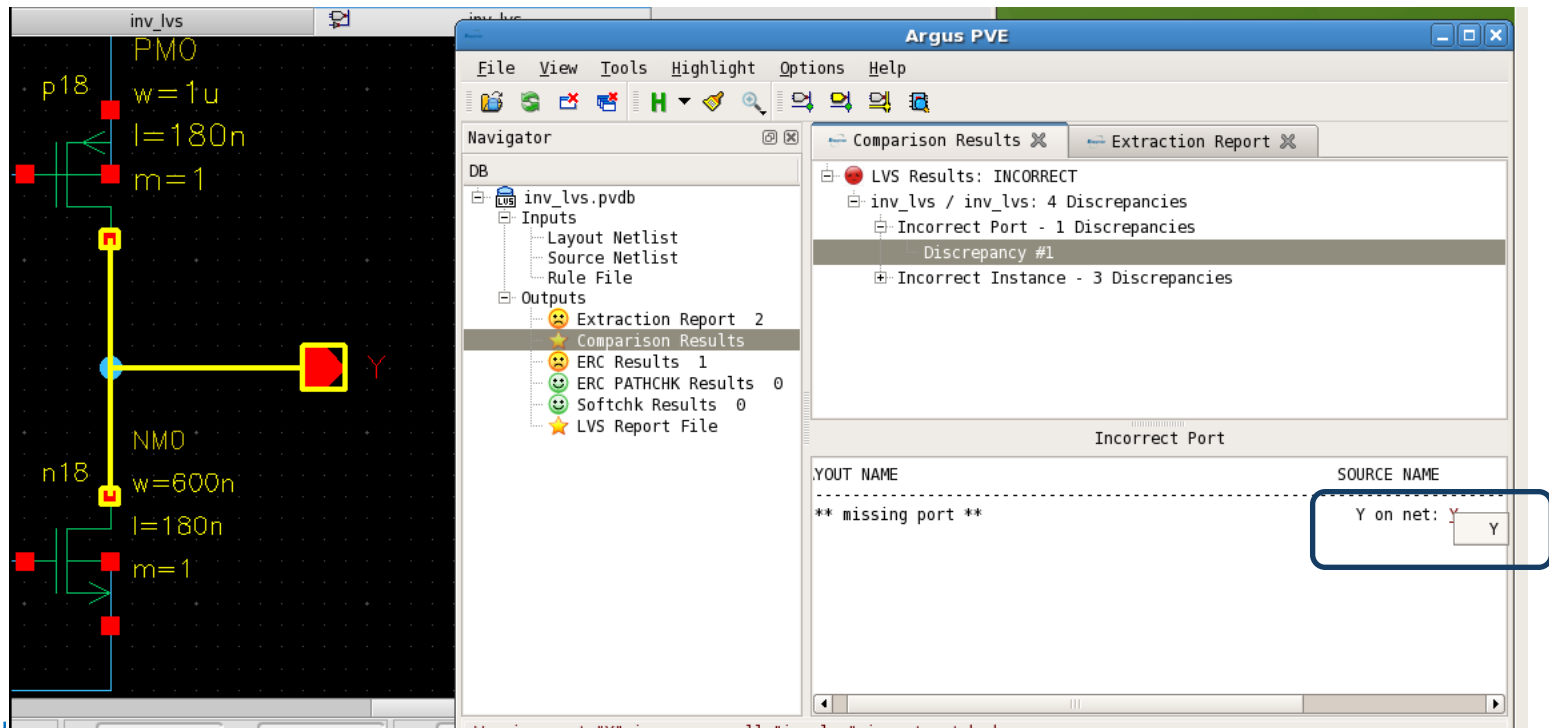
切换到Comparison Results中，可以看到总共有4个LVS错误



简单inv版图的LVS



点击Incorrect Port类左端的+号展开，看到只有1个错误，点选Discrepancy #1，通过PVE下方的具体描述可以看到是指Layout上缺失了电路图中的Y pin，在Source Name的Y点鼠标右键弹出菜单选Y，即可完成对电路和版图的同步反标，这里电路图的pin Y被高亮出来

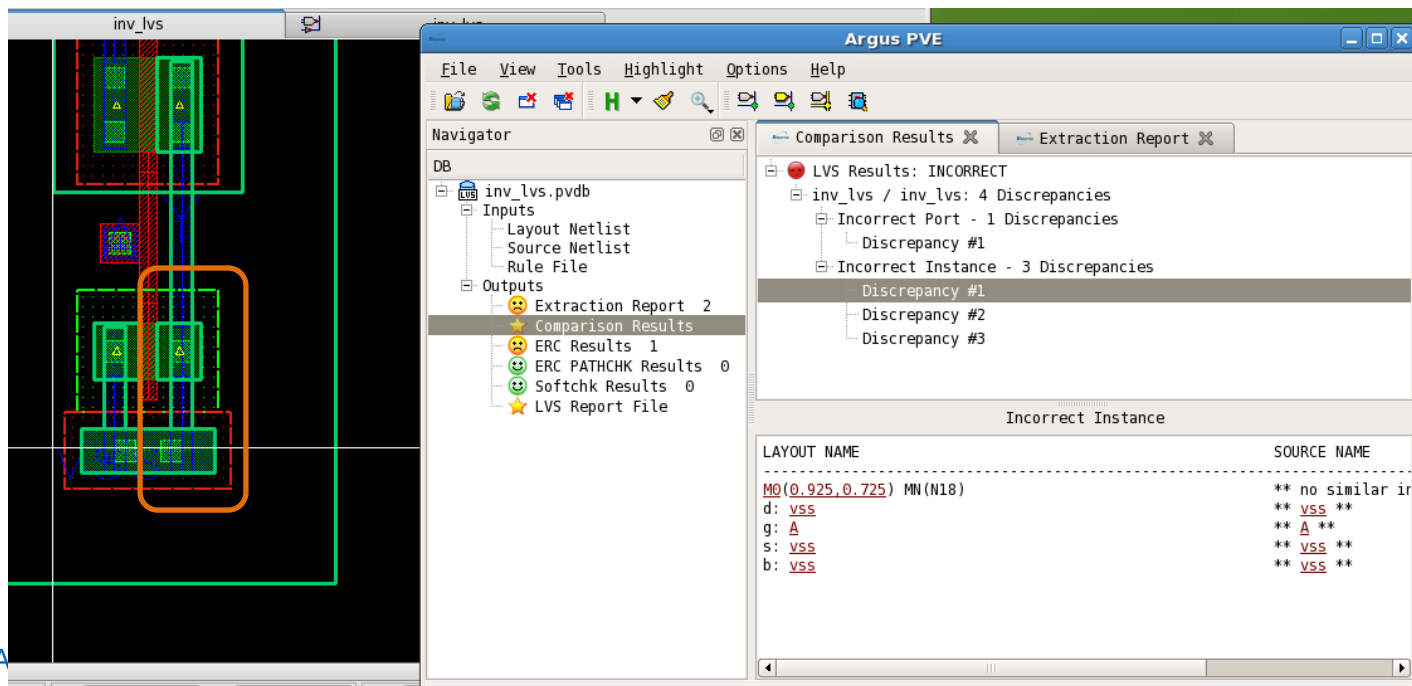


简单inv版图的LVS



点击Incorrect Instance类左端的+号展开，看到3个错误，仔细阅读其中的说明，并将错误1进行如下反标到LE，我们有理由怀疑其实这些问题都是因为输出pin Y和vss短路导致，短路位于下图橙框位置

- 注：LVS查错过程中，我们往往会发现类似的规律，即很可能只是因为一个连接的错误，导致了多处LVS问题，版图设计人员需要在实践中逐步积累出对这种不同错误的同类原因进行分析和总结的经验
- 我们用快捷键S对metal1进行拉伸，将属于Y的连线向上拉离vss，即可完成修正



The screenshot displays the Argus PVE software interface. On the left, a circuit diagram is shown with various components and connections. A green box highlights a specific area, and an orange box highlights another area. The main window shows the 'Comparison Results' tab, which lists the following errors:

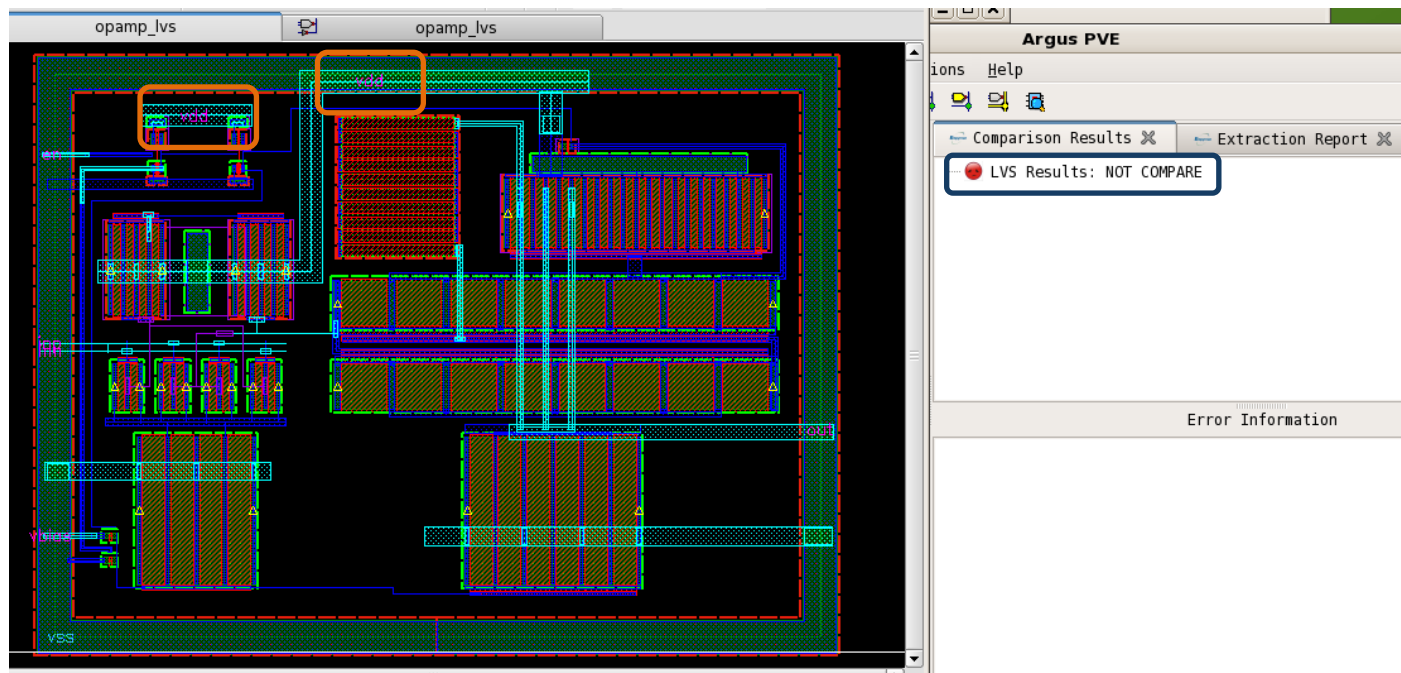
- LVS Results: INCORRECT
- inv_lvs / inv_lvs: 4 Discrepancies
 - Incorrect Port - 1 Discrepancies
 - Discrepancy #1
 - Incorrect Instance - 3 Discrepancies
 - Discrepancy #1
 - Discrepancy #2
 - Discrepancy #3

The 'Incorrect Instance' section shows the following details:

LAYOUT NAME	SOURCE NAME
M0(0.925,0.725) MN(N18)	** no similar ir
d: vss	** vss **
g: A	** A **
s: vss	** vss **
b: vss	** vss **

层次化opamp版图的LVS

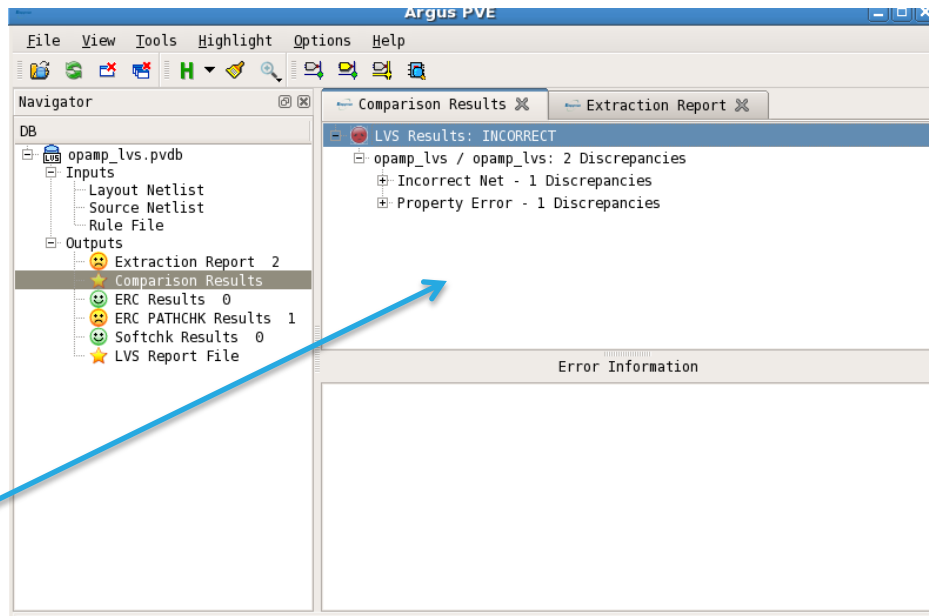
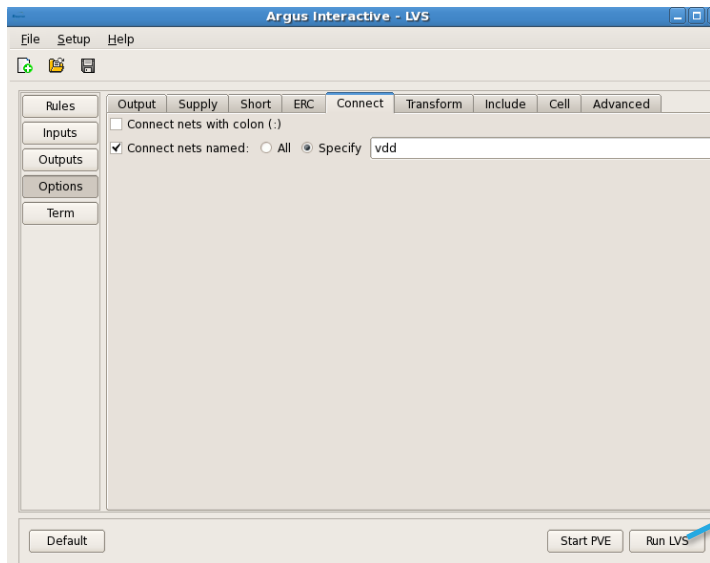
- 回到DM打开opamp_lvs/layout, 从LE打开Argus LVS界面, 我们在Rules页中开启8个多线程, 在Inputs页中选择Hierarchical模式, 点击Run LVS (如果提示是否覆盖GDS或者CDL文件, 直接点击Yes); LVS将很快结束, 弹出的PVE的Comparison Results中提示并未进行比较
- 观察版图, 原来这是因为版图中有两个vdd的label, 他们的金属层 (metal2) 并未进行连接, 导致Argus认为有多个pin, 无法进行比较。解决办法之一是将其中一个vdd label删掉并将两处metal2连接



层次化opamp版图的LVS

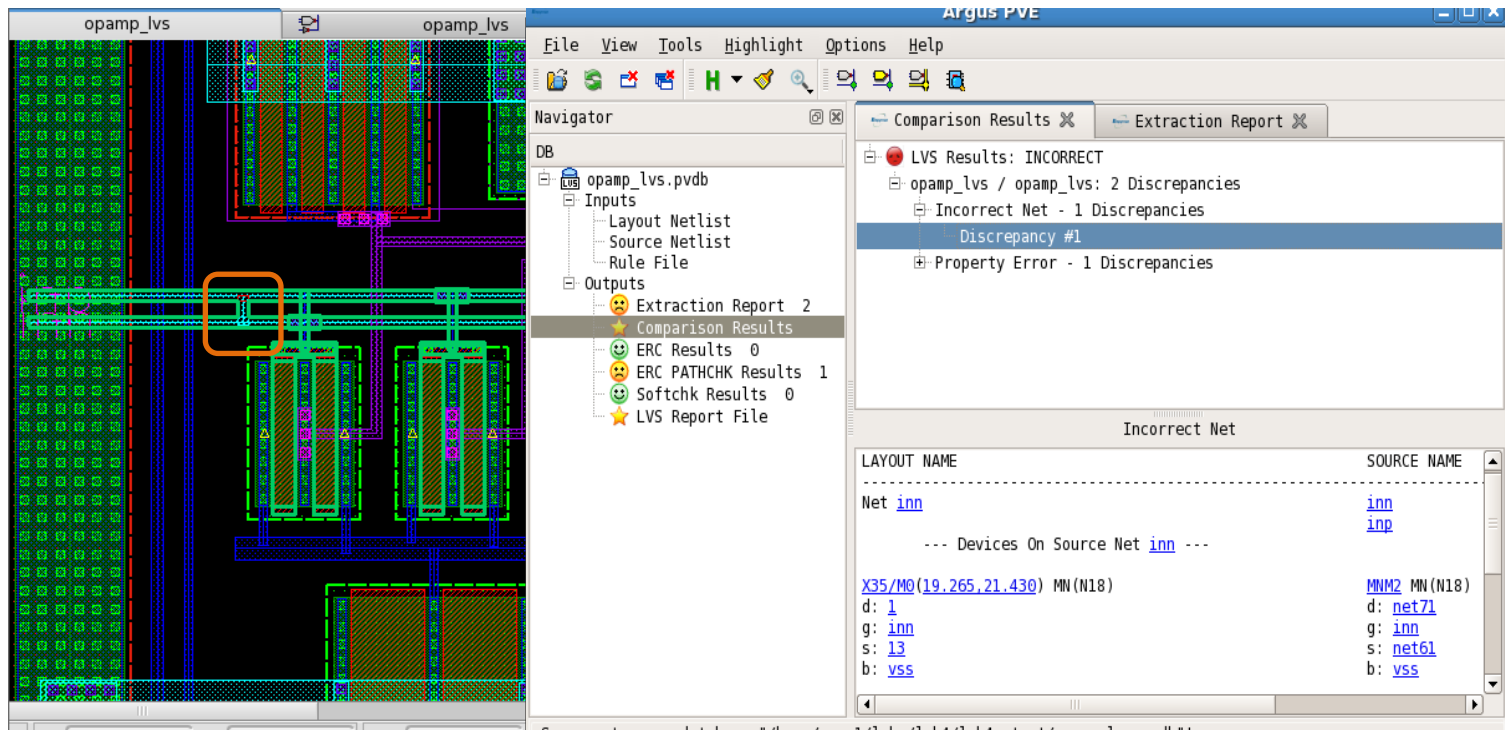


但我们这次不修改版图，而是通过LVS虚连接的办法来解决：在Argus LVS界面中切换到Options页的Connect中，将Connect net named选中并在Specify中填写vdd，重新执行Run LVS即可完成



层次化opamp版图的LVS

- 首先反标Incorrect Net中的Discrepancy #1, 看到这是由于inn和inp输出pin之间有短路导致的
- 解决方法是将橙框中短路线删除



The screenshot displays the Argus PVE software interface. On the left, a PCB layout is shown with various components and nets. A specific net is highlighted with an orange box. On the right, the 'Comparison Results' pane shows the LVS (Layout Versus Schematic) results. The results indicate an 'Incorrect Net' with two discrepancies. The first discrepancy, 'Discrepancy #1', is a 'Property Error' related to the 'inn' net. The details of this error are shown in the 'Incorrect Net' pane below.

LVS Results: INCORRECT

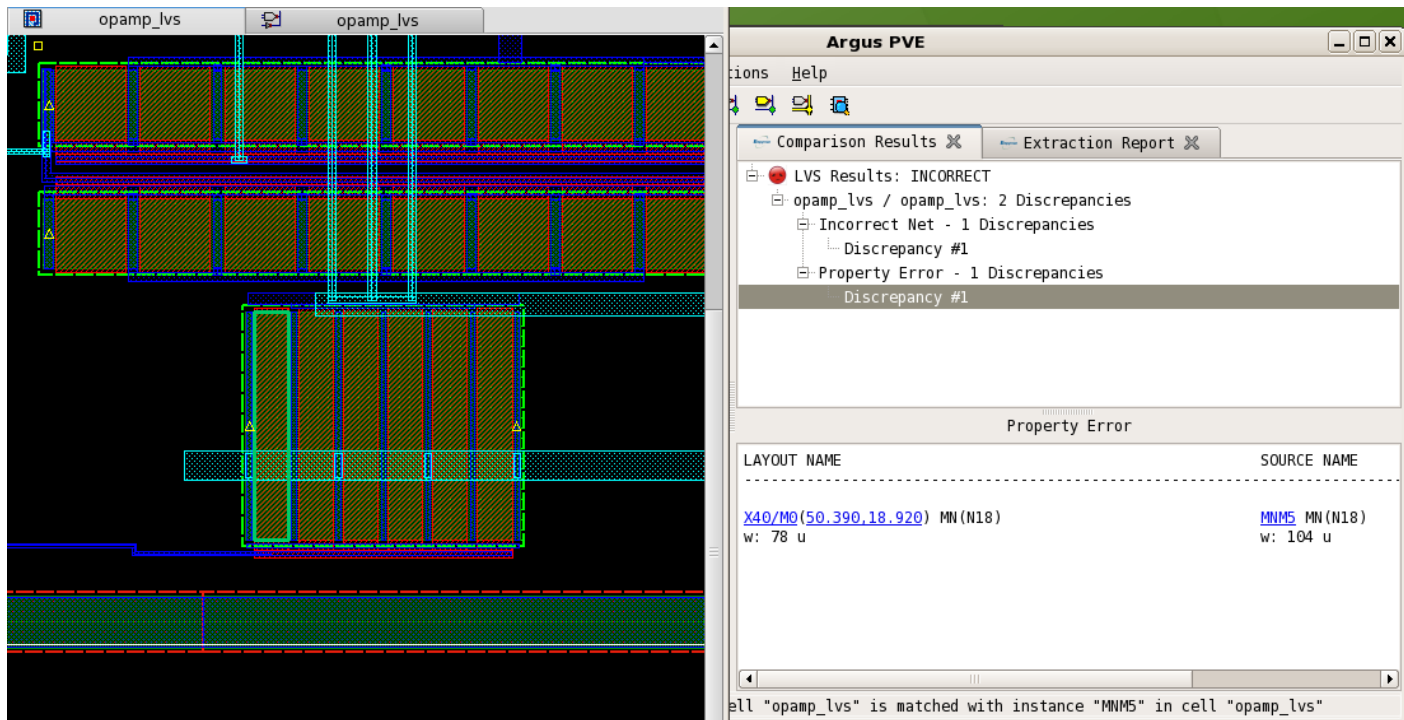
- opamp_lvs / opamp_lvs: 2 Discrepancies
 - Incorrect Net - 1 Discrepancies
 - Discrepancy #1**
 - Property Error - 1 Discrepancies

Incorrect Net

LAYOUT NAME	SOURCE NAME
Net <u>inn</u>	<u>inn</u> <u>inp</u>
--- Devices On Source Net <u>inn</u> ---	
<u>X35/M0</u> (19.265.21.430) MN(N18)	<u>MNM2</u> MN(N18)
d: <u>1</u>	d: <u>net71</u>
g: <u>inn</u>	g: <u>inn</u>
s: <u>13</u>	s: <u>net61</u>
b: <u>vss</u>	b: <u>vss</u>

层次化opamp版图的LVS

- 继续反标Property Error中的Discrepancy #1，这里说明了layout中的这个n管w为78u，小于对应电路图中该n管的w=104u
- 解决方法是选中layout中器件，用Q键修改其属性



The screenshot displays a layout editor window titled 'opamp_lvs' showing a circuit layout. A red dashed box highlights a specific component. To the right, the 'Argus PVE' window shows the LVS results, indicating an 'Incorrect Net' and a 'Property Error'.

Argus PVE

Comparison Results | Extraction Report

LVS Results: INCORRECT

- opamp_lvs / opamp_lvs: 2 Discrepancies
 - Incorrect Net - 1 Discrepancies
 - Discrepancy #1
 - Property Error - 1 Discrepancies
 - Discrepancy #1

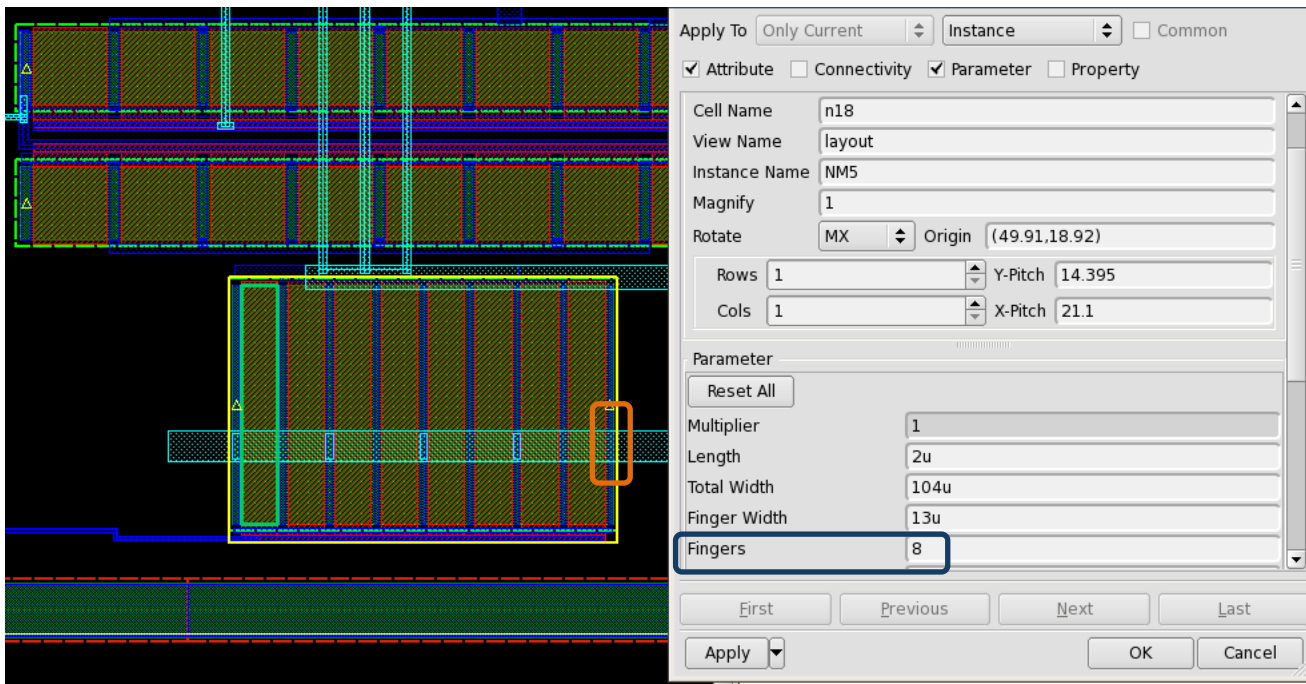
Property Error

LAYOUT NAME	SOURCE NAME
X40/M0 (50.390,18.920) MN (N18) w: 78 u	MN15 MN (N18) w: 104 u

Cell "opamp_lvs" is matched with instance "MN15" in cell "opamp_lvs"

层次化opamp版图的LVS



- 如下图，我们将Fingers数设置为8，这样可以看到其w值就由78u变成了104u
- 还需要注意：在图中橙框位置加入一个M2_M1的3*1 via，将新增finger的S端也和vss进行连接
- 修好两个问题后，保存版图重run LVS，可以看到这次Comparison Results中报对比正确





思考题



-  Pattern Density类DRC检查中，要求多晶硅和各层金属的总面积占IC整体面积的比例大于某一比例，这么要求的原因是什么？
-  LVS虚连接方法的好处和缺点是什么？适用的范围如何？