

模拟集成电路设计实验

——第二次实验

信息科学技术学院

姓名：胡睿 PB17061124

实 验 报 告

评分：

信 院 系 17 级 姓名 胡 睿 日期 2021-01-06 NO. _____

【实验题目】CMOS 数字电路基本单元设计方法

【实验目的】

1. 继续使用 Cadence IC6 版本全定制设计集成平台 virtuoso，进行 Schematic 原理图编辑；
2. 学习 ADE(模拟设计环境) 的 Spectre 直流 DC 仿真方法, 并获取 MOS 管工艺参数；通过兼顾数字电路基本单元设计，掌握 tran 瞬态仿真方法；

【提取参数】



该反相器的逻辑阈值电压是 727.512mV，将导致输出上升沿比下降沿慢。

(提示：P 管上拉，N 管下拉；阈值电压偏小，说明 P 管电阻大。)

长度 $L=180\text{nm}$ ， 宽度 W 为 $W1=220\text{nm}$ 时：

$$\text{反相器 } \beta_{W1} = \frac{W_p}{W_n} = \frac{k_n}{k_p} = \frac{\mu_n C_{ox}}{\mu_p C_{ox}} = \left(\frac{n18 \text{ 的 } \beta_{eff}}{p18 \text{ 的 } \beta_{eff}} \right)_{W/L \text{ 相同}} = \frac{502.681}{144.881} = 3.46961$$

长度 $L=180\text{nm}$ ， 宽度 W 为 $W2=1.8\mu\text{m}$ 时：

实 验 报 告

评分：

信 院 系 17 级 姓名 胡 睿 日期 2021-01-06 NO. _____

$$\text{反相器 } \beta_{W2} = \frac{W_p}{W_n} = \frac{k_n}{k_p} = \frac{\mu_n C_{ox}}{\mu_p C_{ox}} = \left(\frac{n18 \text{ 的 } \beta_{eff}}{p18 \text{ 的 } \beta_{eff}} \right)_{W/L \text{ 相同}} = \frac{3573.16}{911.485} = 3.92015$$

$$\text{取平均 } \beta = \frac{\beta_{W1} + \beta_{W2}}{2} = \frac{3.46961 + 3.92015}{2} = 3.69488 \approx 3.7$$

表 4.1:

反相器 PMOS 与 NMOS 管的优化宽度比 $\beta=3.7$				
器件标号	单元名	Length/n	Total Width/n	Multiplier/Fingers
NM0	n18	180	500	1/1
PM0	p18	180	1850	1/3

获得 CMOS 反相器静态 VTC 后发现电压偏小，因此采用实验一中的 V_{th} 数据重新计算 β 如下：

长度 $L=180\text{nm}$ ， 宽度 W 为 $W1=220\text{nm}$ 时：

$$\text{反相器 } \beta_{W1} = \frac{W_p}{W_n} = \frac{k_n}{k_p} \cdot \frac{V_{gs}-V_{th}}{V_{gs}-V_{th}} = \frac{\mu_n}{\mu_p} \cdot \frac{V_{gs}-V_{th}}{V_{gs}-V_{th}} = \left(\frac{n18 \text{ 的 } \beta_{eff}}{p18 \text{ 的 } \beta_{eff}} \cdot \frac{V_{gs}-V_{th}}{V_{gs}-V_{th}} \right)_{W/L \text{ 相同}} = \frac{502.681}{144.881} \cdot \frac{900-435.209}{900-490.221} = 3.9354$$

长度 $L=180\text{nm}$ ， 宽度 W 为 $W2=1.8\mu\text{m}$ 时：

$$\text{反相器 } \beta_{W2} = \frac{W_p}{W_n} = \frac{k_n}{k_p} \cdot \frac{V_{gs}-V_{th}}{V_{gs}-V_{th}} = \frac{\mu_n}{\mu_p} \cdot \frac{V_{gs}-V_{th}}{V_{gs}-V_{th}} = \left(\frac{n18 \text{ 的 } \beta_{eff}}{p18 \text{ 的 } \beta_{eff}} \cdot \frac{V_{gs}-V_{th}}{V_{gs}-V_{th}} \right)_{W/L \text{ 相同}} = \frac{3573.16}{911.485} \cdot \frac{900-466.577}{900-484.91} = 4.09329$$

$$\text{取平均 } \beta = \frac{\beta_{W1} + \beta_{W2}}{2} = \frac{3.9354 + 4.09329}{2} = 4.014345 \approx 4.02$$

表 4.1:

实 验 报 告

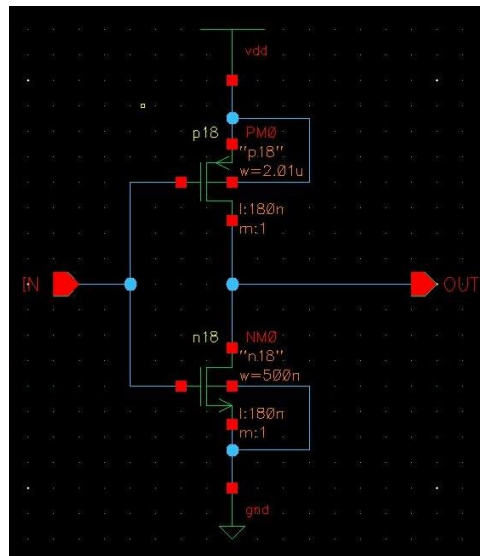
评分:

信 院 系 17 级 姓名 胡 睿 日期 2021-01-06 NO. _____

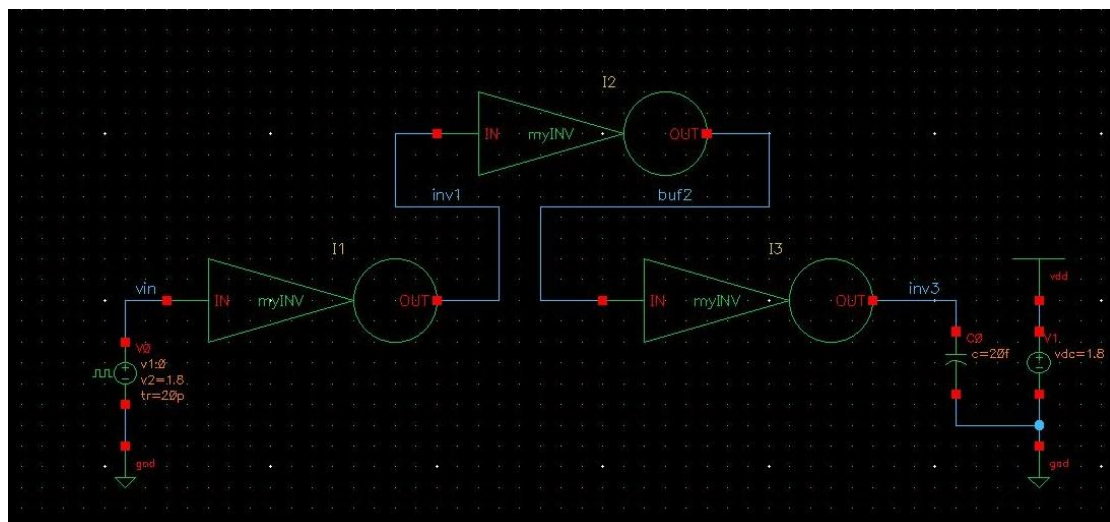
反相器 PMOS 与 NMOS 管的优化宽度比 $\beta=4.014345=4.02$

器件标号	单元名	Length/n	Total Width/n	Multiplier/Fingers
NM0	n18	180	500	1/1
PM0	p18	180	2010	1/3

反相器设计如下图所示：



测试电路如下图所示：



瞬态波形仿真如下图所示：

实 验 报 告

评分:

信 院 系 17 级 姓名 胡 睿 日期 2021-01-06 NO. _____

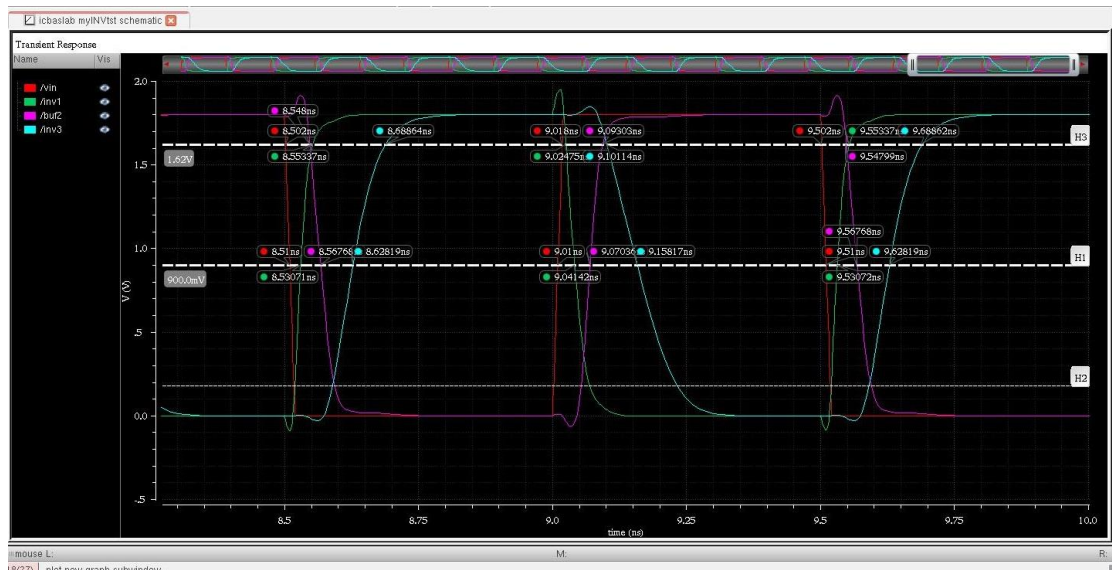
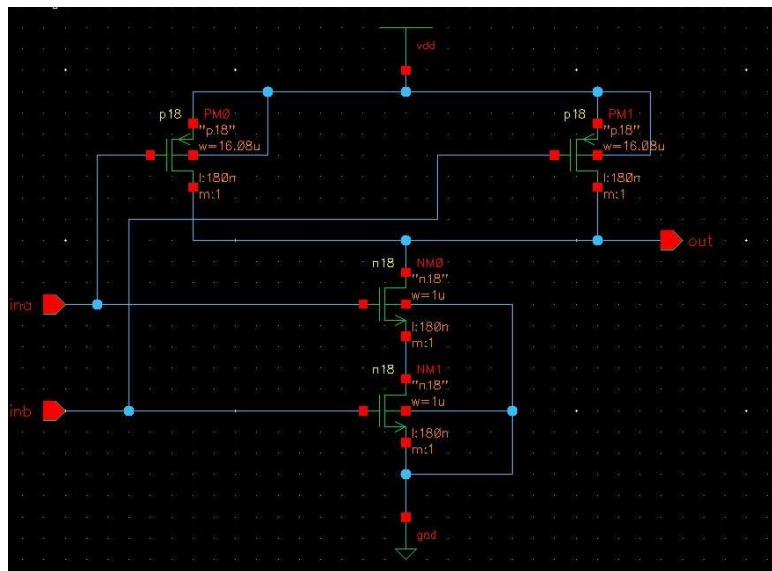


表 4.3:

单元	上升波形测量/ns			下降波形测量/ns			延迟时间 (50%) /ns			延迟时间说明
	10%时刻	90%时刻	上升时间	90%时刻	10%时刻	下降时间	输入时刻	输出时刻	延迟时间	
Inv1	8.51979	8.55337	0.03358	9.02475	9.06942	0.04467	9.01	9.04142	0.03142	相对 vin 边沿
Buf2	9.05346	9.09303	0.03957	9.54799	9.59386	0.04587	9.01	9.07036	0.06036	相对 vin 边沿
Inv3	8.58998	8.68864	0.09866	9.10114	9.23231	0.13117	9.07036	9.15817	0.08781	相对 buf2 边沿

设计输入与非门如下图所示:



瞬态波形仿真如下图所示:

实 验 报 告

评分:

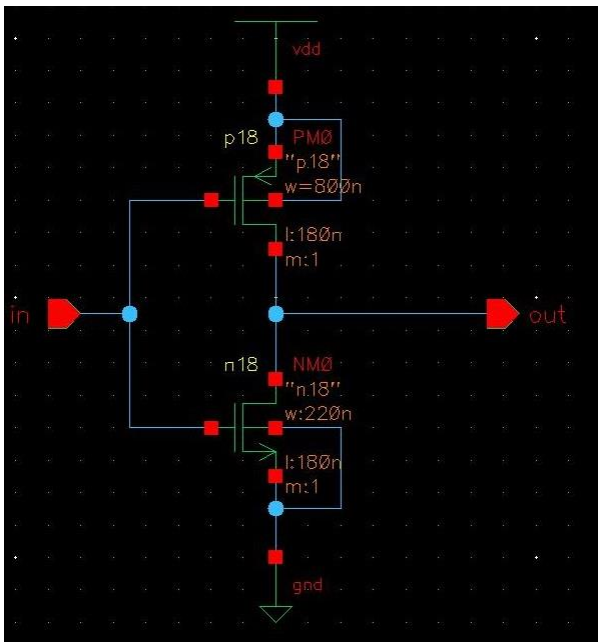
信 院 系 17 级 姓名 胡 睿 日期 2021-01-06 NO. _____



表 4.4:

器件标号	单元名	Length	TotalWidth	Multiplier/Fingers	说明
NM0	n18	180n	1u	1/1	根据工艺参数合理设计 w
NM0	n18	180n	1u	1/1	
PM0	p18	180n	16.08u	1/2	
PM1	p18	180n	16.08u	1/2	
2010n*8=16.08u					

设计较弱驱动能力反相器如下图所示:

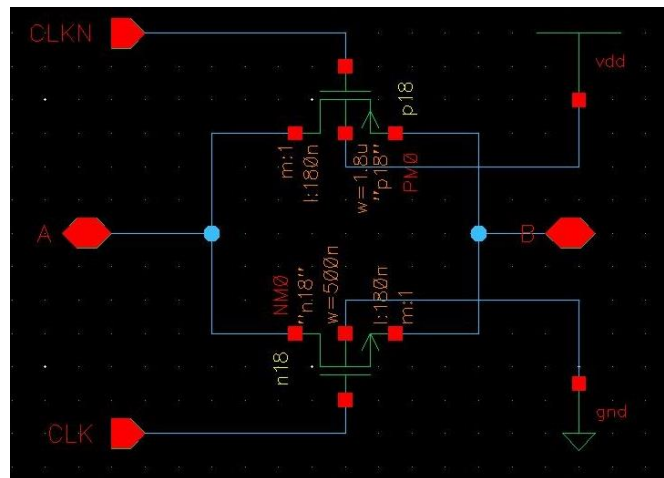


设计传输门如下图所示:

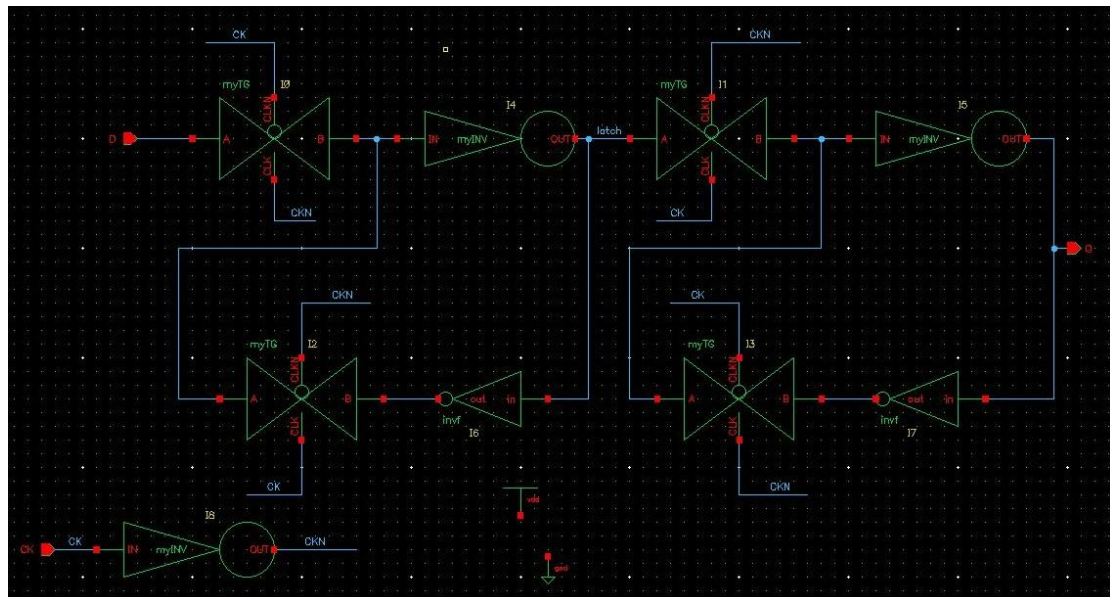
实 验 报 告

评分:

信 院 系 17 级 姓名 胡 睿 日期 2021-01-06 NO. _____



设计 D 触发器如下图所示：



瞬态仿真结果如下图所示：

实 验 报 告

评分:

信 院 系 17 级 姓名 胡 睿 日期 2021-01-06 NO. _____



【实验收获】

- 1、使用 Cadence IC6 版本全定制设计集成平台 virtuoso 进行 Schematic 原理图编辑和模块集成；
- 2、学习 ADE（模拟设计环境）的瞬态仿真方法，掌握 tran 瞬态仿真方法。