

数字集成电路设计

第7、9章习题课

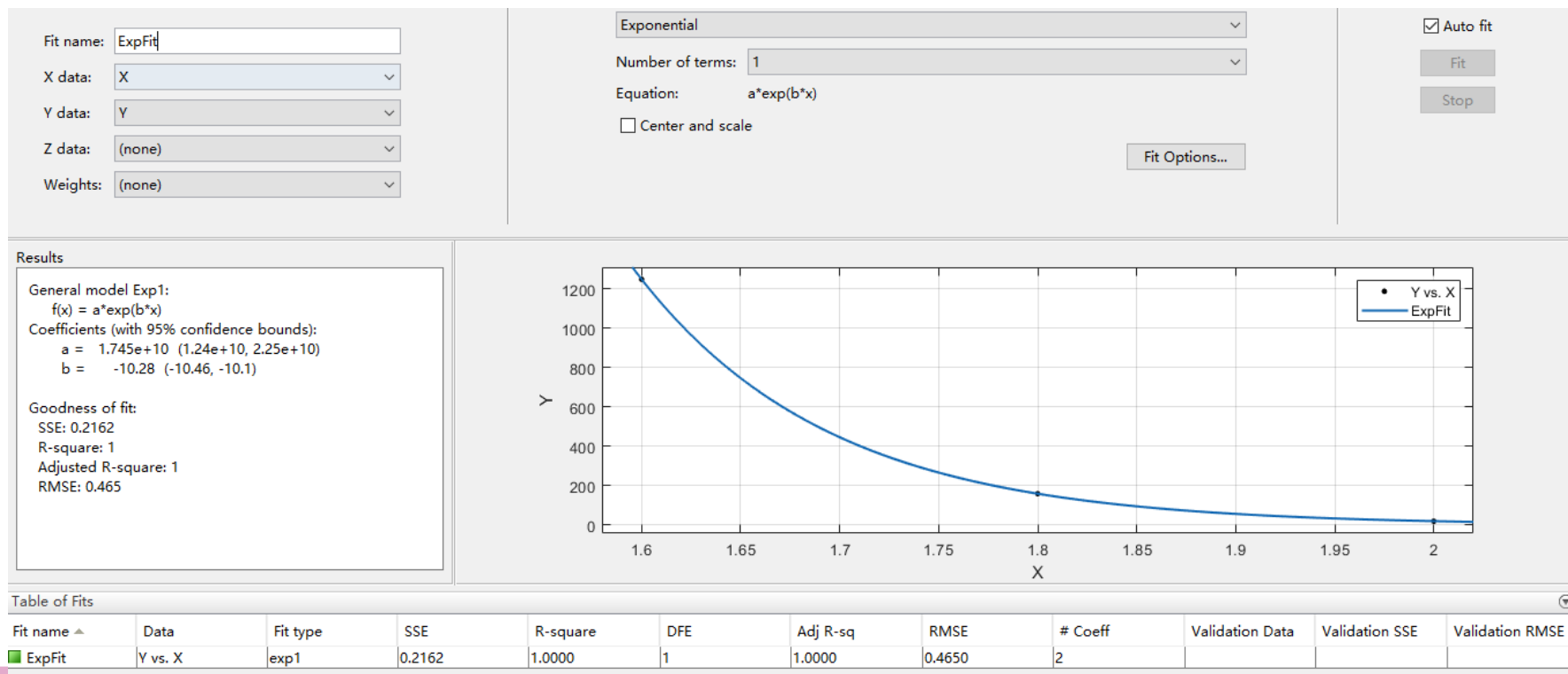
时 间：2020年4月29日

7.2

某电路正在高电压下进行加速寿命试验。如果测量得到的失效时间在 2 V 下为 20 小时、1.8 V 下为 160 小时及 1.6 V 下为 1250 小时，试预测能达到 10 年寿命期时的最高工作电压。

```
clc
close all
clear
X=[2.0,1.8,1.6];
Y=[20,160,1250];
cftool(X,Y)
```

```
%%
%求解
syms x y
[x,y]=solve([y==fitresult.a*exp(fitresult.b*x),y==10*365*24+48],[x,y]);
eval(x)%执行文本中的 MATLAB 表达式，转换为数值
```



7.6

一个芯片含 100 个 11 级的环形振荡器。每个反相器的平均延时为 10 ps，标准差为 1 ps，因此环形振荡器平均运行在 4.54 GHz。该芯片的工作频率定义为芯片上所有振荡器中最慢的频率。

(a) 求该芯片的期望工作频率。

(b) 求参数成品率达到 97.7% 时最大的目标工作频率。

- (a) 每个 11 级环形振荡器的平均周期为 $2 * 11 * 10 = 220ps$
 平均周期的标准差为 $\sqrt{2 * 11} * 1ps = 4.7ps$

$$E = \int_{-\infty}^{+\infty} t \cdot \frac{d}{dt} \left[\Phi\left(\frac{t - \mu}{\sigma}\right) \right]^n dt$$

$$= \mu + \sigma \int_{-\infty}^{\infty} t \cdot [\Phi(t)]^n dt$$

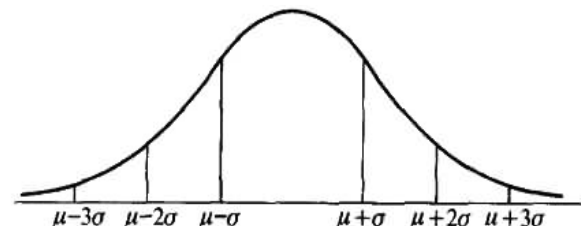
最慢路径的平均周期为 $220 + 4.7 * 2.5 = 231.8ps$
 其标准差为 $0.43 * 4.7 = 2.0ps$

所以，该芯片期望的工作频率为 $\frac{1}{231.8ps} = 4.31GHz$

- (b) 97.7% 的成品率对应 2σ 的标准差，
 其对应的最慢的周期为 $231.8ps + 2 * 2.0 = 235.8ps$
 对应的频率为 4.24GHz

表 7.9 N 个正态随机变量的最大值特性

N	$E[M]$	$\sigma(M)$
2	0.56	0.82
10	1.54	0.59
100	2.50	0.43
1000	3.24	0.35
10 000	3.85	0.30
100 000	4.40	0.28



$$P\{|x - \mu| < \sigma\} = 68.26\%$$

$$P\{|x - \mu| < 2\sigma\} = 95.44\%$$

$$P\{|x - \mu| < 3\sigma\} = 99.74\%$$

syms x

vpasolve((2*normcdf(x)-1)==0.977)

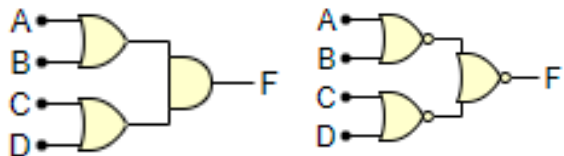
%x=2.2734

9.4

设计一个计算 $F = (A + B)(C + D)$ 的静态 CMOS 电路使它具有最小的延时。每个输入晶体管的最大宽度不超过 30λ ，输出必须驱动相当于宽度为 500λ 的晶体管的负载。选择晶体管的尺寸使它的延时最小并以 τ 为单位估算这个延时。

$$\text{路径电气努力 } H = \frac{500\lambda}{30\lambda} = \frac{50}{3}$$

(a)



$$\text{路径逻辑努力 } G = \frac{5}{3} \cdot \frac{5}{3} = \frac{25}{9}$$

$$\text{路径分支努力 } B = 1$$

$$\text{路径寄生延时 } P = 2 + 2 = 4$$

$$\text{路径努力 } F = GBH = \frac{1250}{27}$$

$$\text{单级努力延时 } f = F^{1/2} = 6.804$$

$$\text{路径延时 } D = 2f + P = 17.6\tau$$

(b)

$$OAI22 + INV$$

$$\text{路径逻辑努力 } G = 2 \cdot 1 = 2$$

$$\text{路径分支努力 } B = 1$$

$$\text{路径寄生延时 } P = 4 + 1 = 5$$

$$\text{路径努力 } F = GBH = \frac{100}{3}$$

$$\text{单位路径延时 } f = F^{1/2} = 5.773$$

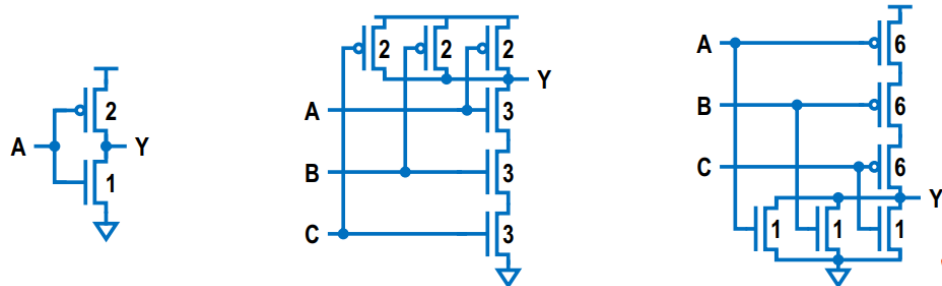
$$\text{路径延时 } D = 2f + P = 16.5\tau$$

$$\text{反相器的输入电容为 } \frac{500\lambda \cdot 1}{5.773} = 86.6\lambda$$

9.10

画出高偏斜和低偏斜三输入与非门和或非门的电路图。每个门在它最关键跳变时的逻辑努力是多少？

上升和下降跳变的逻辑努力分别称为 g_u 和 g_d ，且它们就是偏斜门的输入电容与一个对相应跳变具有相同驱动能力的不偏斜反相器的输入电容之比。

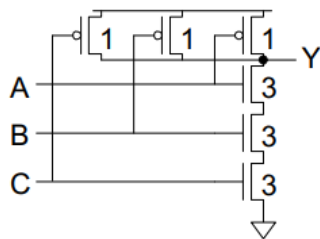
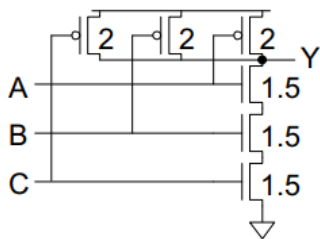


具有单位电阻的逻辑门

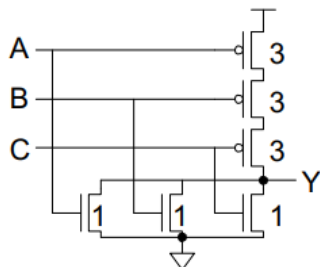
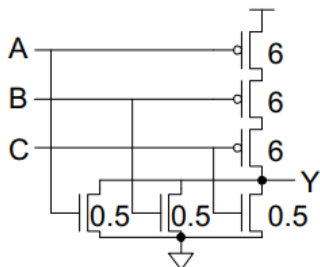
HI SKEW

LO SKEW

NAND3



NOR3



NAND3:

$$\text{HI-skew: } g_u = \frac{2+1.5}{3} = \frac{7}{6}$$

$$\text{LO-skew: } g_d = \frac{1+3}{3} = \frac{4}{3}$$

NOR3:

$$\text{HI-skew: } g_u = \frac{6+0.5}{3} = \frac{13}{6}$$

$$\text{LO-skew: } g_d = \frac{3+1}{3} = \frac{4}{3}$$

9.13 试证明使一个逻辑门平均延时最小的 P/N 比值为这个门具有相等的上升和下降延时时的 P/N 比值的平方根。

记 $\frac{\mu_n}{\mu_p} = \mu$, 平均延时为 g_{avg} , NMOS 的尺寸为 N , PMOS 的尺寸 P .

$$\begin{aligned} g_{avg} &= \frac{1}{2}(g_u + g_d) \\ &= \frac{1}{2} \left[\frac{(N+P)C}{\frac{P}{\mu}(1+\mu)C} + \frac{(N+P)C}{N(1+\mu)C} \right] \\ &= \frac{1}{2(1+\mu)} \left[1 + \frac{P}{N} + \mu + \mu\left(\frac{N}{P}\right) \right] \end{aligned}$$

$$\frac{\partial g_{avg}}{\partial(\frac{P}{N})} = \frac{1}{2(1+\mu)} \left[1 - \mu \frac{1}{(\frac{P}{N})^2} \right]$$

$$\text{令 } \frac{\partial g_{avg}}{\partial(\frac{P}{N})} = 0, \text{ 则 } \frac{P}{N} = \sqrt{\mu}$$

9.16

许多标准单元库选择反相器的 P/N 比值时，使它介于给出相同上升和下降延时时的 P/N 比值与给出最小平均延时时的 P/N 比值之间。试说明为什么这样做？

上升和下降延迟相等的反相器的电路的速度相对慢，且需要较大尺寸的PMOS晶体管。

最小平均延迟的比率，导致上升和下降延迟明显不同。一些路径主要受这两个延迟之一的影响，因此，过长的上升延时或下降延时是不可取的。

选择一个中等的 P/N 比可以使平均延迟几乎等于最小值，而晶体管的尺寸要小于相等延迟的晶体管，时又可以避免非常缓慢的上升延迟。