

## 数字部分 实验三 物理设计基本流程

### 一、环境配置

#### 1.1 登录方法

利用 Xmanager 软件登录服务器,协议选择 SSH,IP 地址为 202.38.81.119,端口 2122,登录管理节点,然后利用 SSH 登录运算节点 c01n01 至 c01n14,登录时请注意避开用户较多的节点。例如,登录 c01n10 节点,可以运行:

```
$ ssh -X c01n10
```

#### 1.2 进入实验目录

```
$ cd ~/vlsci
```

本实验继续使用实验一的目录,若实验一中使用了其他目录名,请做相应的修改。

#### 1.3 复制实验数据

```
$ cp ~eda/course/219004/FPR_10_1_modified.tar.gz .  
$ tar xvfz FPR_10_1_modified.tar.gz
```

#### 1.4 运行软件

设置 Cadence EDI 10.1 软件环境,运行:

```
$ setdt edi
```

上述命令中的 `setdt` 是实验中心自定义的脚本,不是通用的命令,在其他环境下请咨询相应的管理员或 CAD 支持人员。

设置环境变量,使软件调用 32 位版本,运行:

```
$ setenv CDS_AUTO_64BIT NONE
```

进入工作目录,启动 Cadence EDI,运行:

```
$ cd FPR/work  
$ encounter
```

在软件运行过程中,终端窗口会显示大量提示信息,请在每一步操作时注意观察,了解各操作进行的过程和结果。

### 二、设计输入

#### 2.1 设计概况

该设计包括大约 6000 个实例,57 个 I/O 端口和大约 6400 根连线,网表格式为层次化的 Verilog 网表,包括以下三个时钟:

DTMF_INST/clock	DMA 时钟源
DTMF_INST/spi_clock	SPI 接口时钟

scan\_clk                      扫描时钟

该设计所采用的工艺是 6 层金属的 180nm 工艺。

## 2.2 导入设计

从菜单选择 File – Import Design, 弹出 Design Import 对话框。

点击 Load 按钮, 选择 dtmf.conf 文件并点击 Open 按钮。

加载 dtmf.conf 文件后, Design Import 对话框的以下项目会自动填充:

Verilog Files	门级 Verilog 网表文件名
LEF Files	库单元和硬核的物理模型、工艺物理信息
IO Assignment File	I/O 单元的顺序和位置信息
MMMC View Definition File	时序库和时序约束文件的定义

点击 OK 按钮, 导入设计和工艺库。

## 2.3 浏览设计

学习工具栏图标的功能, 把鼠标悬停在图标上, 可以看到显示的该图标功能。

使用缩放图标放大或缩小设计视图并观察细节, 按住鼠标右键拖曳可以放大指定区域。

使用工具栏最右侧的视图图标组, 分别选择 Floorplan View、Amoeba View 和 Physical View 观察设计。在后续的流程中, 注意灵活使用这组图标切换视图模式。

使用右侧 Layer Control 工具箱设置各种层的显示属性。在后续的流程中, 注意灵活使用该工具箱根据需要显示或隐藏各种层。

用鼠标选择粉红色模块 DTMF\_INST, 从工具栏点击 Ungroup 图标, 显示 DTMF\_INST 的子模块, 用鼠标双击模块观察其名称和属性。



从菜单选择 Options – Set Preference, 选择 Display 页, 注意 Min. Floorplan Module Size 项, 其限定了能够显示的最小模块大小, 如将其设置为更小的值, 则可以显示更小的模块。

用鼠标选择一个粉红色模块, 从工具栏点击 Group 图标, 重新组合成一个模块显示。



从菜单选择 Tools – Design Browser, 可以浏览设计的层次结构及详细信息。浏览结束后选择 File – Quit 退出。

## 2.4 检查设计

在软件命令行运行:

```
> checkDesign -netlist
```

打开 checkDesign/DTMF\_CHIP.main.htm.ascii 文件查看检查报告。

## 三、布图规划 (Floorplanning)

### 3.1 初始化布图规划

从菜单选择 Floorplan – Clear Floorplan, 弹出 Clear Floorplan 对话框。选择 All

Floorplan Objects, 点击 OK 按钮, 清除当前的布图规划。

从菜单选择 Floorplan – Specify Floorplan, 弹出 Specify Floorplan 对话框。注意观察比较对话框中定义芯片尺寸的不同方式, 各有效项目及其中的数据在 `dtmf.conf` 文件中定义并自动加载。点击 OK 按钮初始化布图规划。

从工具栏点击 Ruler 图标 (快捷键 k), 测量布图规划的各尺寸和距离数据。

从工具栏点击 Clear All Ruler 图标 (快捷键 Shift-k), 清楚所有标尺。



### 3.2 定制布图规划

用鼠标选择粉红色模块 DTMF\_INST, 从工具栏点击 Ungroup 图标, 显示其下一层次的子模块。

从工具栏点击 Move 图标, 把一个粉红色模块移到芯片核心区域。

从工具栏点击 Cut Rectilinear 图标, 把鼠标移至被选中模块的一边或一角, 此时鼠标变为双向箭头形状, 点击鼠标左键, 画出被切割区域矩形, 再次点击鼠标左键。原矩形模块被切割掉一个矩形区域后变为多边形, 注意模块 TU 数值的变化, 该数值表示该模块的目标利用率 (Target Utilization Percentage)。



### 3.3 创建阻挡区域 (Blockage)

从工具栏点击 Create Placement Blockage 图标, 用鼠标左键创建布局阻挡区域。从工具栏点击 Select 图标, 用鼠标选择所创建的布局阻挡区域, 按 q 键观察其属性。

从工具栏点击 Create Routing Blockage 图标, 用鼠标左键创建布线阻挡区域。从工具栏点击 Select 图标, 用鼠标选择所创建的布线阻挡区域, 按 q 键观察其属性。



### 3.4 关联布图规划 (Relative Floorplanning)

从菜单选择 Floorplan – Clear Floorplan, 弹出 Clear Floorplan 对话框。选择 All Floorplan Objects, 点击 OK 按钮, 清除当前的布图规划。

从菜单选择 Floorplan – Relative Floorplan – Edit Constraint, 弹出 Relative Floorplan 对话框。

用鼠标选择 DTMF\_INST/ARB\_INST/ROM\_512x16\_0\_INST 模块, 点击对话框 Get Selected 按钮。在 Instance Orientation 项选择 Update to: MX, 在 New Location 部分选择 Relative to Object 选项和 Bottom\_Core\_Boundary, 在 Relation 项选择 Above, 在 Align by 项选择 Right Side, 点击 Apply 按钮。

用鼠标选择 DTMF\_INST/RAM\_256x16\_TEST\_INST/RAM\_256x16\_INST 模块, 点击对话框 Get Selected 按钮。在 Instance Orientation 项选择 Keep Original, 在 New Location 部分选择 Relative to Object 选项和 Top\_Core\_Boundary, 在 Relation 项选择 Below, 在 Align by 项选择 Right Side, 点击 Apply 按钮。

用鼠标选择 DTMF\_INST/RAM\_128x16\_TEST\_INST/RAM\_128x16\_INST 模块, 点击对话框 Get Selected 按钮。在 Instance Orientation 项选择 Keep Original, 在 New Location

部分选择 Relative to Object 选项并填写 DTMF\_INST/RAM\_256x16\_TEST\_INST/RAM\_256x16\_INST 或选中该模块后点击 Get Selected 按钮，在 Relation 项选择 Below，在 Space 项填写 20，在 Align by 项选择 Right Side，点击 Apply 按钮。

用鼠标选择 DTMF\_INST/PLLCLK\_INST 模块，点击对话框 Get Selected 按钮。在 Instance Orientation 项选择 Keep Original，在 New Location 部分选择 Relative to Object 选项和 Bottom\_Core\_Boundary，在 Relation 项选择 Above，在 Space 项填写 20，在 Align by 项填写 20 并选择 Left Side，点击 Apply 按钮。

点击 Save 按钮，输入文件名 `dtmf_relfp.tcl`，点击 Save 按钮保存文件。

点击 Cancel 按钮退出对话框。

### 3.5 添加模块光环 (Halo)

模块光环(Halo)用于阻挡标准单元的布局，以使标准单元与模块保持一定的距离。

按住 Shift 键,用鼠标左键依次选择 DTMF\_INST/PLLCLK\_INST、DTMF\_INST/ARB\_INST/ROM\_512x16\_0\_INST 和 DTMF\_INST/RAM\_128x16\_TEST\_INST/RAM\_128x16\_INST 三个模块，使这三个模块同时被选中。

从菜单选择 Floorplan – Edit Floorplan – Edit Halo，弹出 Edit Halo 对话框。

选择 Selected Blocks/Pads，选择 Placement Halo，选择 Add/Update Block Halo，在 Top、Bottom、Left 和 Right 四项全部输入 22，点击 Apply 按钮。

用鼠标左键选择 DTMF\_INST/RAM\_256x16\_TEST\_INST/RAM\_256x16\_INST 模块，在 Edit Halo 对话框中，在 Bottom 项输入 34，其他各项保持不变，点击 OK 按钮。

### 3.6 添加输入输出填充单元 (I/O Filler)

从菜单选择 Place – Physical Cell – Add I/O Filler，弹出 Add IO Filler 对话框。

在 Cell Name 项填写 PFEED50 PFEED35 PFEED20 PFEED10 PFEED5 PFEED2 PFEED1 PFEED01 PFEED005 PFEED001 PFEED0005（用空格隔开且尺寸从大到小排列），在 Side 项选择 Top，点击 Apply 按钮，在 Side 项选择 Bottom，点击 Apply 按钮，在 Side 项选择 Left，点击 Apply 按钮，在 Side 项选择 Right，点击 OK 按钮。

注意观察输入输出单元部分在添加填充单元后的变化。

### 3.7 保存设计

从菜单选择 File – Save Design，弹出 Save Design 对话框，在 File Name 项输入 `dtmf_floorPlan.enc`，点击 OK 按钮保存设计。

如果需要打开已保存的设计，可以从菜单选择 File – Restore Design，并选择打开相应的 `.enc` 文件。

## 四、电源规划 (Power Planning)

### 4.1 定义电源连接

从菜单选择 Power – Connect Global Nets, 弹出 Global Net Connections 对话框。  
选择 Pin, 在 Instance Basename 项填写\*, 在 Pin Name(s)项填写 VDD, 选择 Apply All, 在 To Global Net 项填写 VDD, 点击 Add to List 按钮。  
在 Pin Name(s)项填写 vdd!, 点击 Add to List 按钮。  
在 Pin Name(s)项填写 VSS, 在 To Global Net 项填写 VSS, 点击 Add to List 按钮。  
在 Pin Name(s)项填写 gnd!, 点击 Add to List 按钮。  
选择 Tie Low, 清除 Pin Name(s)项内容, 点击 Add to List 按钮。  
选择 Tie Hight, 在 To Global Net 项填写 VDD, 点击 Add to List 按钮。  
点击 Apply 按钮, 点击 Cancel 按钮关闭对话框。  
通过上述操作, 分别建立了全局电源/地线与所有实例(包括标准单元、存储器硬核、I/O PAD)的电源/地端口的连接关系。

#### 4.2 规划电源环 (Power Ring)

从菜单选择 Power – Power Planning – Add Ring, 弹出 Add Rings 对话框。  
在 Net(s)项填写 VSS VDD, 在 Ring Type 部分选择 Core Ring(s) Contouring 和 Around Core Boundary, 在 Ring Configuration 部分, Top 和 Bottom 对应的 Layer 选择 Metal5 H, Left 和 Right 对应的 Layer 选择 Metal6 V, Width 全部填写 8, Spacing 全部填写 1, Offset 选择 Center in Channel, 点击 Apply 按钮, 观察生成的电源环。一般选择最顶层的两层金属用于电源环, H 和 V 分别表示横向和纵向。  
使用鼠标选择 DTMF\_INST/PLLCLK\_INST 模块, 在 Add Rings 对话框中, 在 Ring Type 部分选择 Block Ring(s) around 和 Each Selected Block and/or Group of Core Rows, Offset 选择 Specify 并全部填写 1, 点击 OK 按钮, 观察生成的模块电源环。  
在窗口右侧 Layer Control 工具箱, 选择 Physical 组, 选择 Instance Pin 层使其显示, 即可看到各模块的 Pin。  
其他三个存储器模块自身带有电源环结构, 并定义为 VDD 和 VSS 的 Pin, 因此不需要在此添加电源环。

#### 4.3 规划电源条带 (Power Stripe)

从菜单选择 Power – Power Planning – Add Stripe, 弹出 Add Stripes 对话框。  
在 Net(s)项填写 VSS VDD, 在 Layer 项选择 Metal6, 在 Direction 项选择 Vertical, 在 Width 项填写 8, 在 Spacing 项填写 1, 选择 Set-to-set Distance 并填写 120, 选择 Relative from Core or Selected Area, 在 X from Left 项填写 0, 在 X from Right 项填写 0。  
切换至 Advanced 页, 选择 Omit Stripes inside Block Rings。  
点击 OK 按钮, 观察生成的电源条带。

#### 4.4 电源布线

从菜单选择 Route – Special Route, 弹出 SRoute 对话框。

在 Net(s)项填写 VSS VDD, 在 SRoute 部分清除 Pad Rings 的选择, 切换至 Advanced 页, 选择 Follow Pins, 在 Extension Control 项选择 None, 点击 OK 按钮, 观察电源布线结果。

#### 4.5 保存设计

从菜单选择 File – Save Design, 弹出 Save Design 对话框, 在 File Name 项输入 `dtmf_powerPlan.enc`, 点击 OK 按钮保存设计。

### 五、布局 (Placement)

#### 5.1 准备数据

如果没有完成前面的实验步骤, 或对布图规划实验结果不满意, 可以使用实验教程自带的布图规划继续完成后面的实验内容。如果已经完成前面的实验步骤且结果较好, 可以跳过这一小节的操作。

如果正在运行 EDI, 从菜单选择 File – Exit, 弹出 Confirm 对话框, 点击 Yes 按钮, 退出 EDI。

重新运行 EDI, 按照第 2.2 节所述步骤重新导入设计。

从菜单选择 File – Load – Floorplan, 选择 `dtmf.fp` 文件, 点击 Open 按钮, 导入实验教程自带的布图规划。

#### 5.2 布局设置

从菜单选择 Place – Specify – Placement Blockage, 弹出 Specify Placement Blockage for Strip and Routing Blockage 对话框。清除 M1 的选择, 选择 M2 至 M6, 点击 OK 关闭对话框。这一步操作阻止了在电源条带下方布局标准单元, 以避免引起布线阻塞问题。

从菜单选择 Options – Set Mode – Mode Setup, 弹出 Mode Setup 对话框。在 List of Modes 部分选择 Placement, 在 Congestion Effort 选择 Auto, 选择 Run Timing Driven Placement, 点击 OK 按钮。

定义设计中包括的两条扫描链, 在软件命令行运行:

```
> source scan.tcl
```

#### 5.3 布局

从菜单选择 Place – Place Standard Cell, 弹出 Place 对话框。选择 Run Full Placement, 选择 Include Pre-Place Optimization, 点击 OK 按钮并等待完成布局操作。

切换至 Physical View, 观察布局结果。如果发现有红色菱形标记, 说明此处有布线阻塞问题。



保存扫描链的 DEF 文件, 在软件命令行运行:

```
> defOutBySection -noNets -noComps -scanChains scan.def
```

从菜单选择 Place – Display – Display Scan Chain, 弹出 Display Scan Connections



对话框。点击 OK 按钮，高亮显示扫描链的路径。

从菜单选择 Place – Display – Clear Scan Display，弹出 Clear Scan Display 对话框。点击 OK 按钮，清除扫描链路径的高亮显示。

从菜单选择 File – Save Design，弹出 Save Design 对话框，在 File Name 项输入 `dtmf_place.enc`，点击 OK 按钮保存设计。

#### 5.4 试布线 (Trial Routing)

从菜单选择 Route – Trial Route，在 Max. Route Layer 选择 4，点击 OK 运行试布线。观察试布线结果，注意红色菱形表示的布线拥塞区域和布局布线的细节。

从菜单选择 File – Save Design，弹出 Save Design 对话框，在 File Name 项输入 `dtmf_trialRoute.enc`，点击 OK 按钮保存设计。

#### 5.5 寄生参数抽取

从菜单选择 Timing – Extract RC，弹出 Extract RC 对话框。点击 OK 按钮。

从菜单选择 Timing – Write SDF，弹出 Calculate Delay 对话框。选择 Ideal Clock，点击 OK 按钮创建 SDF 文件。

SDF 文件可用于时序分析和网表仿真。由于尚未进行时钟树综合，此时的时钟仍然作为理想时钟处理。

#### 5.6 时序分析和优化

从菜单选择 Timing – Report Timing，弹出 Timing Analysis 对话框。在 Design Stage 项选择 Pre-CTS，在 Analysis Type 项选择 Setup，点击 OK 按钮，生成在最坏情况(Worst Case)下的建立(Setup)时间时序报告。

从菜单选择 Timing – Debug Timing，弹出 Display/Generate Timing Report 对话框。点击 OK 按钮，弹出 Timing Debug 窗口。

在 Path List 列表双击时序路径，弹出 Timing Path Analyzer 窗口，同时在设计窗口高亮显示该路径。注意观察 Timing Path Analyzer 窗口和设计窗口显示的路径细节信息。

关闭 Timing Path Analyzer 窗口和 Timing Debug 窗口。

从菜单选择 Optimize – Optimize Design，弹出 Optimization 对话框。在 Design Stage 项选择 Pre-CTS，点击 Mode 按钮，弹出 Mode Setup 对话框，在 Max. Density 项输入 0.95，点击 OK 按钮关闭 Mode Setup 对话框，点击 OK 按钮并等待完成设计优化。

从菜单选择 Timing – Debug Timing，弹出 Timing Debug 窗口。在窗口上方 Report File(s) 项，点击打开文件按钮，弹出 Display/Generate Timing Report 对话框。点击 OK 按钮，更新时序报告，并观察新的时序路径信息。

关闭 Timing Debug 窗口。

从菜单选择 File – Save Design，弹出 Save Design 对话框，在 File Name 项输入 `dtmf_preCTSopt.enc`，点击 OK 按钮保存设计。

## 六、时钟树综合 (CTS)

### 6.1 时钟树综合

从菜单选择 Clock – Synthesize Clock Tree, 弹出 Synthesize Clock Tree 对话框。点击 Gen Spec 按钮, 弹出 Generate Clock Spec 对话框。在 Cells List 列表选中所有以 CLK 开头的单元, 点击 Add 按钮, 在 Output Specification File 项输入 `dtmf_generate.cts`, 点击 OK 按钮生成时钟规范文件。点击 OK 按钮, 运行时钟树综合并等待完成。

### 6.2 浏览时钟树

切换至 Physical View。在窗口右侧 Layer Control 工具箱, 选择 Physical 组, 清除 Net 层的选择, 使连线不可见。



从菜单选择 Clock – Display – Display Clock Tree, 弹出 Display Clock Tree 对话框。

选择 Display Clock Tree 并选择 All Level, 点击 Apply 按钮, 时钟树路径在设计窗口高亮显示。

选择 Display Clock Phase Delay, 点击 OK 按钮, 时钟树所有叶子节点在设计窗口高亮显示, 不同的颜色表示了不同的插入延迟。

从菜单选择 Clock – Display – Clear Clock Tree Display, 清除时钟树高亮显示。

在窗口右侧 Layer Control 工具箱, 选择 Physical 组, 选择 Net 层, 使连线恢复可见。

### 6.3 时序分析和优化

本节从软件命令行运行时序分析和优化命令。

在 postCTS 模式下进行建立(Setup)时间时序分析, 在软件命令行运行:

```
> timeDesign -postCTS
```

注意观察软件命令行窗口显示的提示信息和最后的时序报告。

如果时序存在负松弛量(Slack), 在 postCTS 模式下进行建立时间时序优化, 在软件命令行运行:

```
> optDesign -postCTS
```

注意观察软件命令行窗口显示的提示信息和最后的时序报告及其变化。

在 postCTS 模式下进行保持(Hold)时间时序分析, 在软件命令行运行:

```
> timeDesign -postCTS -hold
```

注意观察软件命令行窗口显示的提示信息和最后的时序报告。

如果时序存在负松弛量(Slack), 在 postCTS 模式下进行保持时间时序优化, 在软件命令行运行:

```
> optDesign -postCTS -hold
```

注意观察软件命令行窗口显示的提示信息和最后的时序报告及其变化。

从菜单选择 File – Save Design, 弹出 Save Design 对话框, 在 File Name 项输入 `dtmf_postCTSopt.enc`, 点击 OK 按钮保存设计。



## 七、布线 (Routing)

### 7.1 准备数据

如果没有完成前面的实验步骤，或对实验结果不满意，可以使用实验教程自带的设计数据继续完成后面的实验内容。如果已经完成前面的实验步骤且结果较好，可以跳过这一节的操作。

如果正在运行 EDI，从菜单选择 File – Exit，弹出 Confirm 对话框，点击 Yes 按钮，退出 EDI。

在操作系统命令行运行：

```
$ cp -R ../saved/postCTSopt.enc* .
```

从菜单选择 File – Restore Design，弹出 Restore Design 对话框。在 Restore Design File 项选择打开 `postCTSopt.enc` 文件，点击 OK 按钮。

### 7.2 添加填充单元

从菜单选择 Place – Physical Cell – Add Filler，弹出 Add Filler 对话框。

在 Cell Name(s)项填写 FILL64 FILL32 FILL16 FILL8 FILL4 FILL2 FILL1（用空格隔开且尺寸从大到小排列），点击 OK 按钮。

注意观察标准单元布局区域在添加填充单元后的变化。

### 7.3 布线

从菜单选择 Route – NanoRoute – Route，弹出 NanoRoute 对话框。选择 Timing Driven，选择 SI Driven，点击 OK 按钮，运行布线并等待完成。

注意观察软件命令行窗口显示的提示信息和最后的 DRC 报告。

如果存在天线效应规则违例，重新运行布线并插入天线效应二极管。

从菜单选择 Route – NanoRoute – Route，弹出 NanoRoute 对话框。选择 Timing Driven，选择 SI Driven，选择 Insert Diodes，在 Diode Cell Name 项填写 ANTENNA，点击 OK 按钮，运行布线并等待完成。

注意观察软件命令行窗口显示的提示信息和最后的 DRC 报告中天线效应相关信息。

### 7.4 时序分析和优化

从菜单选择 Timing – Report Timing，弹出 Timing Analysis 对话框。在 Design Stage 项选择 Post-Route，在 Analysis Type 项选择 Setup，选择 Include SI，点击 OK 按钮。注意观察软件命令行窗口显示的提示信息和最后的时序报告。

进一步的时序优化和分析，在软件命令行运行：

```
> setSIMode -analysisType default
> optDesign -postRoute
> optDesign -postRoute -hold
```

```
> setDelayCalMode -engine signalStorm -SIAware false
> timeDesign -postRoute -si
> timeDesign -postRoute -si -hold
```

从菜单选择 File – Save Design, 弹出 Save Design 对话框, 在 File Name 项输入 `dtmf_detailRoute.enc`, 点击 OK 按钮保存设计。

## 八、物理验证和数据交付

### 8.1 验证连通性 (Connectivity, LVS)

从菜单选择 Verify – Verify Connectivity, 弹出 Verify Connectivity 对话框, 取消选择 DanglingWire (Antenna), 点击 OK 按钮运行连通性验证。

如果有违例, 从菜单选择 Tools – Violation Browser, 弹出 Violation Browser 窗口。在 Violation Browser 窗口中浏览违例, 并分析原因。点击 Close 按钮关闭 Violation Browser 窗口。

### 8.2 验证几何图形 (Geometry, DRC)

从菜单选择 Verify – Verify Geometry, 弹出 Verify Geometry 对话框, 点击 OK 按钮运行几何图形验证。

如果有违例, 从菜单选择 Tools – Violation Browser, 弹出 Violation Browser 窗口。在 Violation Browser 窗口中浏览违例, 并分析原因。点击 Close 按钮关闭 Violation Browser 窗口。

### 8.3 数据交付

从菜单选择 File – Save Design, 弹出 Save Design 对话框, 在 File Name 项输入 `dtmf_signoff.enc`, 点击 OK 按钮保存设计。

从菜单选择 Timing – Write SDF, 弹出 Calculate Delay 对话框。取消选择 Ideal Clock, 在 SDF Output File 项输入 `dtmf.sdf`, 点击 OK 按钮, 生成 SDF 格式延迟文件。

从菜单选择 File – Save – Netlist, 弹出 Save Netlist 对话框。在 Netlist File 项输入 `dtmf.v`, 点击 OK 按钮, 生成 Verilog 格式网表文件。

从菜单选择 File – Save – GDS/OASIS, 弹出 GDS/OASIS Export 对话框。在 Output Format 项选择 GDSII/Stream, 在 Output File 项输入 `dtmf.gds`, 点击 OK 按钮, 生成 GDSII 格式版图文件。

关闭 Encounter。

## 九、若干专题（选做）

### 9.1 电源分析

#### 9.1.1 启动软件

进入工作目录, 启动 Cadence EDI, 运行:

```
$ cd ~/lab04/FPR/work
$ encounter
```

### 9.1.2 导入设计

从菜单选择 File – Import Design, 弹出 Design Import 对话框。

点击 Load 按钮, 选择 `dtmf.conf` 文件并点击 Open 按钮。

点击 OK 按钮, 导入设计和工艺库。

### 9.1.3 导入版图规划

从菜单选择 File – Load – Floorplan, 选择 `dtmf_power.fp` 文件, 点击 Open 按钮, 导入版图规划。

定义全局电源, 在软件命令行运行:

```
> source power_globals.tcl
```

### 9.1.4 布局和试布线

从菜单选择 Place – Place Standard Cell, 点击 OK 按钮运行布局。

从菜单选择 Route – Trial Route, 选择 Medium Effort, 点击 OK 按钮运行试布线。

### 9.1.5 提取寄生参数

从菜单选择 Timing – Extract RC, 点击 OK 按钮提取寄生参数。

### 9.1.6 电源分析

从菜单选择 Power – Power Analysis – Setup, 点击 OK 按钮。

从菜单选择 Power – Power Analysis – Run, 在 Dominant Frequency 项填写 200, 点击 OK 按钮运行电源分析, 并观察软件命令行窗口的提示信息。

### 9.1.7 早期电源轨道分析 (Early Rail Analysis)

在主窗口右侧选择 Physical View, 关闭 Net 的可见性。

从菜单选择 Power – Rail Analysis – Early Rail Analysis, 弹出 Early Analysis GUI 对话框。在 Net(s)项选择 VDD, 在 Pad Location File 项填写 `dtmf.vdd.pp`, 点击 OK 按钮。

### 9.1.8 观察电源分析结果

电源分析工具运行结束后, 自动弹出窗口。观察不同颜色对应的 IR Drop 值。点击 Apply 按钮, 观察设计中主要的 IR Drop 范围。

在 Auto Filter 部分的 Min 填写 1.59, Max 填写 1.62, 点击 Auto 按钮, 点击 Apply 按钮, 观察设计中 IR Drop 分布情况。

关闭 Encounter。

## 9.2 关键线网特殊布线

### 9.2.1 启动软件

进入工作目录，准备实验数据，启动 Cadence EDI，运行：

```
$ cd ~/lab04/FPR/work
$ cp -r ../saved/postCTSopt.enc* .
$ encounter
```

### 9.2.2 打开设计

从菜单选择 File – Restore Design，弹出 Restore Design 对话框。在 Restore Design File 项选择打开 `postCTSopt.enc` 文件，点击 OK 按钮。

### 9.2.3 设置线网属性

设置关键线网布线屏蔽属性，在软件命令行运行：

```
> setAttribute \
    -net DTMF_INST/TDSP_CORE_INST/read_data \
    -shield_net VDD
```

确认线网布线属性设置正确，在软件命令行运行：

```
> getAttribute \
    -net DTMF_INST/TDSP_CORE_INST/read_data
```

设置关键线网布线间距属性，在软件命令行运行：

```
> setAttribute -net DTMF_INST/clk \
    -preferred_extra_space 2
```

### 9.2.4 特殊布线

选择目标线网，在软件命令行运行：

```
> selectNet DTMF_INST/TDSP_CORE_INST/read_data
```

在主窗口右侧选择 Physical View。

从菜单选择 Route – NanoRoute – Route，弹出 NanoRoute 对话框。选择 Timing Driven，选择 Selected Nets Only，点击 OK 按钮运行布线。

观察 read\_data 线网及其屏蔽线的连接关系。

关闭 Encounter。

## 9.3 工程变更指令 (ECO)

### 9.3.1 数据准备

进入工作目录，运行：

```
$ cd ~/lab04/FPR/work/ECO
```

观察并比较 `tdsp_core.v` 和 `tdsp_core_eco.v` 两个网表文件。

`tdsp_core.v` 是初始网表。在 `tdsp_core_eco.v` 中，连接到 `p_data_out[15]` 和 `p_data_out[14]` 两个线网的实例进行了交换。搜索并观察比较实例 `i_5324` 和 `i_5331` 及其连接关系。

### 9.3.2 启动软件

启动 Cadence EDI，运行：

```
$ encounter
```

### 9.3.3 实现设计变更

实现设计变更，在软件命令行运行：

```
> ecoDesign tdsp_core.enc.dat tdsp_core tdsp_core_eco.v
```

其中的 `tdsp_core.enc.dat` 设计对应于初始网表 `tdsp_core.v`。上述命令将重新对变更的线网进行布线。

### 9.3.4 比较设计变更结果

从菜单选择 File – Save – DEF，弹出 Save DEF 对话框，在 File Name 项填写 `tdsp_core_routed_eco.def`，点击 OK 按钮。

比较设计变更结果，在软件命令行运行：

```
> ecoCompareNetlist -def tdsp_core.def -outFile ecoFile
```

观察 `ecoFile` 文件，验证线网连接关系变更是否实现。

在该设计基础上，可继续进行布线后的分析、DFM 和验证流程。

关闭 Encounter。

## 九、思考题

本次实验没有思考题，检查必做部分完成情况。