

数字部分 实验五、六 乘法器设计与实现

一、设计要求

1.1 功能简介

设计一个 32 位乘法器，端口定义如下。

输入信号	clk	时钟，上升沿触发
输入信号	rst	同步复位，高有效
输入信号	a	宽度 32，乘数
输入信号	b	宽度 32，乘数
输出信号	c	宽度 64，乘积

乘数输入 **a,b** 和乘积输出 **c** 都是寄存器暂存的。在每个时钟周期的上升沿，输入信号 **a,b** 被采样存入寄存器，利用随后的一个时钟周期完成运算，在下一个上升沿，乘积存入寄存器 **c** 中，并输出。

复位信号有效时，输出为 0。

提示：代码中直接使用乘法运算符即可支持逻辑综合。

1.2 目录结构

仿照数字部分实验一、二、四所使用的目录，建立自己的工作区目录结构，应区分源代码、仿真、逻辑综合、物理设计的工作目录。

1.3 工艺库

逻辑综合、物理设计所需的工艺库文件，使用数字部分实验一、二、四的相应文件，具体路径请参照前述实验的步骤或脚本，自行寻找并复制到本实验的相应目录下。

若存在困难，可以直接把实验一的数据和目录结构复制过来，直接在其中进行实验操作。

二、实验步骤

参考数字部分实验一、二、四的步骤，依次完成设计代码仿真、逻辑综合、物理设计，按照实验报告要求记录过程数据，撰写实验报告。

需自行编写 RTL 代码和 Testbench，若不熟悉 Verilog 语言，可以查阅相关资料，或者在 QQ 群讨论。

在两次实验时间段完成。

注意：不要求完成可测性设计、等价性检查、电路网表仿真等步骤。

四、实验报告要求

实验报告格式不限，但应包括以下内容。

- (1) 姓名、学号；
- (2) 乘法器简要框图；

- (3) 实验工作目录的位置；
- (4) 仿真结果和波形，并对测试方法加以简要说明；
- (5) 逻辑综合得到的原理图，时序信息，面积信息；
- (6) 物理设计得到的版图，时序信息，面积信息，物理验证结果；
- (7) 对实验过程中遇到问题的总结和体会。

实验报告电子版请于 1 月 26 日前提交给数字部分实验助教。