



Lab3 电路版图设计



学习内容



认识工艺文件和Technology Manager

使用电路图驱动版图 (SDL)

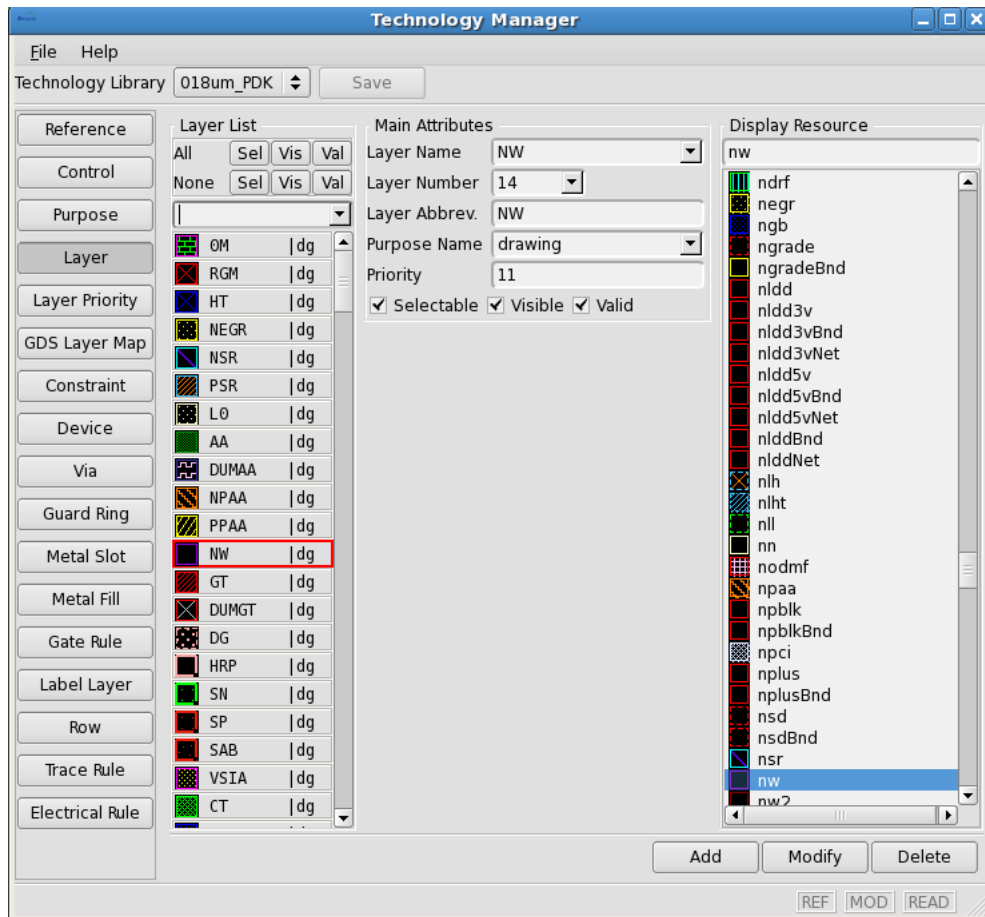
简单定制版图的设计

层次化定制版图的设计

思考题

通过Technology Manager认识工艺文件

- 进入labs/lab3/lab3_start目录，启动aether DM
- 首先如lab1一样，利用DM的菜单Option -> Settings将鼠标缩放的方式从线形缩放改为矩形缩放。更适合一般layout编辑的使用习惯
- 在DM中选中018um_PDK库，点击菜单Tools -> Technology Manager (TM) 弹出界面如右，它管理着和该PDK相关的所有版图工艺信息
- 首先出现的是Layer项，这里列举了所有可以使用的工艺层基本信息，比如右图中选中的NW这一层，它的LayerNumber是14，也就是它输出到GDS中的层号；它的状态则是可选、可见、可使用，这就是将来在设计版图时NW层的状态
- 一般不建议自行增加、修改或删除任何Layer有关信息，这样保证IC设计者严格按照Foundry提供PDK中对每一层的规定来设计版图



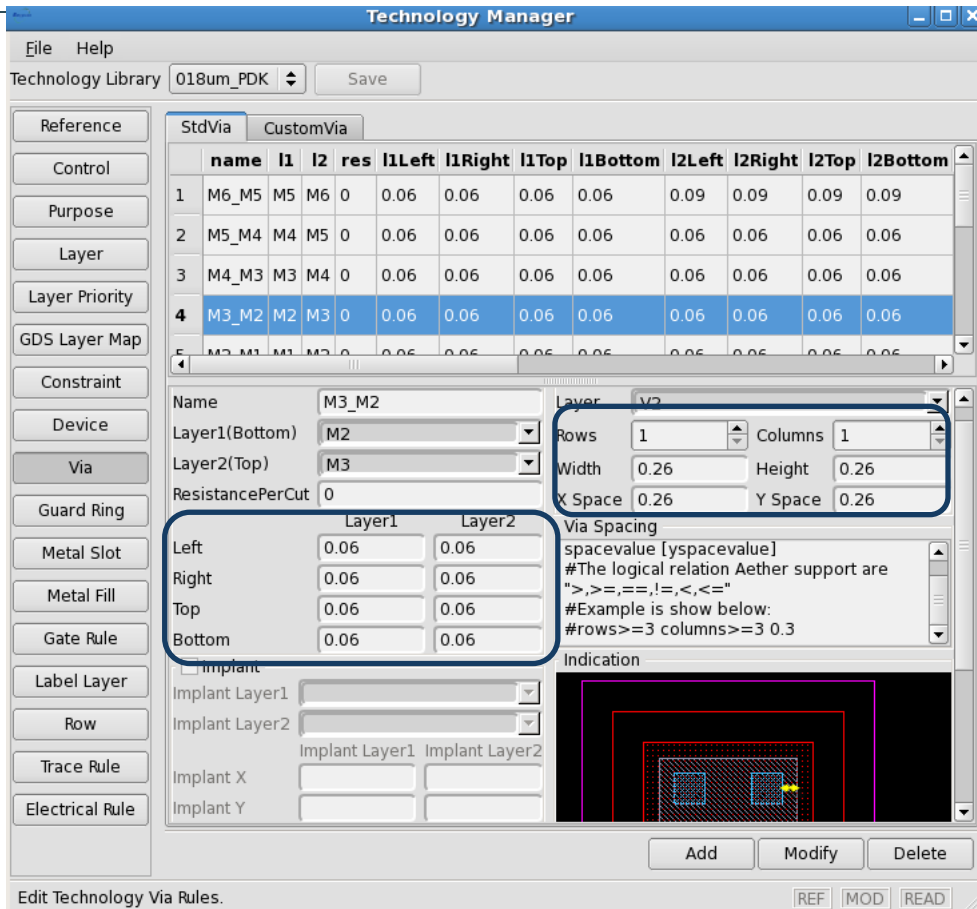
通过Technology Manager认识工艺文件



在TM的左侧切换到Via项，这里点选任何一种Via则可以看到工艺中定义的针对这种Via的全部物理信息，通过修改左图中两个蓝框内的数字，可以修改Via的相关尺寸（尺寸的物理意义在右下角视图中可以直观看到），但是一般我们也不建议IC设计者自行修改。

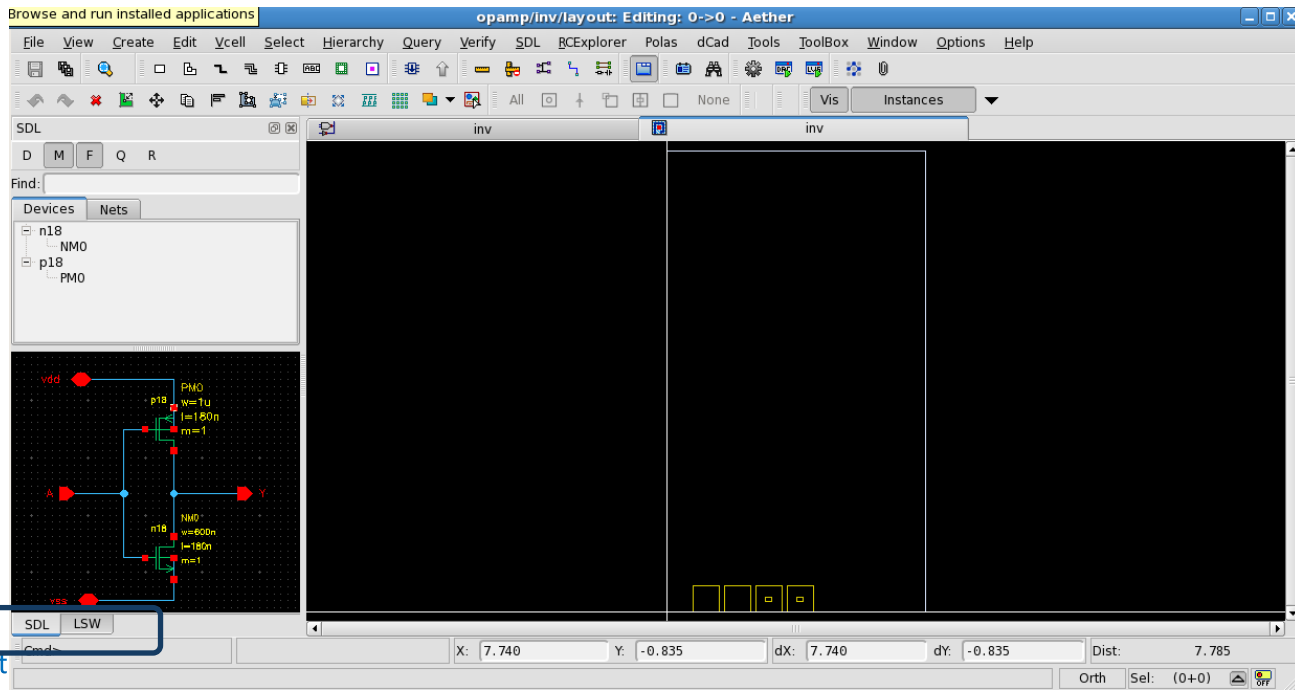
版图设计人员将可能较频繁使用的TM项还包括Constraint, GuardRing, Trace Rule等，我们将在具体版图设计过程中遇到时，回到TM详细介绍

点击TM界面菜单File -> Load Technology File或Dump Technology File，将可以使用TM载入或存出业界标准格式的工艺文件（techfile，扩展名为.tf的文件），通过这种方式，可以使Aether TM和其他IC EDA平台之间进行工艺文件的共享



简单inv器件的版图设计

- 关闭TM并回到DM界面，打开inv的schematic，在弹出SE界面中点击菜单SDL -> Start SDL
- 在弹出界面直接点击OK将弹出inv的Layout Editor界面（LE）并产生inv的layout view，如果之前这个cell已经有了layout view，Aether会提示是否要覆盖
- LE中默认有一个预估的版图外框大小和4个soft pin，LE左侧是两个重要悬浮栏：LSW和SDL，在左下角进行切换



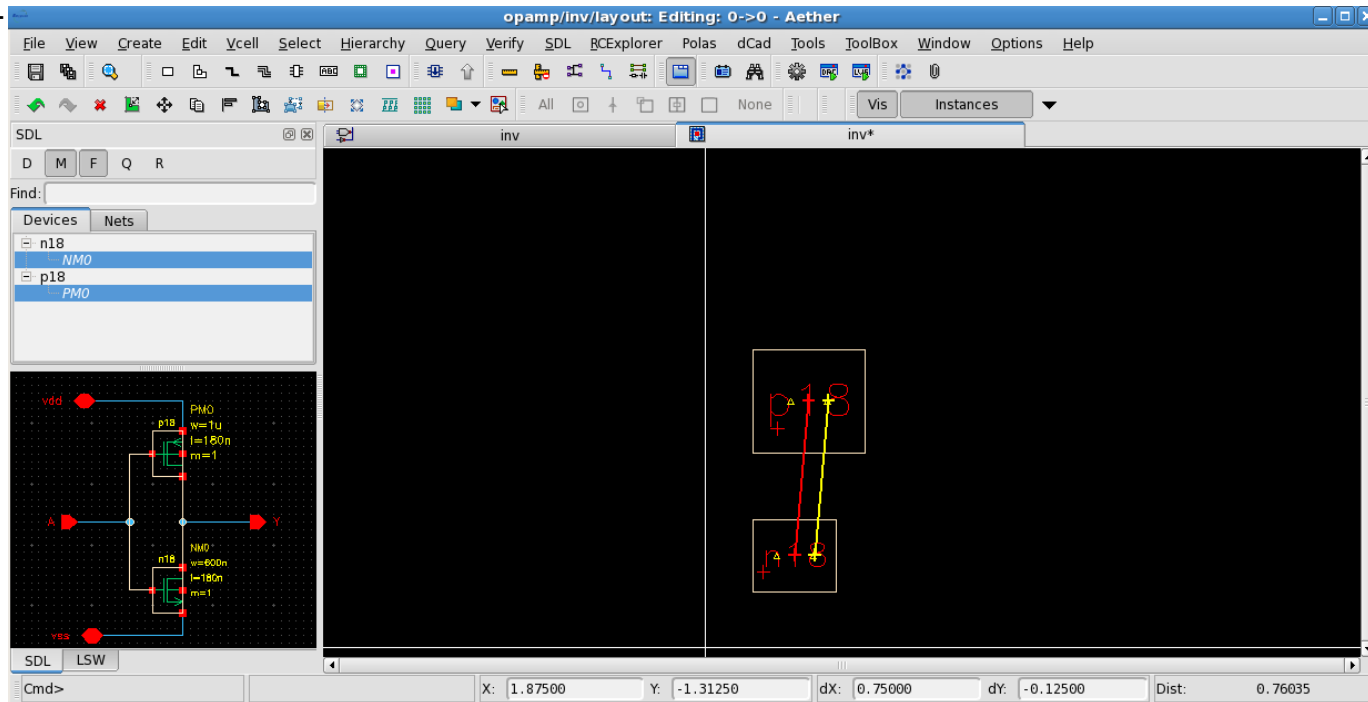
简单inv器件的版图设计

在LE中选中外框然后del删除，保留4个soft pin

从SDL悬浮栏的schematic视图中选中所有器件，按快捷键G，放置到LE中来。我们可以看到对应的器件的外框，当选中某一器件后，还能看到高亮的飞线

使用快捷键Ctrl+F可

显示出器件具体层次，
用Shift+F回到仅显示顶层也就是器件的外框

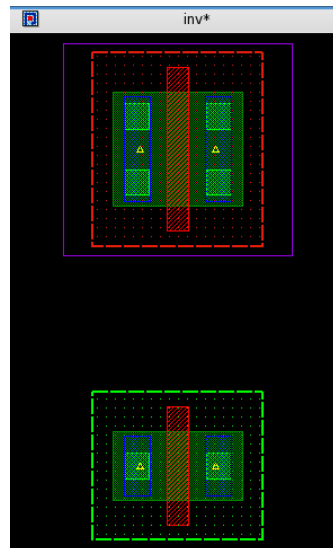
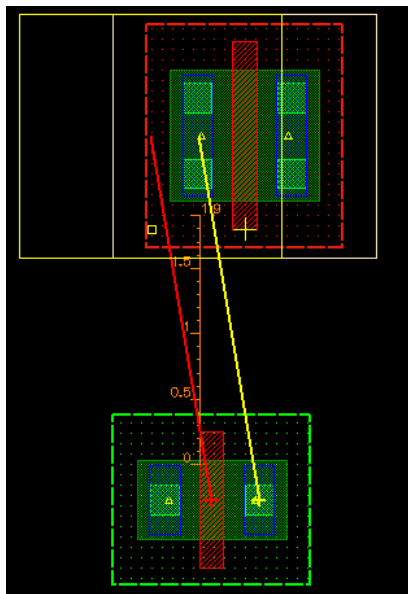


简单inv器件的版图设计

下面我们尝试用两种不同方法，实现两个mos器件的G端进行对齐（如右图），这样便于下一步进行连线

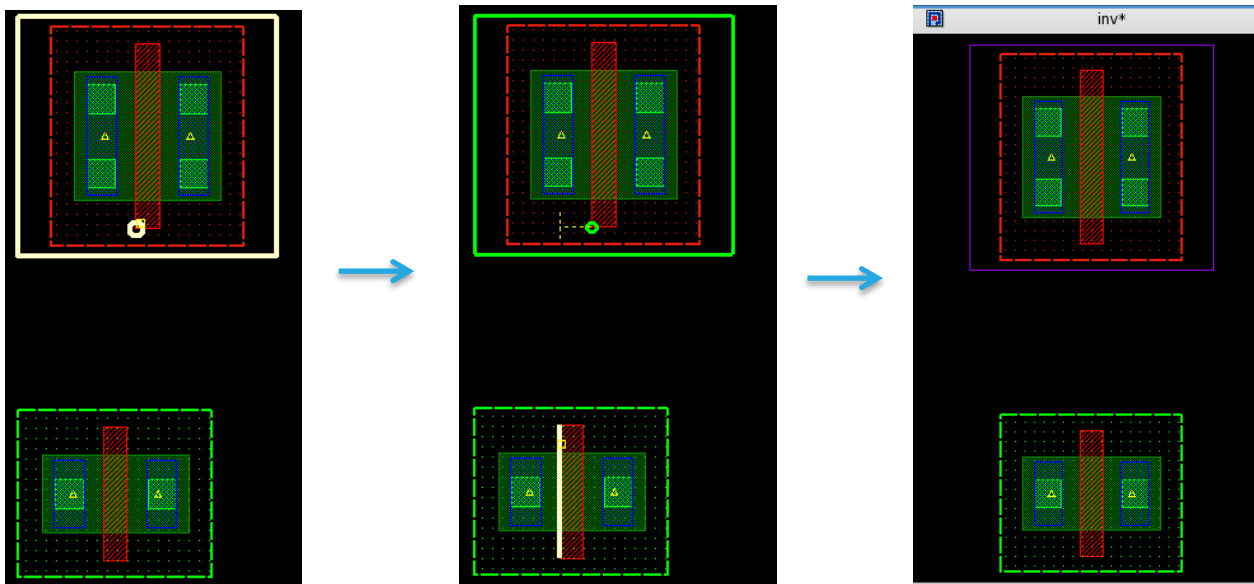
第一种方法，先紧贴着n管G端的左边缘，用快捷键K往上画一条标尺，然后选中p管，按快捷键M进行若干次左移，移动过程中会出现p管边框的卡通。观察p管G端的左边缘，看什么时候和标尺重合，则实现对齐。如下图

按Shift+K清除标尺



简单inv器件的版图设计

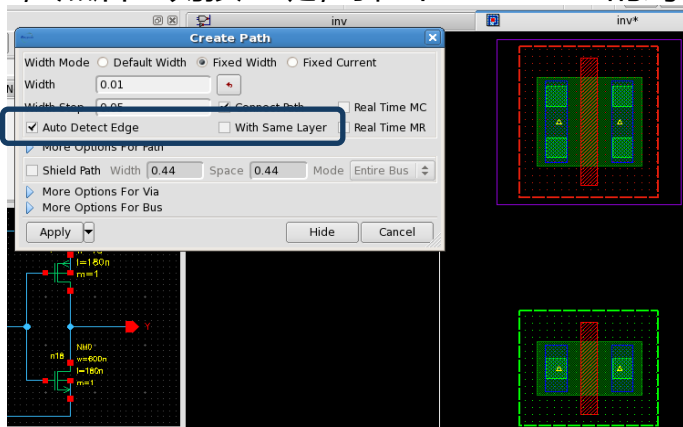
- 通过快捷键U可实现undo，将上述几次移动操作依次取消
- 第二种方法更为便利，首先激活快捷键A，然后点击p管G端左下角（点击前确认白色高亮圆点位置），如下左图所示
- 然后鼠标移动到n管的G端左边缘处，观察到出现白色线型高亮，点击鼠标完成Align操作，如下中图所示



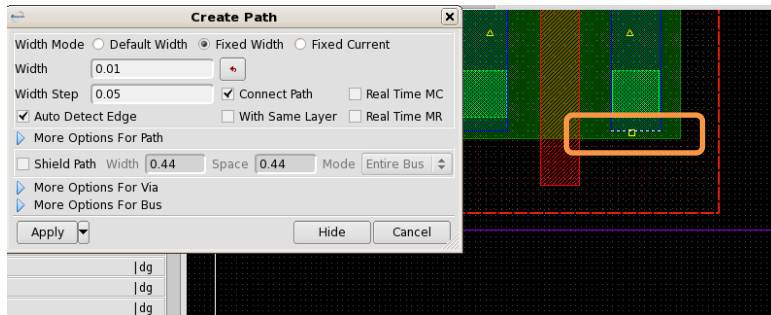
简单inv器件的版图设计



我们来进行连线，按快捷键P，然后立刻按F3键，弹出Create Path的对话框，在其中选中Auto Detect Edge并去选With Same Layer

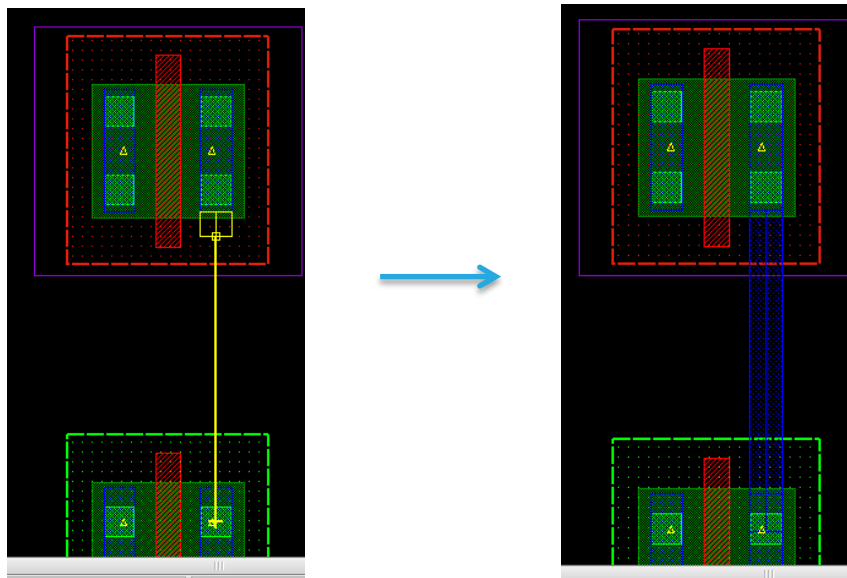


当鼠标靠近p管的D端（右边有源区AA上面的深蓝色metal1）处，会出现虚线表示auto detect edge，在此点击鼠标，观察到LSW中自动切换至M1层



简单inv器件的版图设计

这样将metal1的金属path往下画，直至连接到n管的S端之上，双击鼠标或按Enter键表示完成连接。走线过程中可以看到飞线随着画path过程而移动

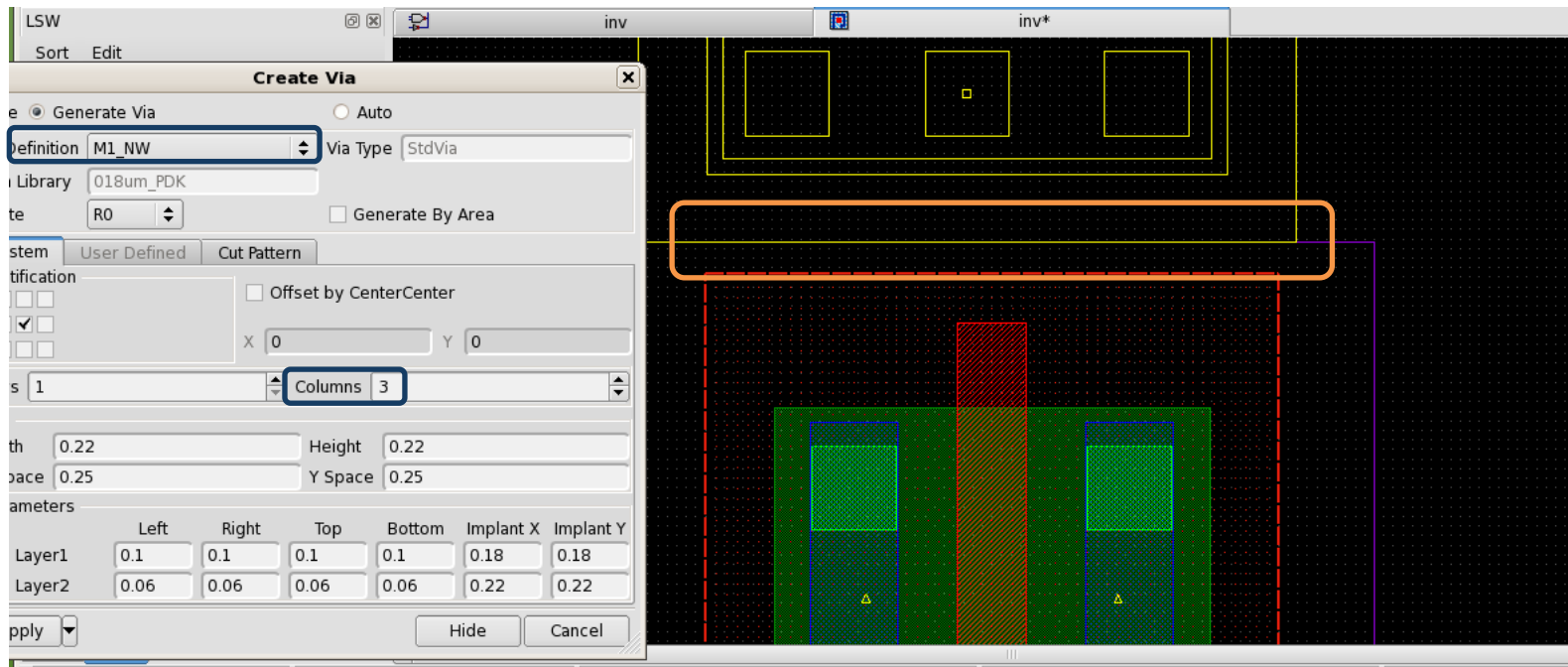


用同样的detect edge的path方法将两mos管的G端也进行连接

简单inv器件的版图设计

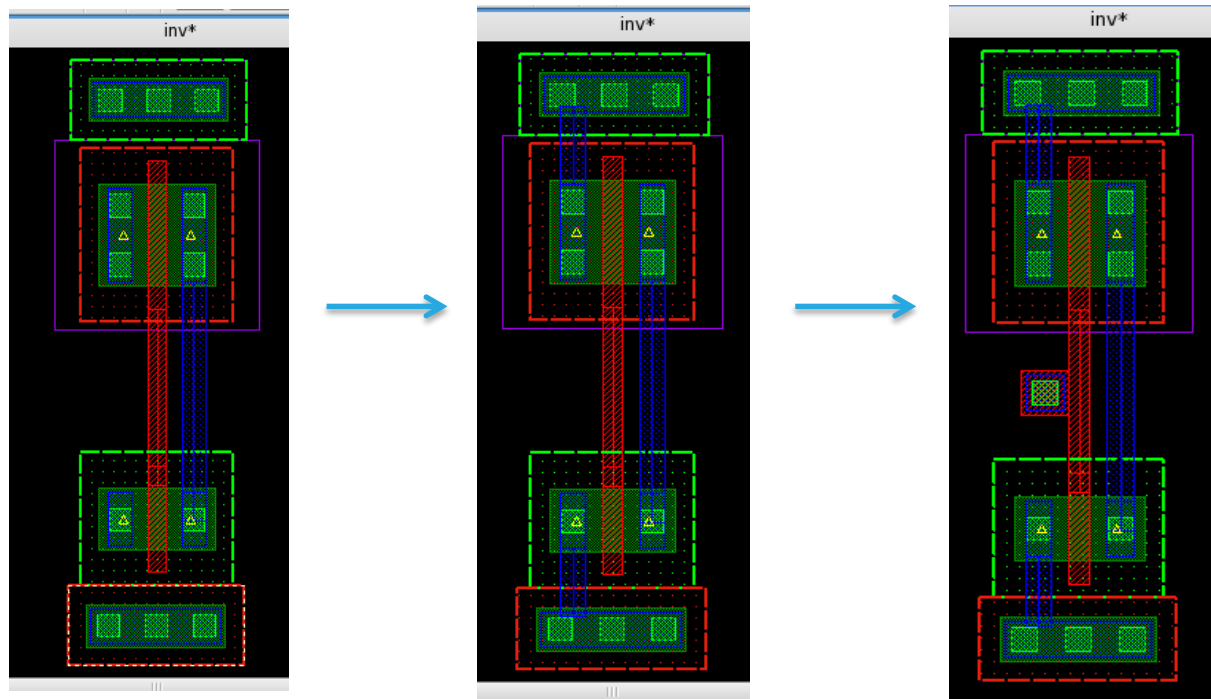


激活快捷键Shift+V，弹出Create Via对话框，选择M1_NW型的via作为p管的背栅（B端）连接，将column改为3，然后放到LE中p管的上方；注意：该Via的最外沿是NW层，必须和p管最外沿的NW层紧贴以保证p管B端安全、完整地处于NW阱中




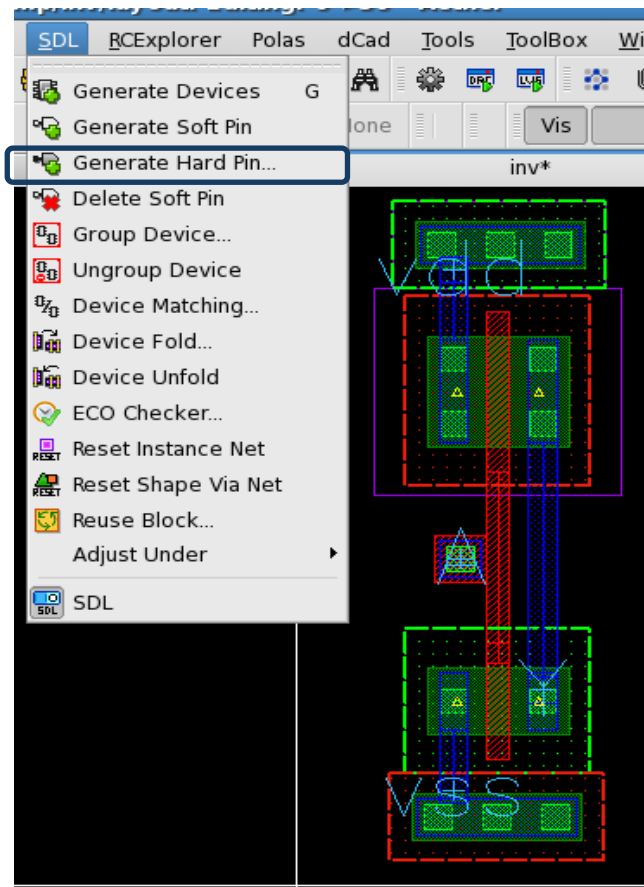
简单inv器件的版图设计

- 用同样方法放置M1_SUB的via作为n管的B端衬底连接，同样的via需要与n管外沿紧贴，到目前为止的版图如左图
- 继续用快捷键P将p管和n管的S端通过metal1和各自的B端via进行连接，如中图
- 然后在两个G端连线左侧放置一个1*1的M1_GT的via，如右图



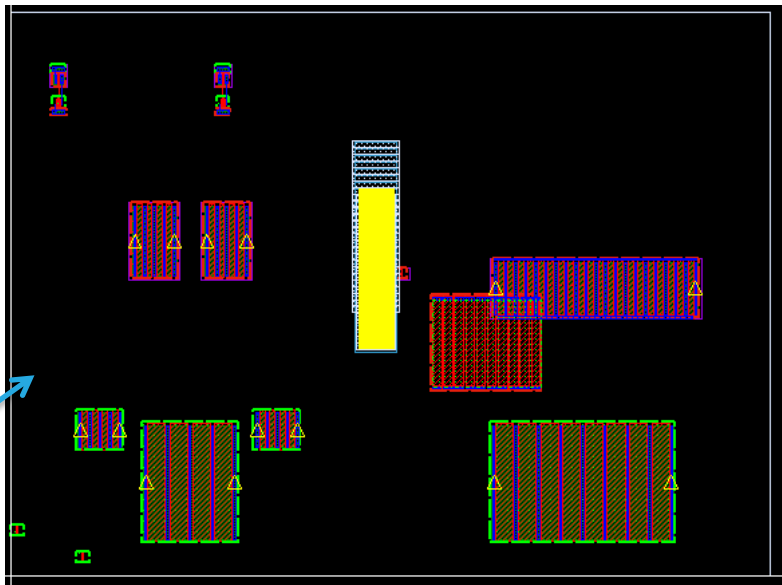
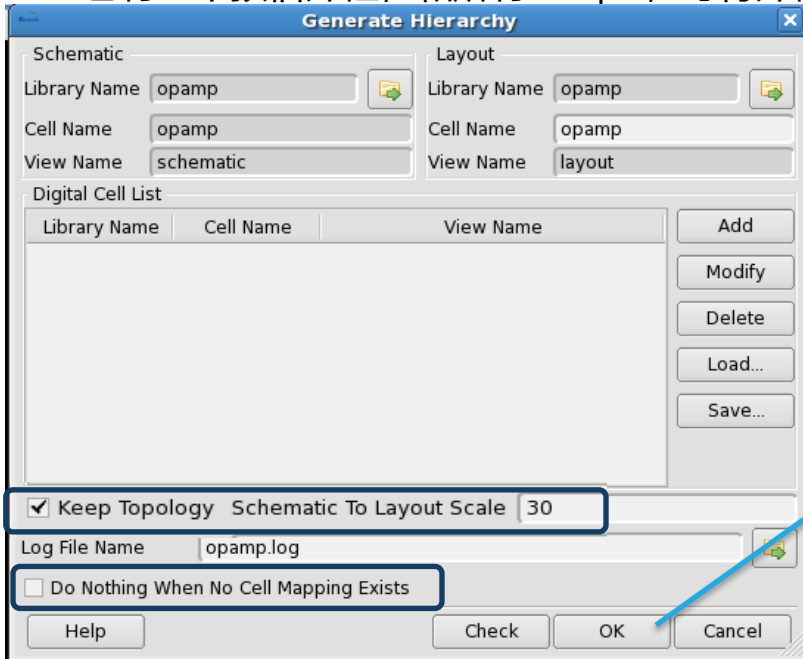
简单inv器件的版图设计

- 随后点击菜单SDL -> Generate Hard Pin弹出对话框中直接点击OK，可以看到4个Soft pin会按照SDL推荐的关系，自动转换为真实金属pin并连接到版图相应位置
- 如果不想用这种方式，也可以删除所有soft pin后（右图菜单中Delete Soft Pin），使用L快捷键，输入各个pin name，然后依次在LSW中选择相应layer并点击版图相应金属层进行label的摆放。注意：在版图中，label和hard pin的功能是一致的，在将来的物理验证过程中，LVS将把位于顶层的label和hard pin均识别为真实的pin，和schematic进行比对
- 使用快捷菜单的  键保存版图，退出LE



层次化opamp的版图设计

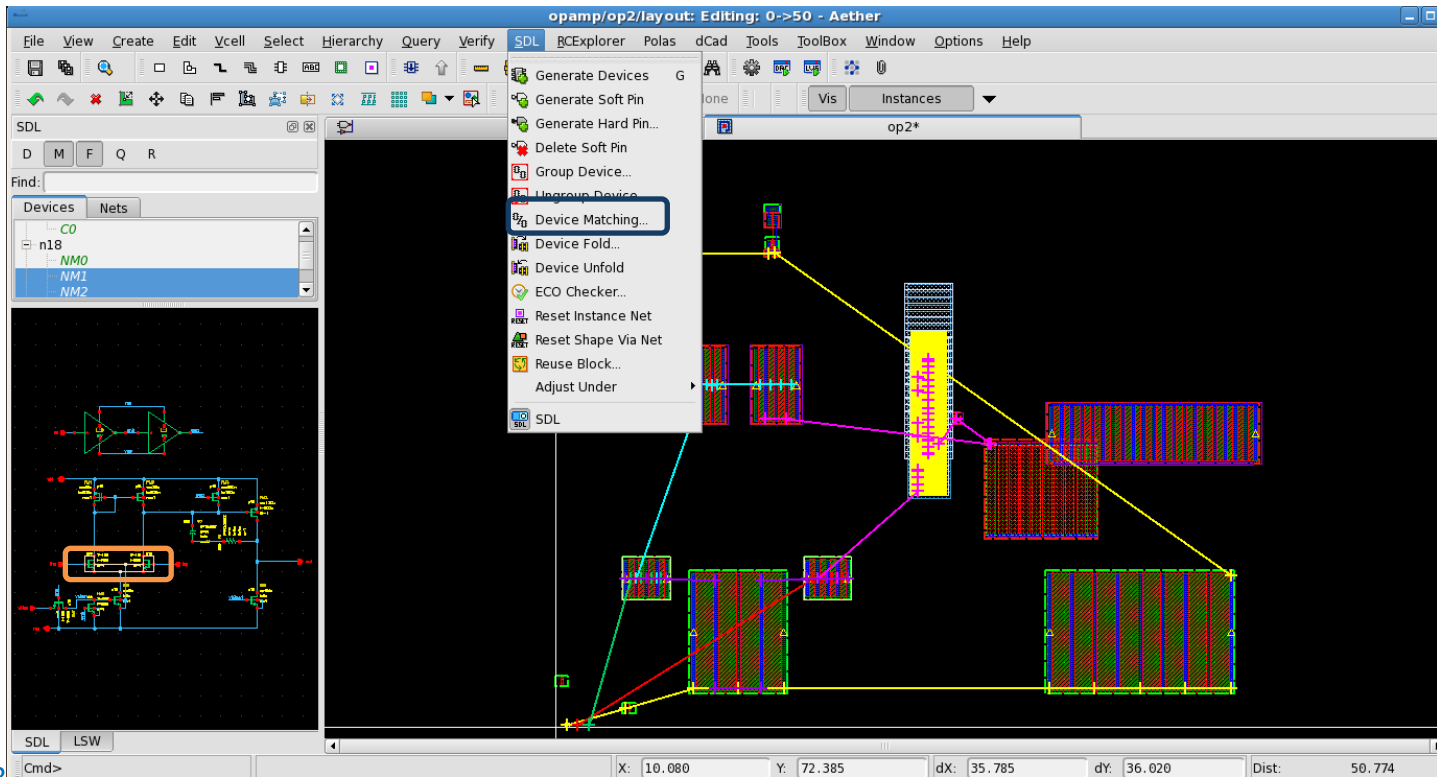
- 在DM中打开opamp的schematic，用菜单SDL -> Generate Hierarchy打开如下左的对话框，如蓝色框中进行设置后点OK（其中30是指layout器件排布相对位置保持和schematic类似，且相对像素距离扩大30倍）
- SDL产生完毕后，回到DM双击打开opamp的layout view，可以看到layout中除了所有器件的初始位置外，也有一个预估外框，和所有soft pin；可将外框删除，soft pin暂且保留将来自动产生实际pin用




层次化opamp的版图设计

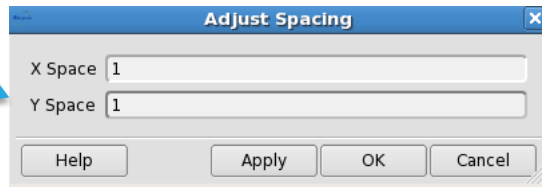
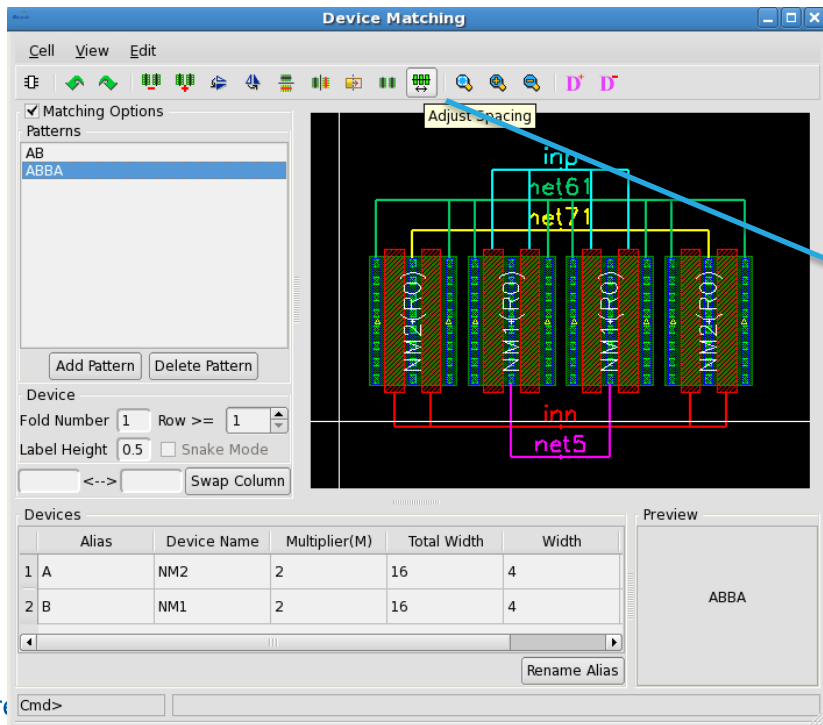


在SDL悬浮栏中选中opamp的差分输入对管（可看到LE中对应器件及其飞线也会高亮），点击菜单SDL -> Device Matching，对敏感的差分对管，需要严格进行中心对称的版图设计



层次化opamp的版图设计

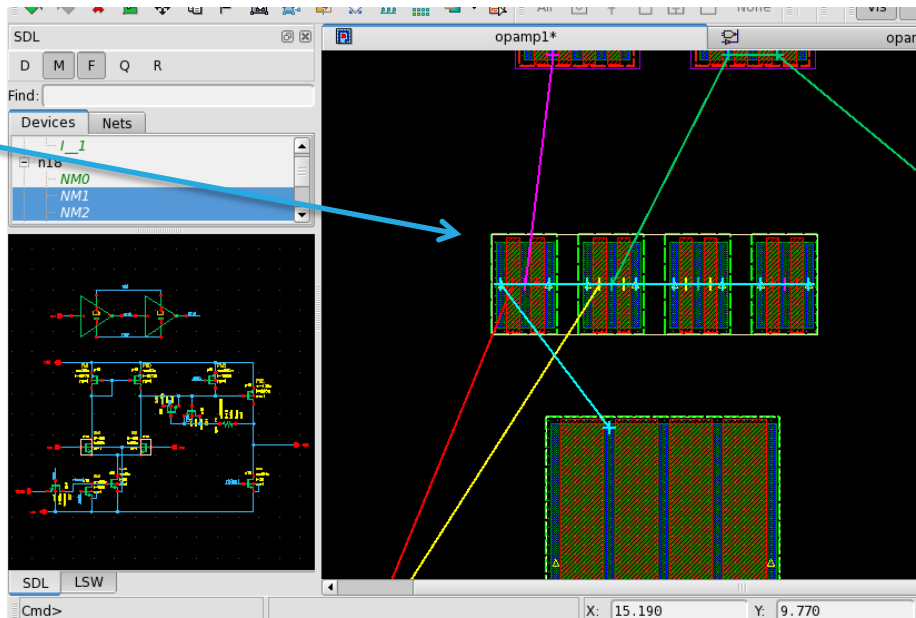
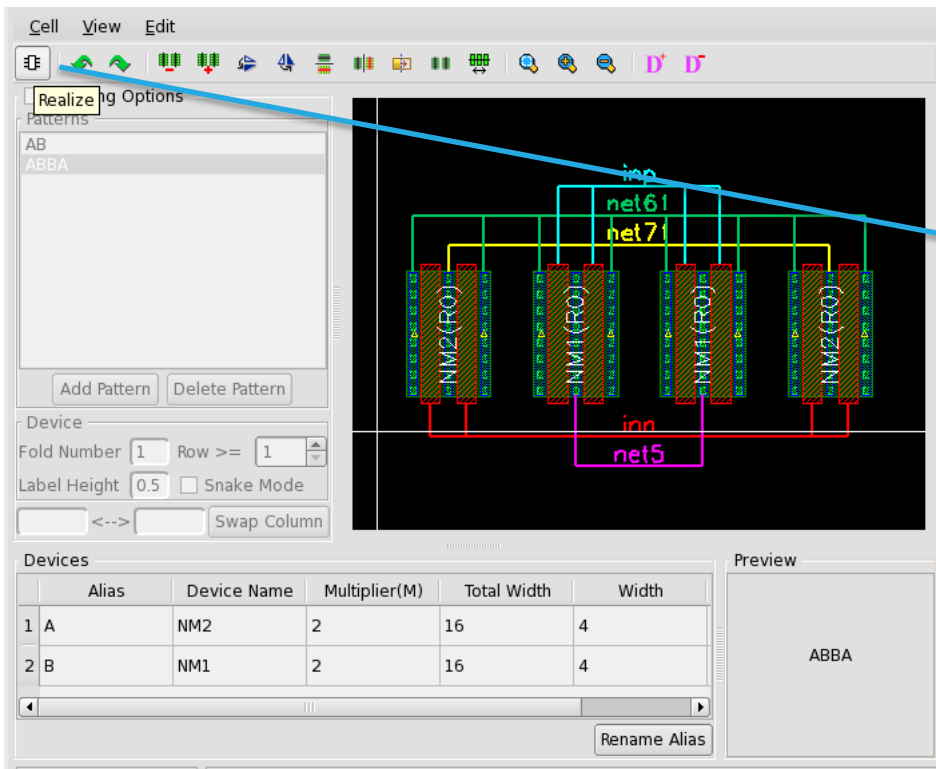
- 在弹出Device Matching对话框中，首先点击Add Pattern按钮，输入ABBA（注意：每个器件的几何中心重合）
- 选择ABBA后，右边会显示其预览图，在图中框选所有管子，点击该对话框快捷图标中的 图标，在弹出对话框将两距离值调整为1，点击Apply和OK



层次化opamp的版图设计



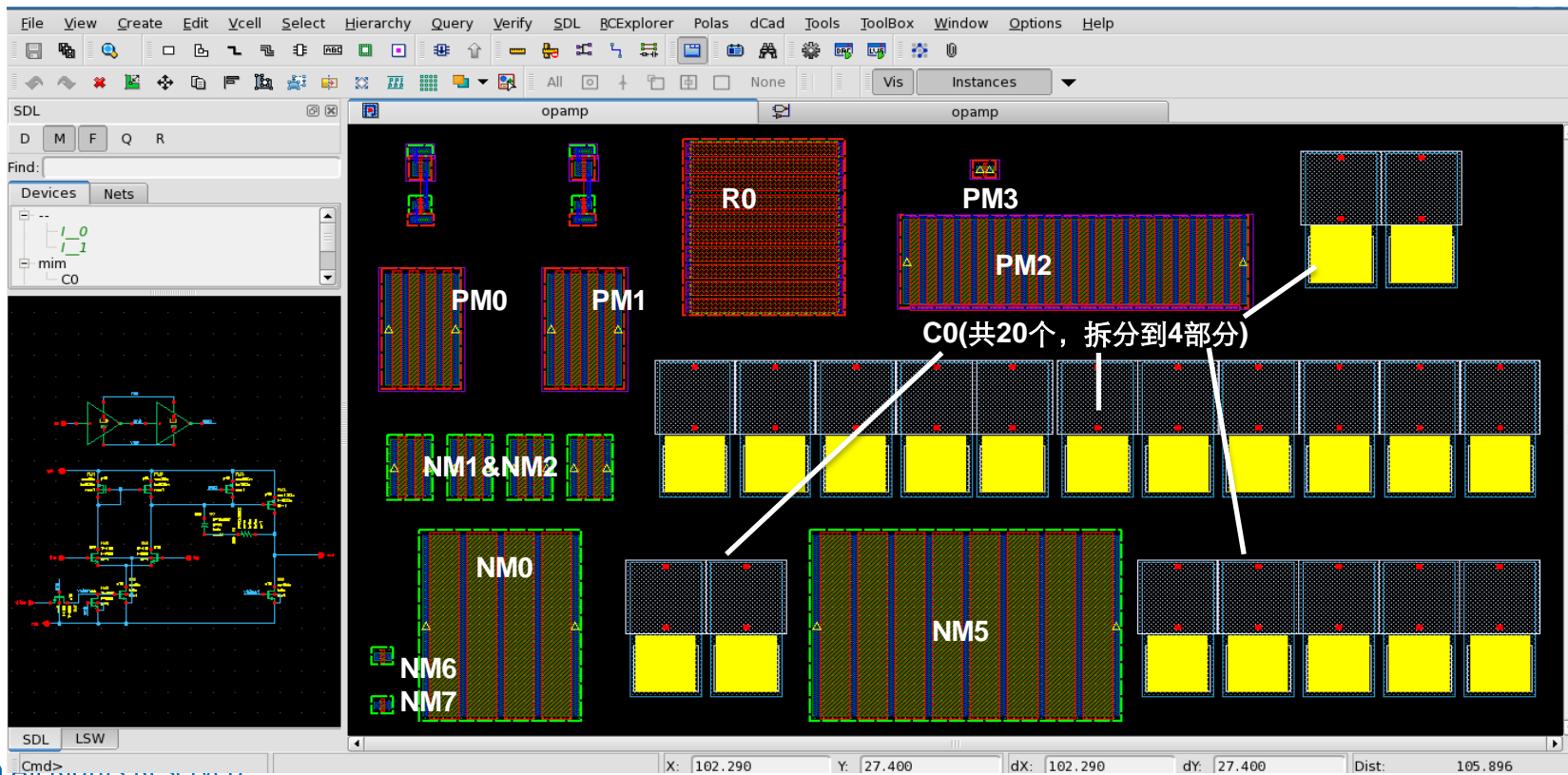
回到Device Matching对话框后点击快捷图标中的  图标，将match后的差分对管版图放置到LE中



层次化opamp的版图设计

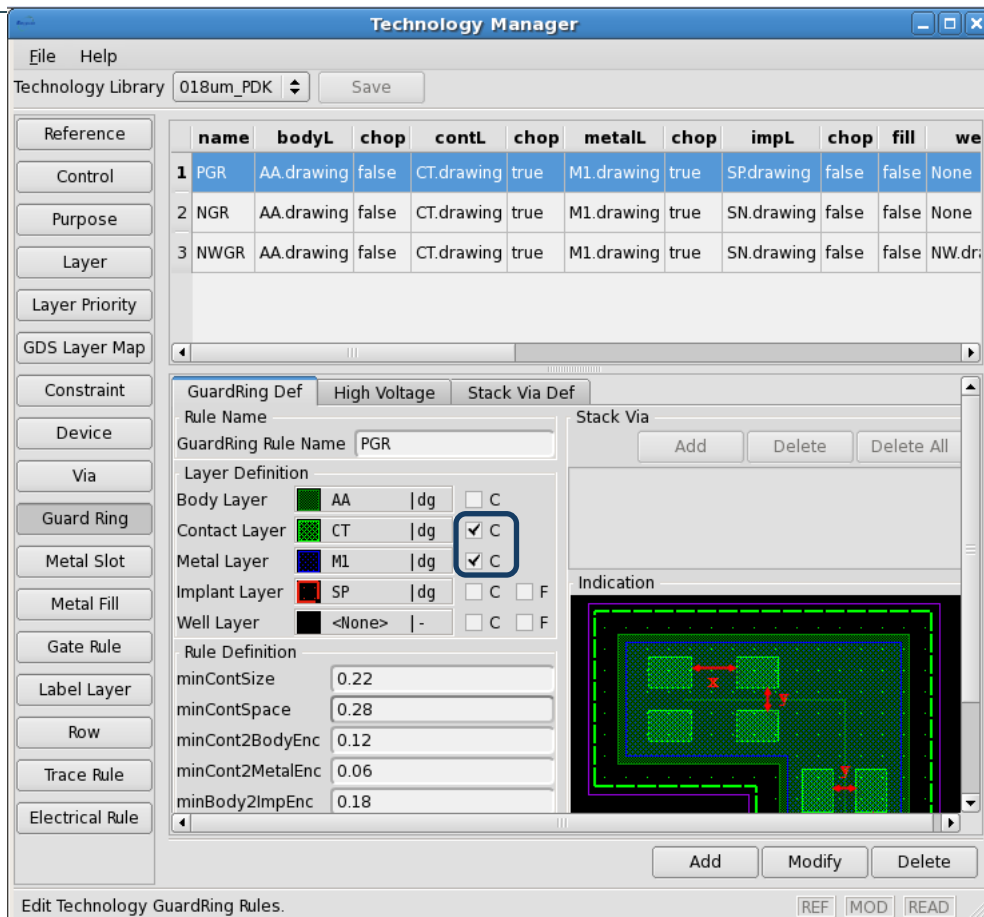


用M, A等快捷键继续调整其他器件的位置, 形成以下版图布局(具体器件名和Lab1中P19页对应, 也可打开lab3_final/opamp/layout_pre进行参考)




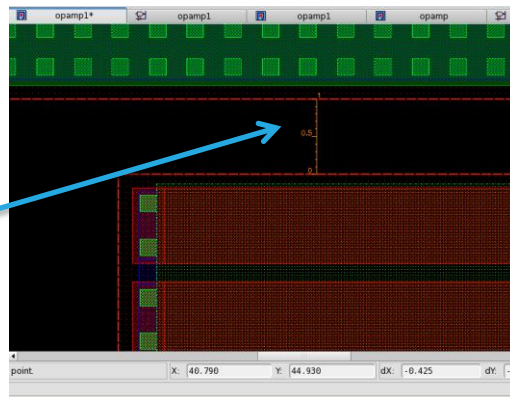
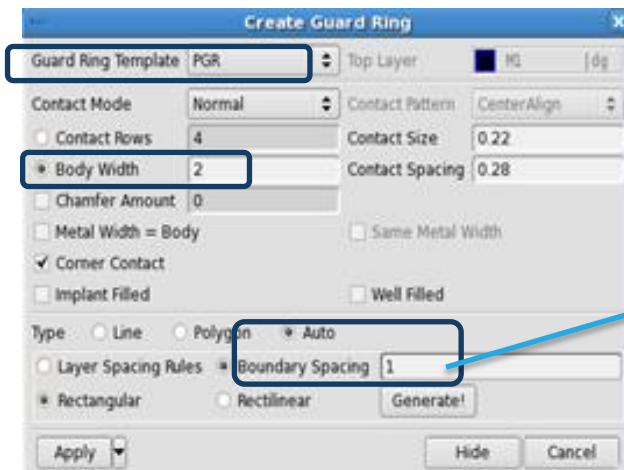
层次化opamp的版图设计

- 建议该opamp在器件布局完成后，连线开始前，就先将衬底保护环Guardring围起来
- Guardring是一种将IC中较敏感的block围绕起来进行隔离保护，同时可提供附近mos管B端连接的专用器件。在执行LE的Create Guardring命令前我们需要先学习TM中有关Guardring Rule的内容，在LE中通过菜单Tools->Technology Manager也可以进入TM，在其左侧切换到Guard Ring
- 这儿可以看到三种Guardring，从上到下分别是连接P注入区（也就是衬底）、连接N注入区和连接NW阱的Guarding，我们点选PGR，其中组成该Guardring的五层layer及其尺寸信息都较容易理解（且在Indication有图示其含义），需要特别解释的是蓝框中的C，其意思是该layer可以在Guarding中被单独砍断（chop）



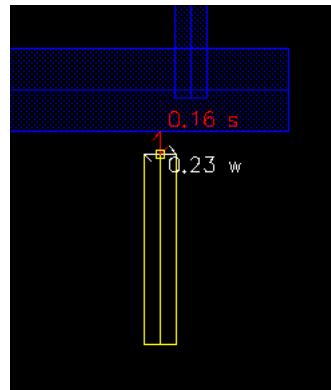
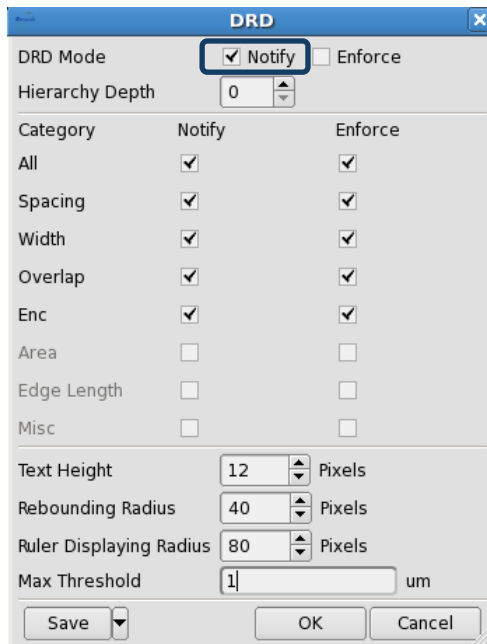
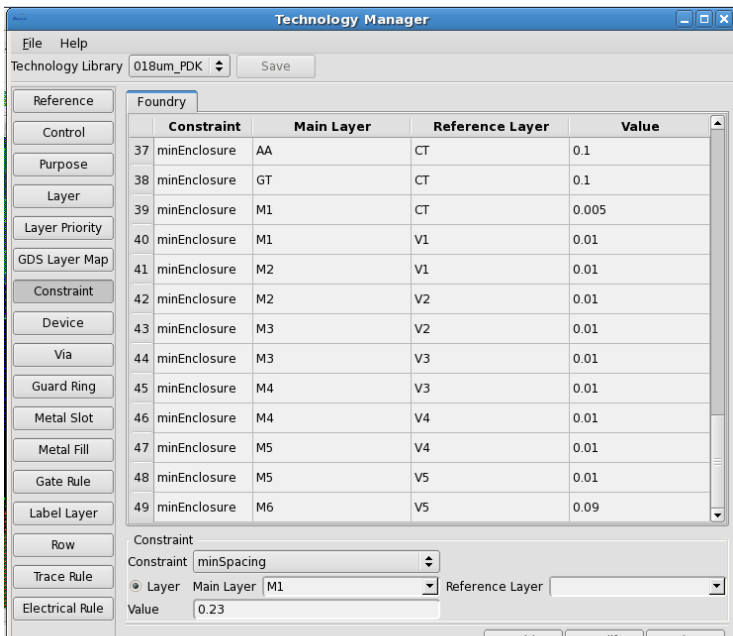
层次化opamp的版图设计

- 关闭TM回到LE中，用快捷键Ctrl+A将所有器件选中，然后点击快捷图标栏中  键，弹出Create Guardring对话框，按下图设置为Auto Guardring模式后，点击Generate按钮执行产生Guardring操作
- 可以用键K测量产生的P衬底Guarding到最近的器件边距，正好是刚才设置的Spacing=1um



层次化opamp的版图设计

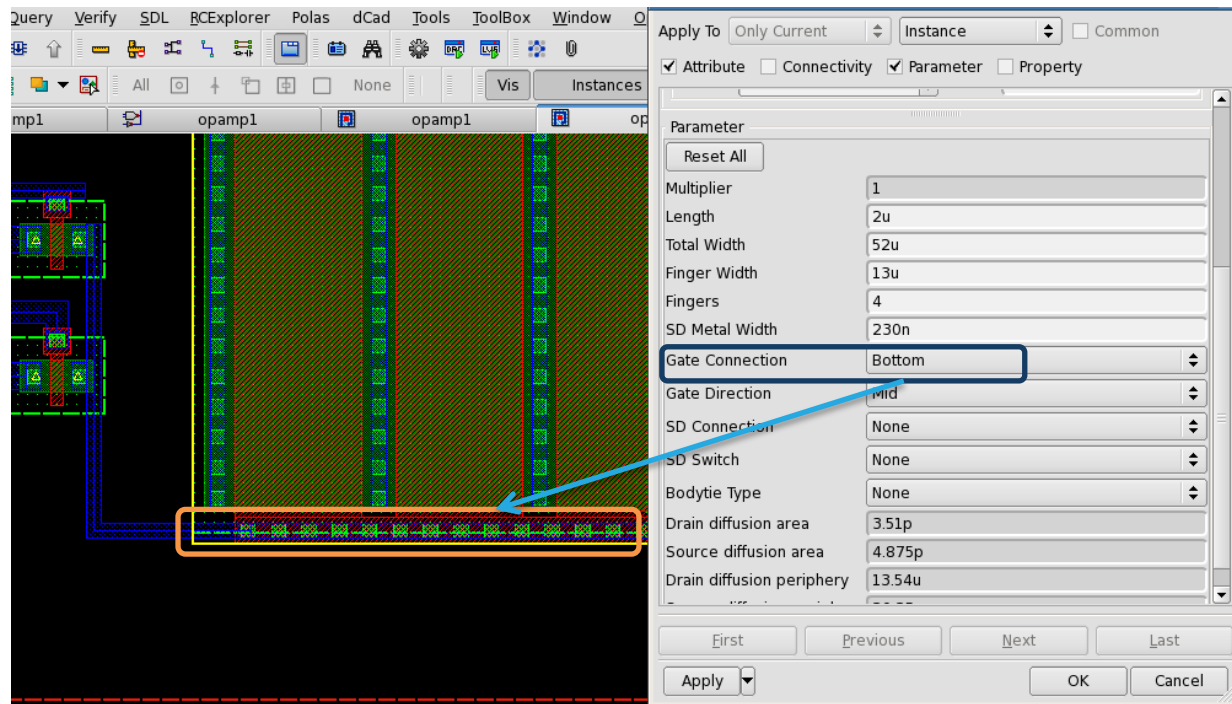
- 在布线前还有一个十分有用的操作，就是开启实时DRC功能，再次打开TM切换到Constraints项，可以看到这里已经规定了四大类40余种可支持实时DRC显示的物理规则。比如下左图中显示的就是两个不同M1图形之间的spacing不能小于0.23um
- 关闭TM后，使用LE菜单Option->DRD打开下中图，将Notify勾选中点击OK
- 随后在LE中，尝试如下右图用快捷键P随手画两条path，第二条在靠近第一条的边缘距离小于0.23u后，即会红色报警



层次化opamp的版图设计

布线时我们可以充分利用版图PDK本身的一些属性，提高器件连线效率，比如对于以下NM0器件，选中后使用快捷键Q，将其Gate Connection属性由None设为Bottom，即在器件下方自动把G端连接起来。然后，我们就只需要用键P画一条metal1的连线将其G端连往左边的小管子的D端即可。

同样，可以灵活使用mos管属性中的SD connection来加快对源漏区之间的连接

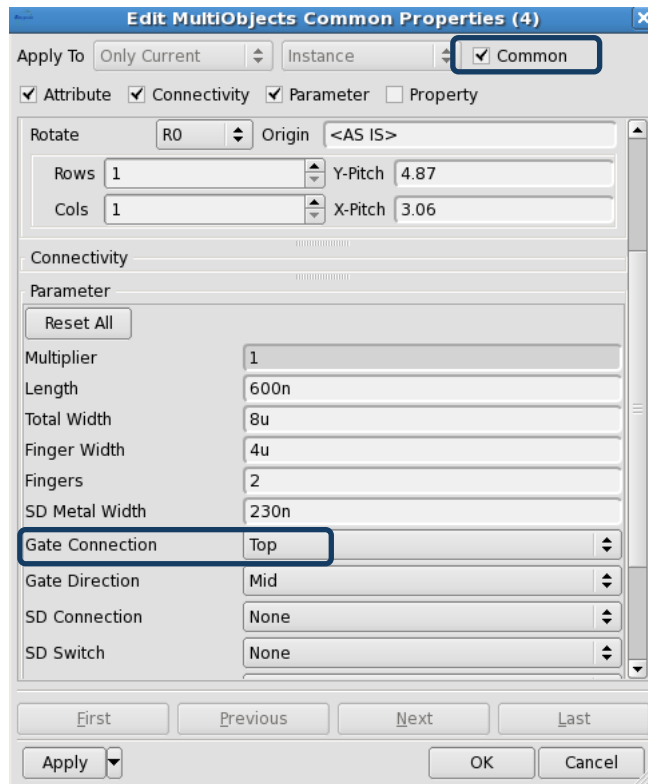
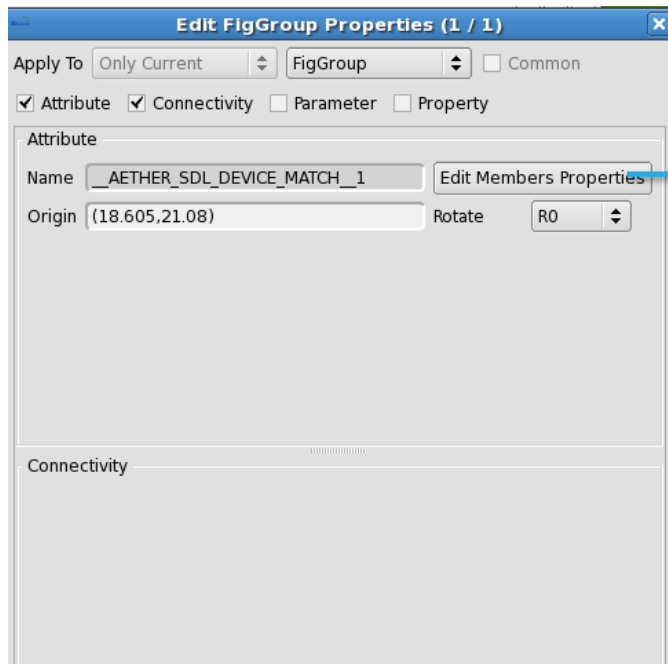




层次化opamp的版图设计



而对于已经实现了match的NM1和NM2器件，Q键属性对话框中，需要首先点击Edit Members Properties键，然后弹出进一步对话框中，将Common选中（也就是4个子器件一起改），再修改Gate Connecting属性



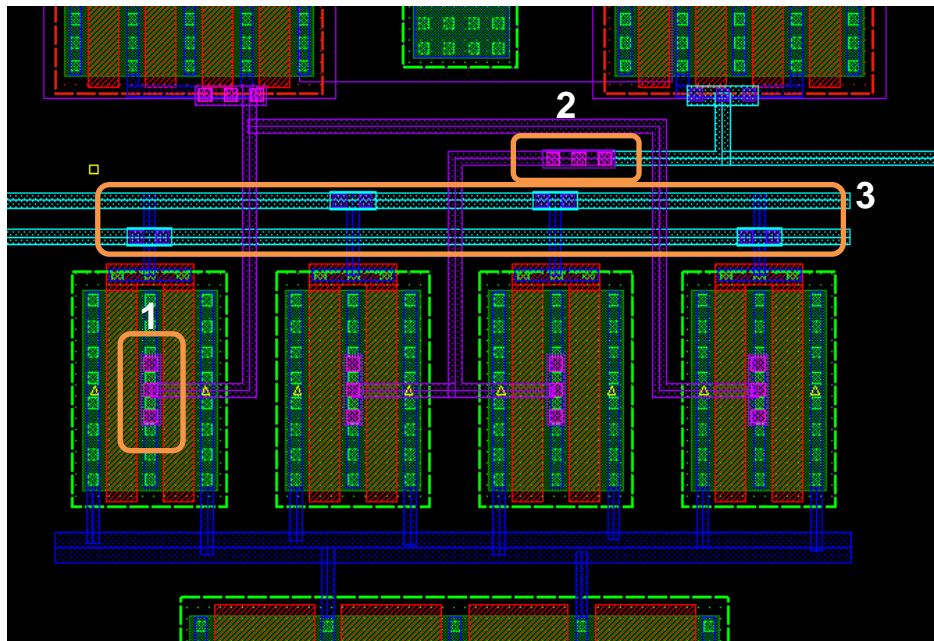
层次化opamp的版图设计



差分对管局部的版图需要尽可能保持对称，建议画成类似下左图的样式：两个G端的连线平行等长，使用M2；往下连到尾电流管NM0的D端：首先连接到一块较宽的M1金属，然后对等地连接到NM0的两个D有源区



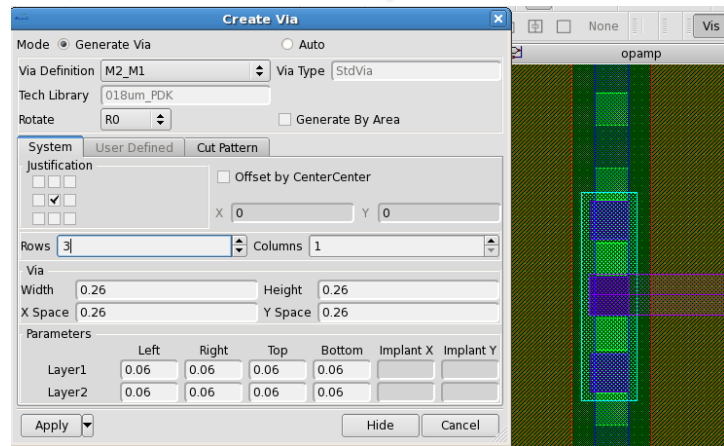
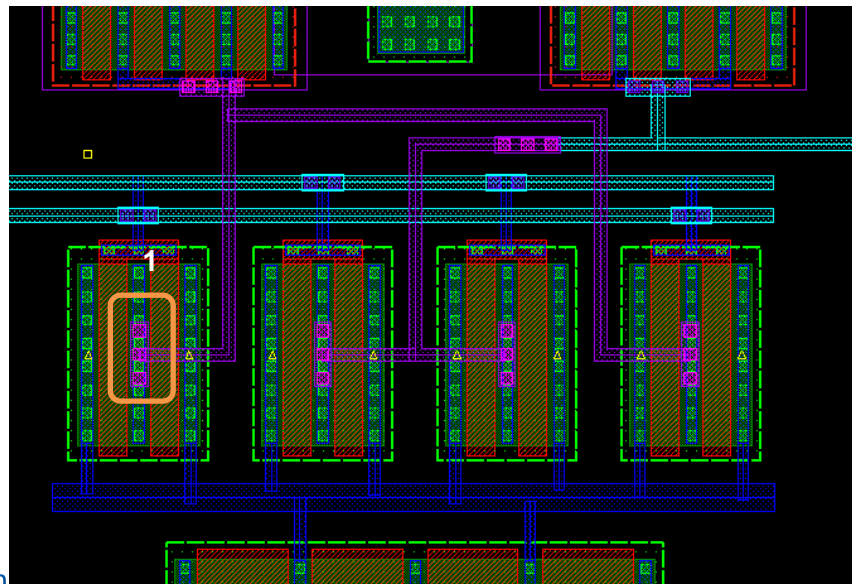
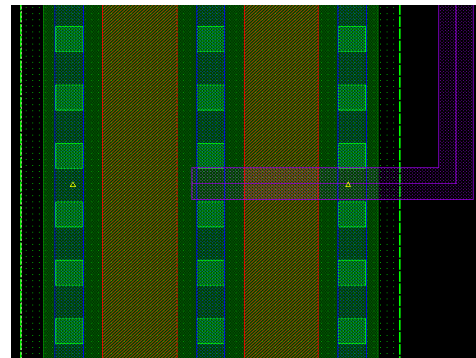
下面我们主要介绍三个橙框中Via的产生方法



层次化opamp的版图设计

先看橙框1中需要连接的紫色Metal3到已match好的n管最左端的D端上Metal1的Stack Via（多个via叠在一起被称作stack via）。局部放大图如右上，首先用快捷键P画出由左侧引来的M3金属(对于不需要从已有金属层的edge对齐引出的path，可首先在LSW选择M3，激活Create Path并去掉其F3对话框中auto detect edge)，结束于D端上方

激活Shift+V弹出对话框中选Via Definition为M2_M1，且将Rows改为3，在该位置放置M2到M1的via；放好后按ESC键结束Create via命令



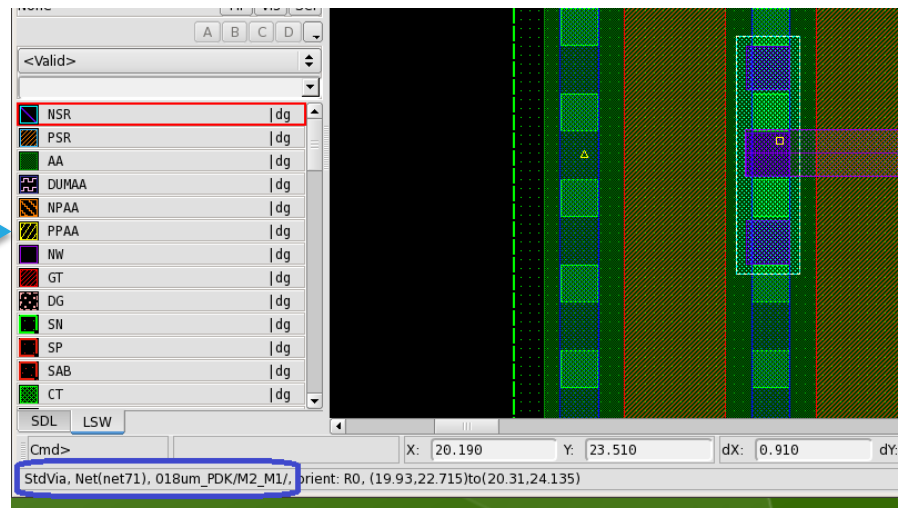
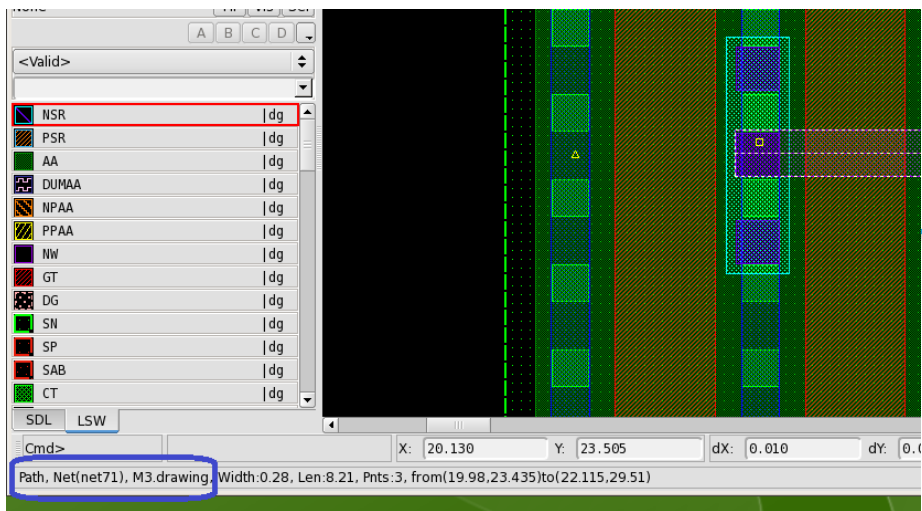
层次化opamp的版图设计



将鼠标移至metal3和已摆好的M2_M1 via重合处，可以在LE视窗左下角看到，当前被虚线高亮的是M3金属层（也就是说此时点击鼠标，默认将选中metal3）。我们称作：预选层是M3

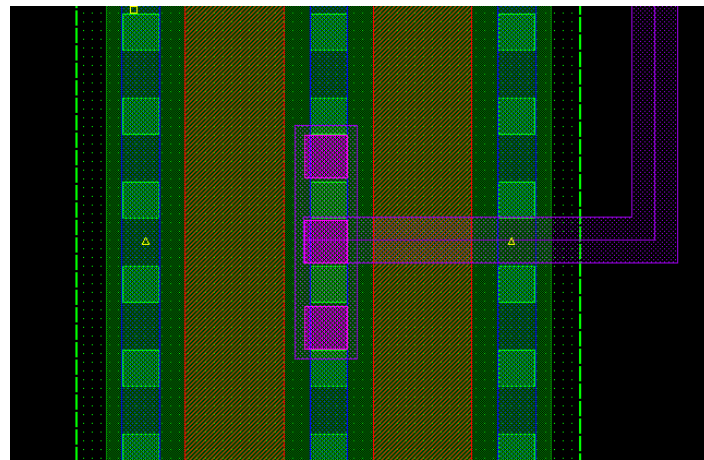
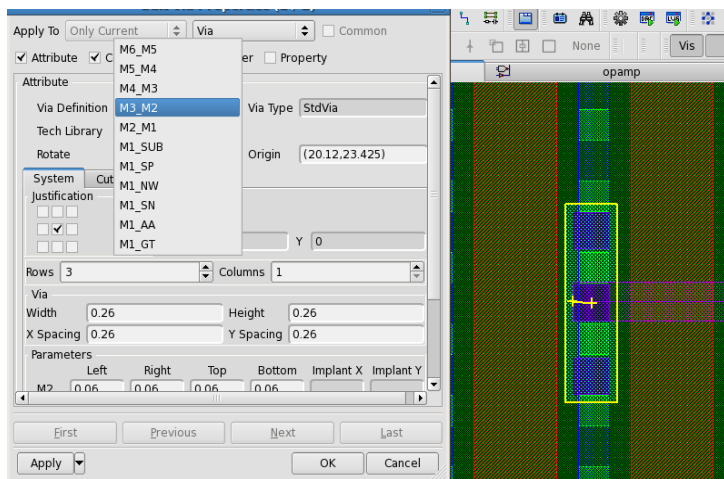


此时按快捷键V，注意到左下角预选层切换为M2_M1，同时LE中M2_M1 via被虚线高亮。此时点击鼠标，则该Via被选中



层次化opamp的版图设计

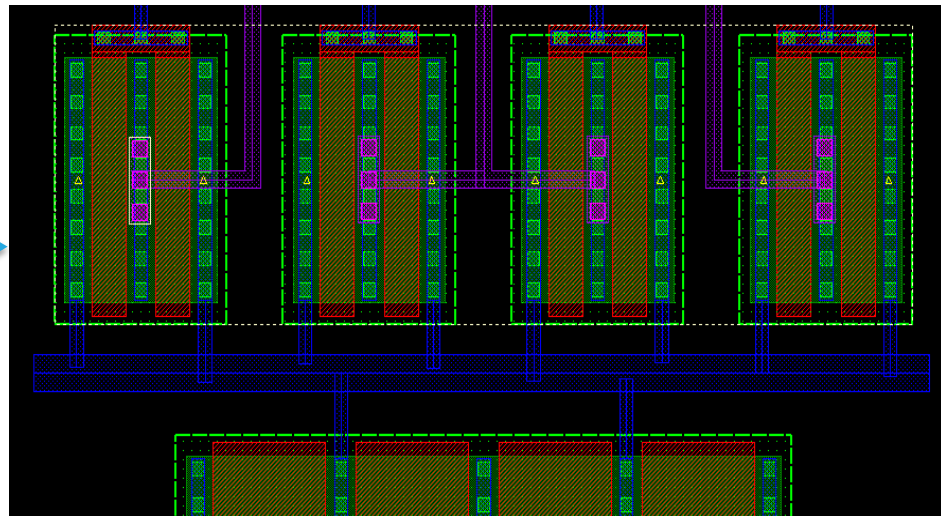
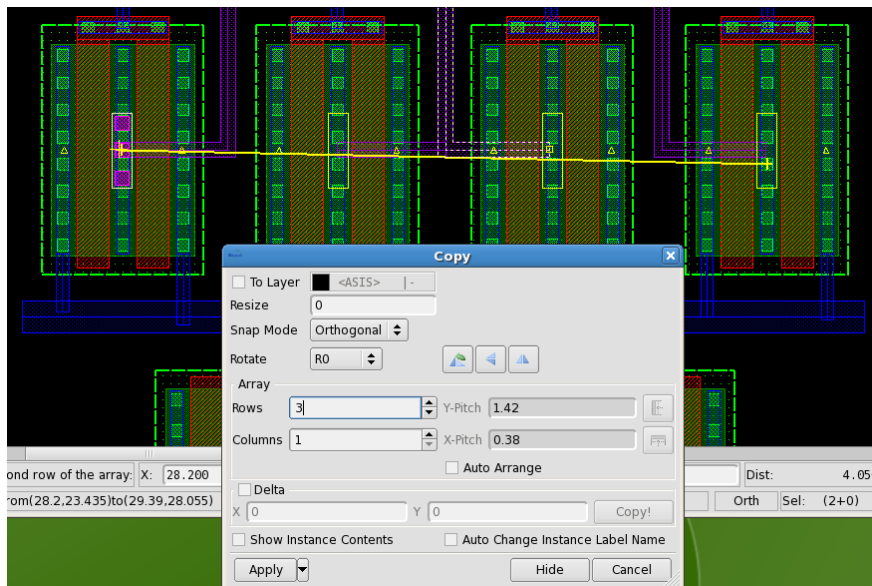
- 在这里点击快捷键C执行copy, 不移动鼠标直接进行点击, 则在同一位置放下另一个M2_M1 via
- 然后直接按快捷键Q, 弹出对话框中将Via Definition换成M3_M2点OK, 则此Stack Via产生完毕, 他包含位置完全重合的一个M3_M2和一个M2_M1



层次化opamp的版图设计



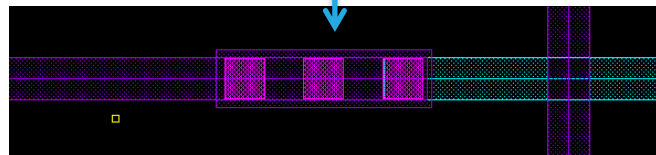
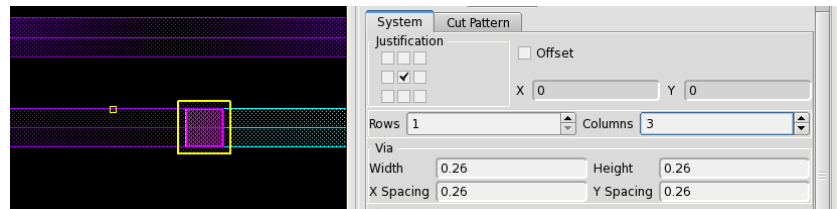
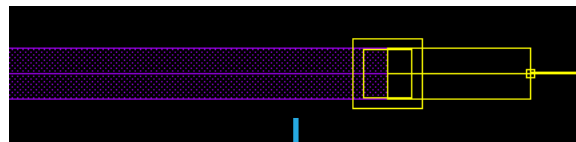
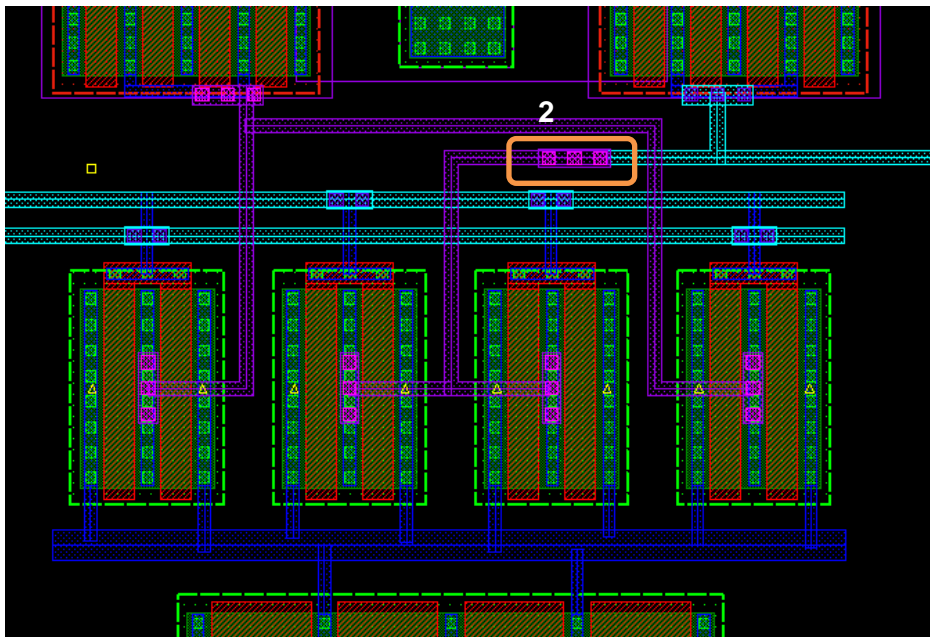
鼠标框选中此Stack Via，再按C键，紧接着按F3弹出对话框中将Rows设为3；然后点击鼠标并往右拖移，可以看到将以等间距产生3个Stack Via的边框卡通，在适当的位置点击完成放置。这样每个match好的n管的D端都进行了相应stack via的连接



层次化opamp的版图设计



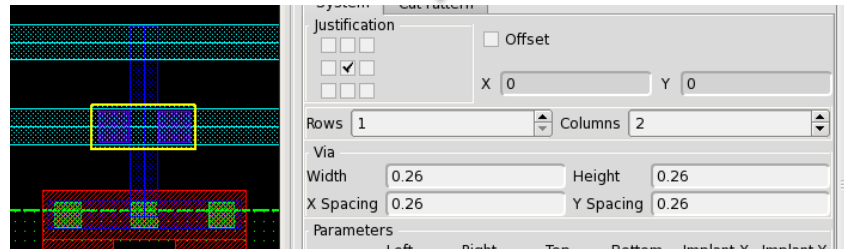
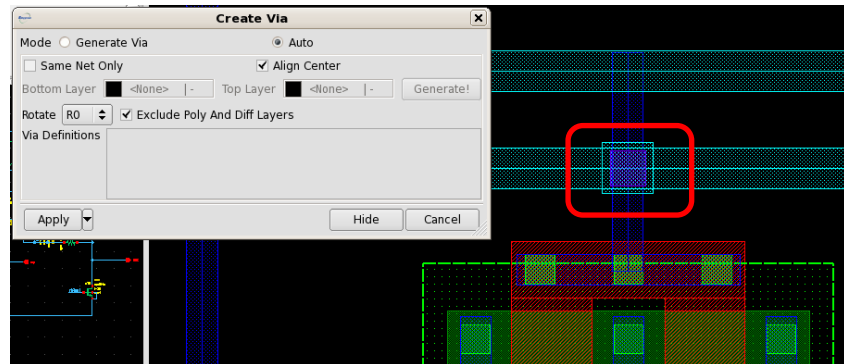
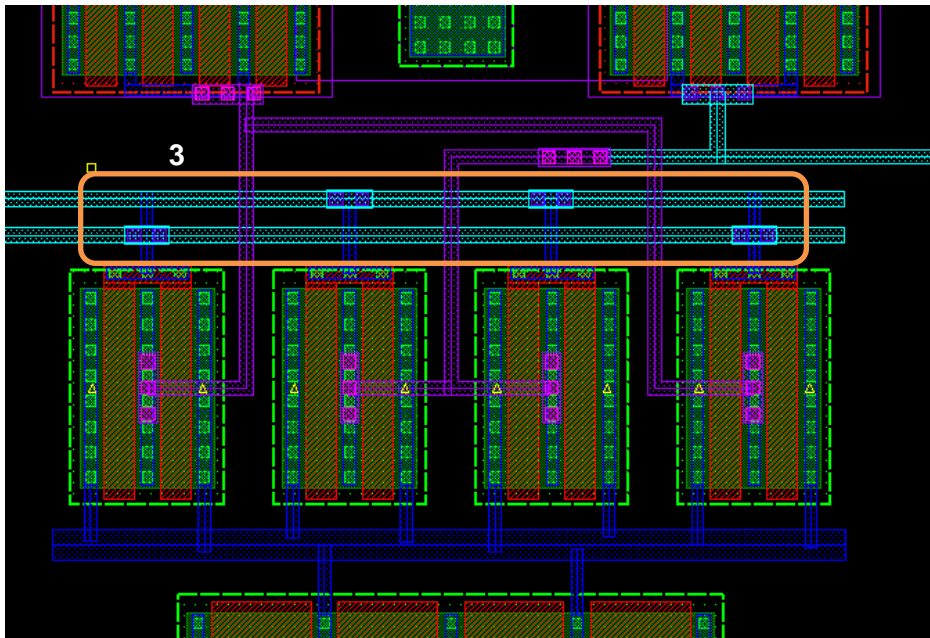
然后看2号橙框标出从M3到M2的via，可以在走M3线过程中，用快捷键-号，直接跳线至M2实现（跳线的via大小会根据线宽自动安排）。画完该path后选中该via，按Q将其切换成3*1的形式。如下右



层次化opamp的版图设计



自动Via除了在Create Path过程中跳线外，还有另一种展示方式。依然考虑左下局部layout中3号橙框中4个M2_M1 via的实现过程：首先激活Shift+V弹出对话框中选Auto模式，在互相交叠的M1和M2的红框中区域点击鼠标，自动就会产生一个连接Via。最后再选中该Via按Q将形式切换为1*2即可



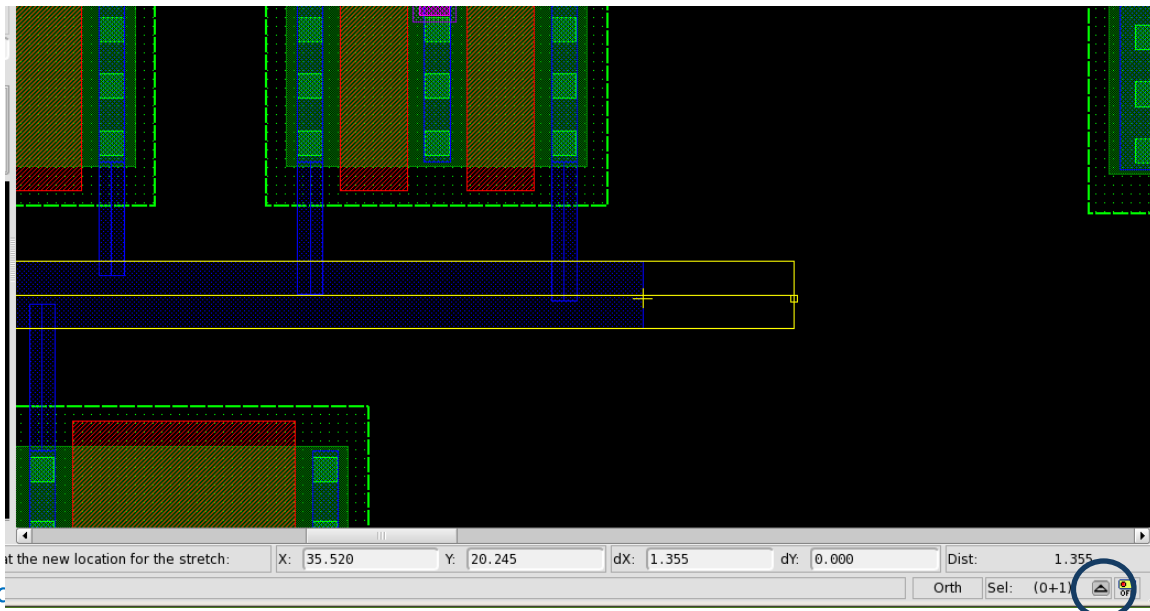


层次化opamp的版图设计



很多时候在局部连线过程中，我们还会用到Stretch也就是拉伸的命令；将物体（比如Path或矩形）进行拉伸的过程为：

- 首先确保LE最右下角的小三角形符号为空心，如果是实心（则只有物体全体能被拉伸，相当于移动操作，物体的局部不行），则点击一下切换为空心
- 用快捷键S激活命令
- 框选需要拉伸的物体的边或顶点，比如下图中Metal1 path的一条边
- 拖动鼠标拉伸到需要的位置再次点击结束操作



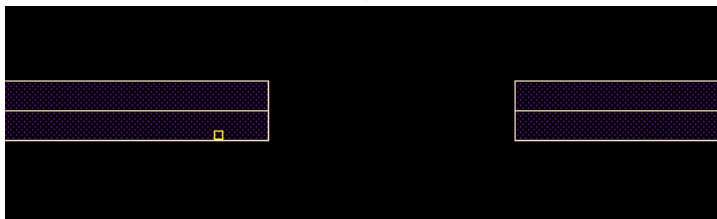
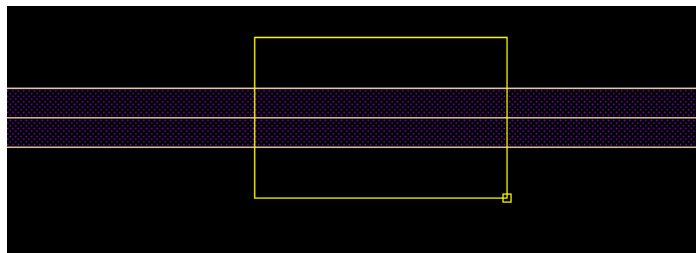


层次化opamp的版图设计



另一个在局部连线过程中经常使用的命令是Chop，可将物体（如path或矩形）进行局部砍断。这样同层金属的其他连线就可以按需从砍断处通过。过程为：

- 该操作无论在小三角符号为实心或空心状态均可进行
- 激活命令前需要先选中需要chop的物体
- 用快捷键Shift+C激活命令
- 框选物体的某部分，比如下图中Metal3 path的中间一段，完成chop

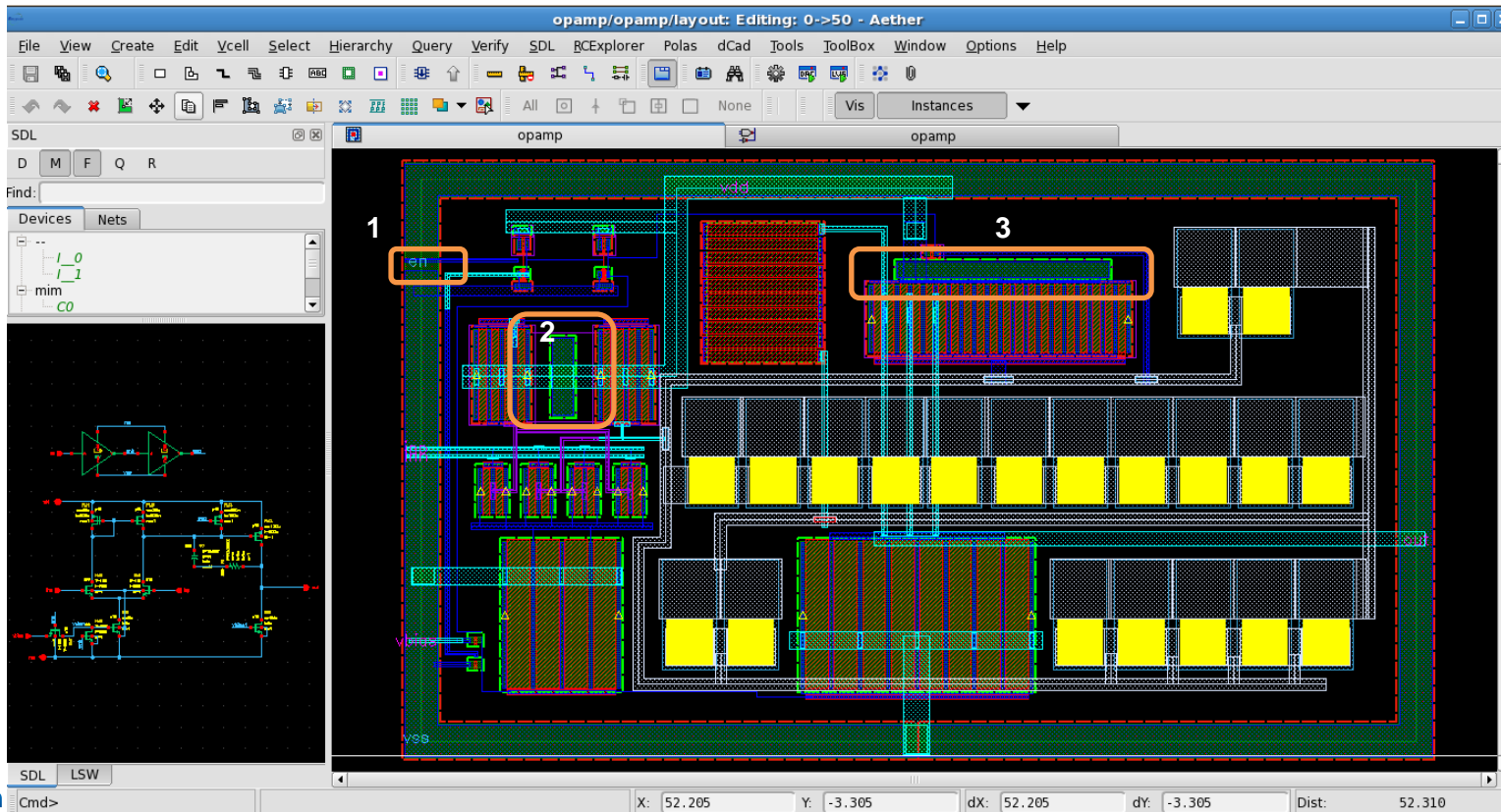




层次化opamp的版图设计

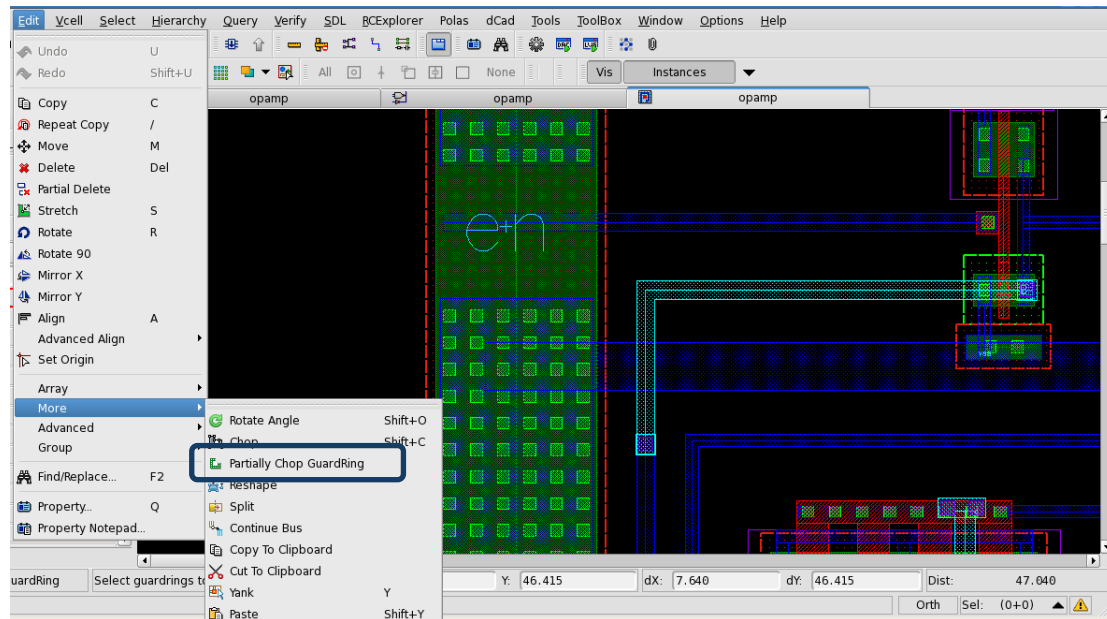


反复使用P, M, S, C, Shift+V, A, Q, Shift+C等快捷键操作, 最终完成布局和布线, 调整, 请参考lab3_final/opamp/layout中的版图如下。其中三个橙框中的相关操作我们需特别说明一下



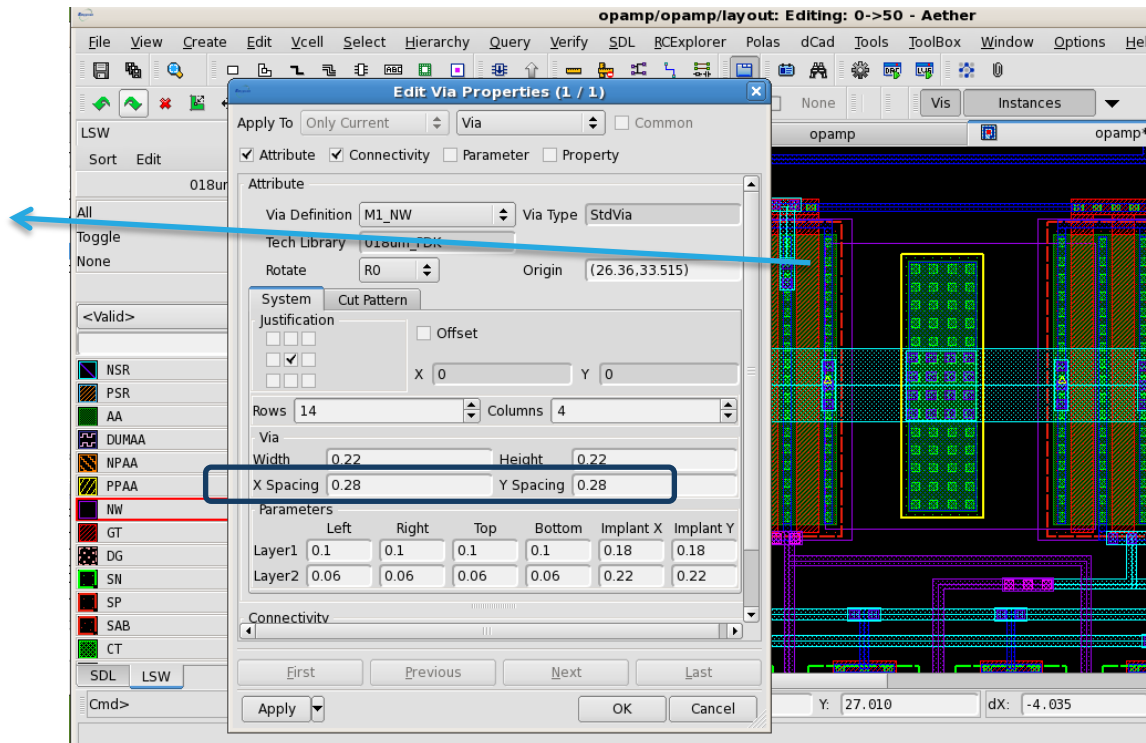
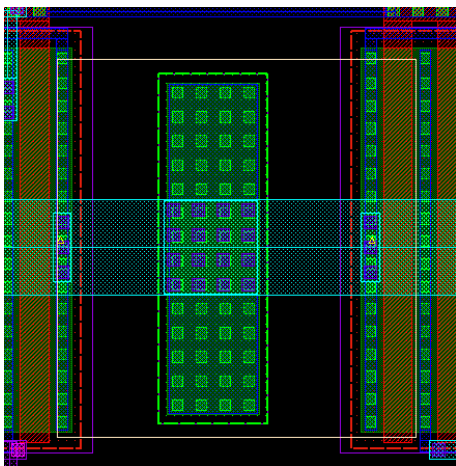
层次化opamp的版图设计

- 鼠标右键缩放到1号框附近，这里为了使Metal1的蓝色金属（pin en的连接线）能够连接出Guardring而不与Guardring上自身的M1短路，需要对Guardring进行单独砍断操作
- 回顾之前介绍TM的Guarding Rule中关于单独砍断layer的定义
- 选中Guardring，执行LE菜单的Edit -> More -> Partial chop guardring命令
- 然后在相应位置框选出区域，该区域内的Guardring上的Metal layer和Contact layer将被chop，但保留其他layer



层次化opamp的版图设计

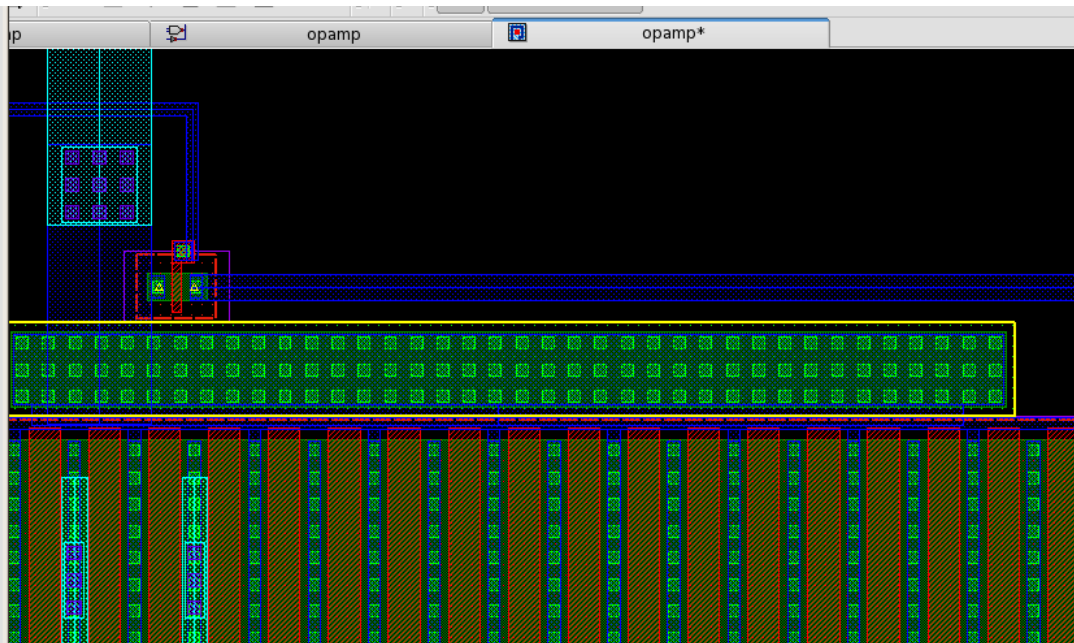
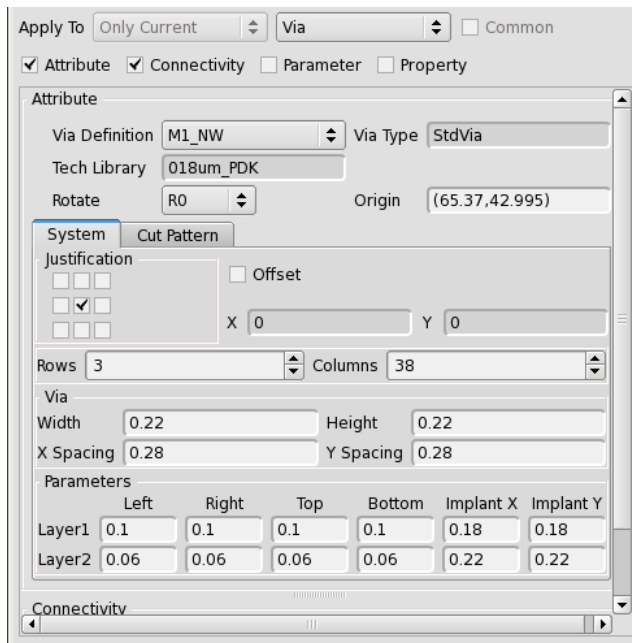
- 2号框位置，即PM0和PM1之间，需要插入较大片的M1_NW的via来作为两个p管的衬底连接。需要注意的是，大via阵列在DRC规则中对via间距的要求比小阵列要更大，所以需按Q键将该via阵列的X和Y spacing调节为0.28
- 另外，为了保证PM0和PM1安全放置在NW阱里，需要在LSW中选择NW后，利用键B画出一个矩形，将两个p管和该M1_NW via包裹在一起



层次化opamp的版图设计



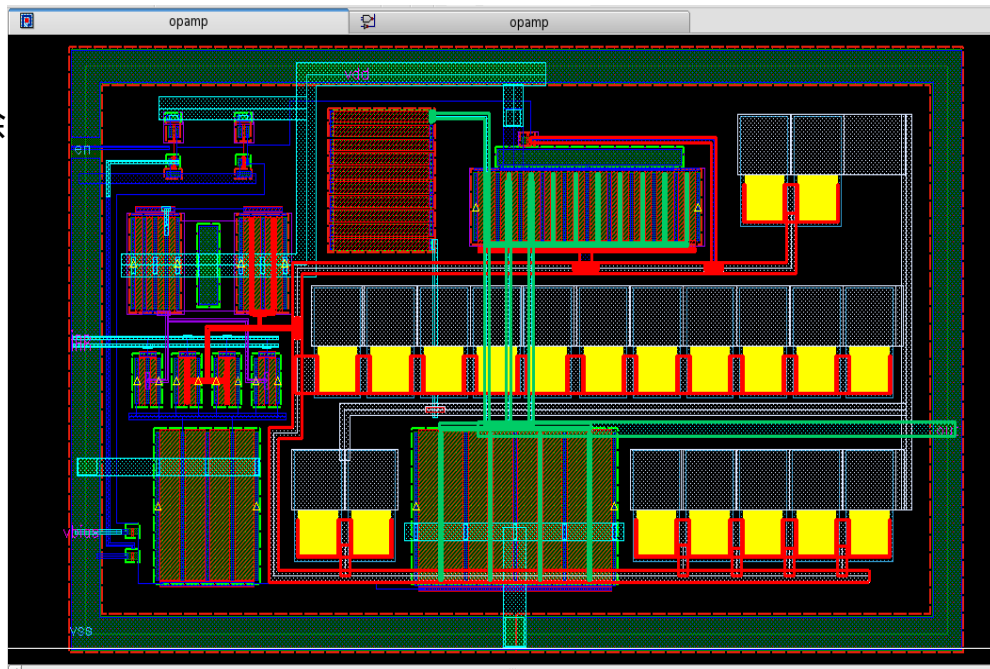
3号框位置的情况和2号框一样，需要大的M1_NW阵列来作为PM2&PM3的阱连接，需要调整Via的X和Y方向spacing，并试图将其外沿（NW层）和其上下两p管的外沿正好相接从而使PM2&PM3的阱完整连接。











层次化opamp的版图设计

- 最终，通过SDL菜单的Generate Hard Pin（如果soft pin已在此前布局布线过程中删了，则先Generate soft pin）或者手动用label的方法，产生对应的所有layout pin，完成版图绘制
- 很多时候对于较大规模layout，往往需要进行线网的追踪（trace net），可以用LE菜单Query->Trace Net来实现，激活命令后点击局部线网，则该Net会完全高亮显示，可跨层次追踪到所有连接好的金属和Via。通过Query->Remove All Trace可清除
- 版图设计完成后保存，退出LE。





-  从生产工艺方面说明，对需要严格匹配的敏感器件执行Device Matching的必要性是什么？为什么将NM1&NM2两管match成ABBA而不是ABAB的形式？
-  Create Path过程中，如果勾选上F3对话框中的With Same Layer，会有什么效果？
-  如果有需要，怎样利用Create Path来产生bus线？
-  在Partial Chop Guardring时，如果直接用Shift+C键对Guardring进行全部切断，是否也可达到同样的避免Metal1短路效果？全部切断相对于Partial chop的缺点是什么？
-  在多层金属覆盖处（比如有个区域从M1直至M4都有金属覆盖）执行自动Via，如何只打出M3_M4的via？动手操作一下
-  在Trace Net过程中，打开TM的Trace Rule，这里Connect中并未有任何定义，为何依然能够正确trace到全部金属和via？