

## 数字部分 实验四 物理设计与时序调试

### 一、环境配置

#### 1.1 登录方法

利用 Xmanager 软件登录服务器, 协议选择 SSH, IP 地址为 202.38.81.119, 端口 2122, 登录管理节点, 然后利用 SSH 登录运算节点 c01n01 至 c01n14, 登录时请注意避开用户较多的节点。例如, 登录 c01n10 节点:

```
$ ssh -X c01n10
```

查看各节点的负载情况, 可以浏览如下网址:

<http://202.38.81.119/ganglia/>

#### 1.2 进入实验目录

```
$ cd ~/vlsi
```

```
$ cd counter_design_database_45nm/physical_design
```

本实验继续使用实验一的目录, 若实验一中使用了其他目录名, 请做相应的修改。

#### 1.3 准备数据

本实验结合了物理设计和时序调试两部分, 需要把数据整合在一起。

复制文件至当前目录:

```
$ cp ../STA/counter2.view .
```

```
$ cp ../STA/counter_postCTS.sdc .
```

### 二、物理设计

#### 2.1 设置软件环境

设置 Cadence Innovus 171 软件环境:

```
$ setdt invs
```

注意: 上述命令中的 **setdt** 是实验中心自定义的脚本, 不是通用命令, 作用是设置软件所需的路径、环境变量等。在其他服务器运行软件时, 请咨询管理员或 CAD 支持人员。

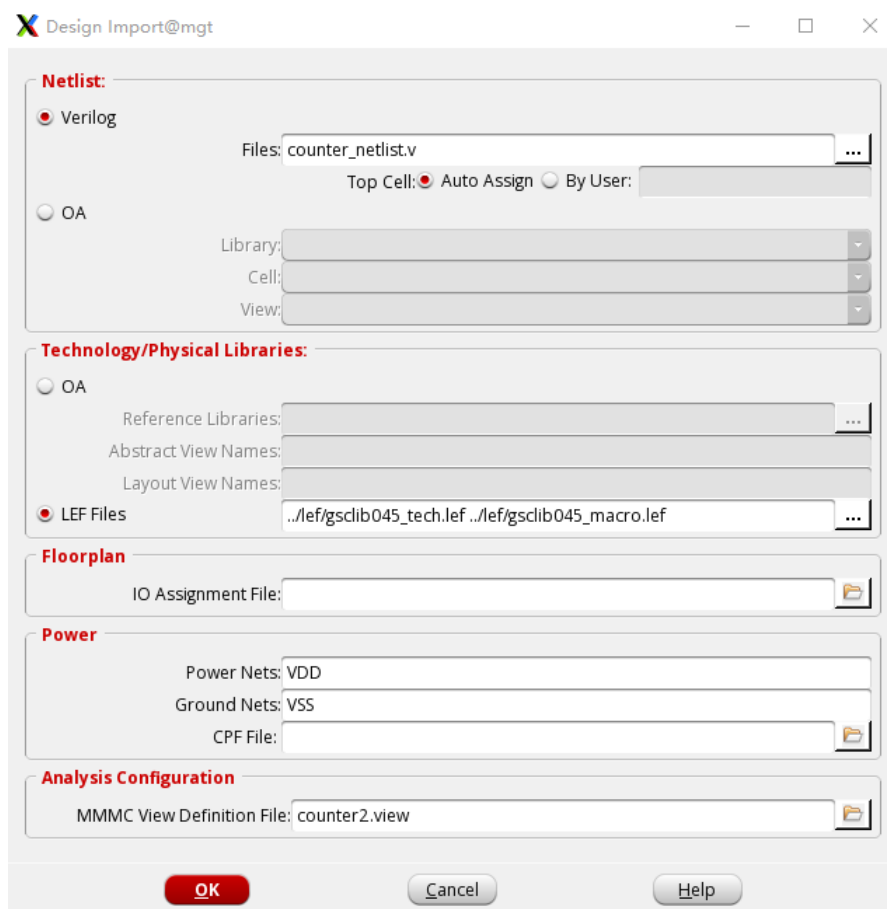
#### 2.2 启动软件

启动 Innovus 软件:

```
$ innovus -stylus
```

## 2.3 导入设计

导入门级网表、时序约束、单元库，选择菜单 File – Import Design，显示 Design Import 对话框，按照下图所示填写，并点击 OK 按钮。



输入框右侧的按钮可以帮助找到文件并填入，不需要手工输入文件路径。

Verilog 文件是设计的门级网表。

LEF Files 是工艺和单元库的物理信息，其顺序必须保证 Technology LEF 在最前面。

MMMC View Definition File 定义了时序分析、延时提取时所用的时序库、寄生参数提取工艺文件、时序约束等信息，请使用文本编辑器打开 **counter2.view** 文件认真阅读。

## 2.4 查看设计

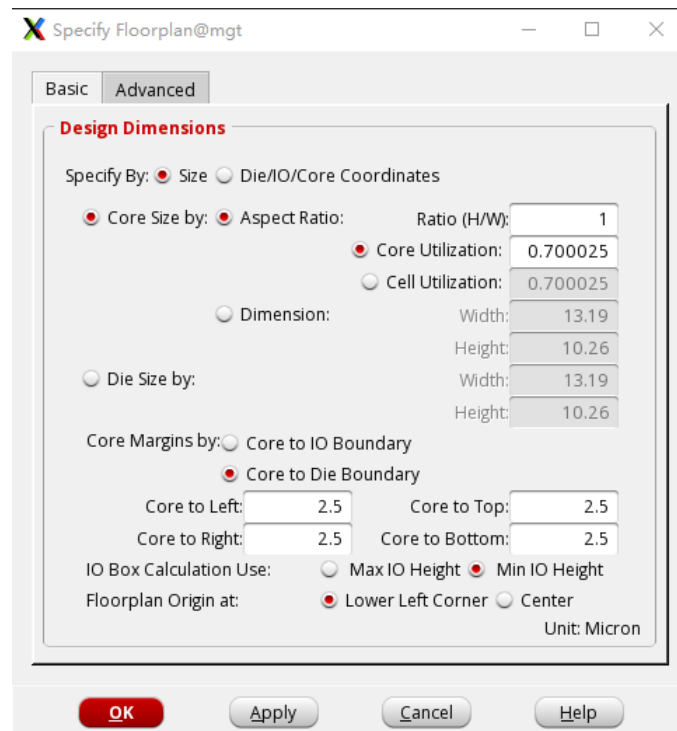
在工具栏右侧选择 Floorplan View，使用快捷键 f、Shift-Z、鼠标右键拖曳等方式调整显示的区域和缩放比例，并熟悉快捷键的用法，在后面的操作中会经常用到。



选择菜单 Tools – Design Browser，浏览设计的层次结构，了解其中的内容，完成后关闭 Design Browser 窗口。

## 2.5 版图规划 (Floorplanning)

选择菜单 Floorplan – Specify Floorplan，显示 Specify Floorplan 对话框，按照下图所示填写，并点击 OK 按钮，初始化版图规划。



The image shows a dialog box titled "Specify Floorplan@mgt" with two tabs: "Basic" and "Advanced". The "Basic" tab is selected. The dialog is divided into several sections:

- Design Dimensions**:
  - Specify By:** ☒ Size ☐ Die/IO/Core Coordinates
  - Core Size by:** ☒ Aspect Ratio: Ratio (H/W): 
    - ☒ Core Utilization:
    - ☐ Cell Utilization:
  - ☐ Dimension: Width:  Height:
  - Die Size by:** Width:  Height:
- Core Margins by:** ☐ Core to IO Boundary ☒ Core to Die Boundary
  - Core to Left:  Core to Top:
  - Core to Right:  Core to Bottom:
- IO Box Calculation Use:** ☐ Max IO Height ☒ Min IO Height
- Floorplan Origin at:** ☒ Lower Left Corner ☐ Center
- Unit: Micron

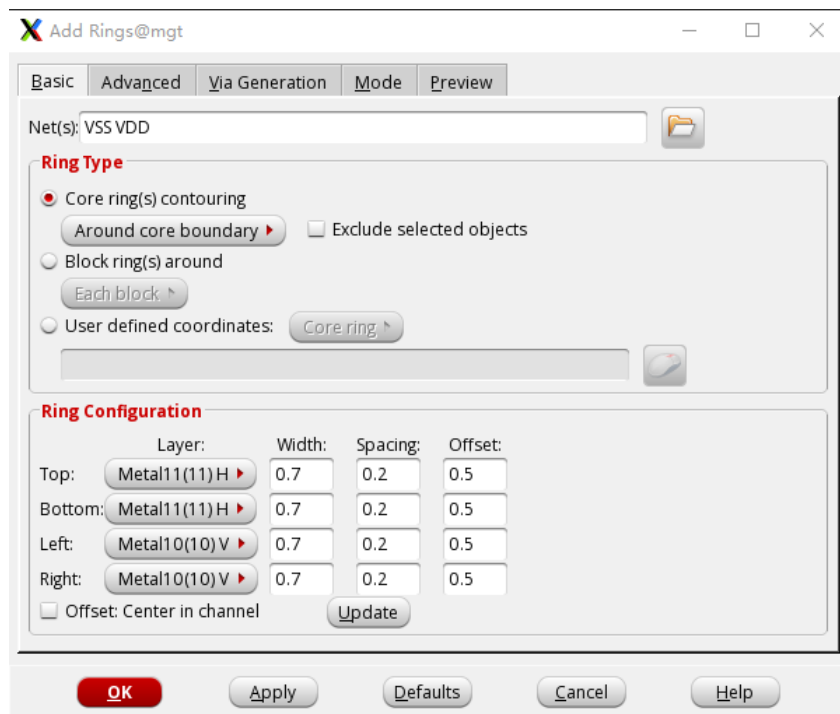
At the bottom of the dialog are four buttons: "OK" (highlighted in red), "Apply", "Cancel", and "Help".

点击 Ruler 图标或使用快捷键 k 可以调出标尺测量图形尺寸和距离, 点击 Clear All Ruler 图标或使用快捷键 Shift+k 可以清除标尺。



## 2.6 电源规划 (Power Planning)

选择菜单 Power – Power Planning – Add Ring，显示 Add Rings 对话框，按照下图所示填写，并点击 OK 按钮，添加电源环。



该工艺共有 11 层金属，一般选择顶层金属用于电源环和电源条线，这里选择第 11 层（横向）作为电源环上下两边，选择第 10 层（纵向）作为左右两边。

观察版图发生的变化。

选择菜单 Power – Power Planning – Add Stripe，显示 Add Stripes 对话框，按照下图所示填写，并点击 OK 按钮，添加电源条线(Stripe)。

**Add Stripes@mgt**

Basic | Advanced | Via Generation | Mode | Preview

**Set Configuration**

Net(s): VDD VSS

Layer: Metal10(10) Directions: ☒ Vertical ☐ Horizontal

Width: 0.22 Spacing: 0.2 Update

**Set Pattern**

☒ Set-to-set distance: 5 ☐ Number of sets: 1 ☐ Bumps Over

☐ Over P/G pins Pin layer: Top pin layer Pin Width:

☐ Master name: Selected blocks ☒ All blocks

☐ Over Physical Pins Pin layer: Top pin layer Pin Width:

**Stripe Boundary**

☒ Core ring ☐ Pad ring: Outer ☐ All domains

☐ Design boundary ☒ Create pins ☐ Each selected block/domain/fence

☐ Specify rectangular area

X1: Y1: X2: Y2:

☐ Specify rectilinear area

**First/Last Stripe**

Start from: ☒ Left ☐ Right ☐ Top ☐ Bottom

☒ Relative from core or selected area Start: 1 Stop: 0

☐ Absolute Start: Stop:

OK Apply Defaults Cancel Help

注意选择第 10 层金属（纵向）作为电源条线金属层。

观察版图发生的变化。

选择菜单 File – Save – Floorplan，保存版图规划信息，文件名为 **counter.fp**。

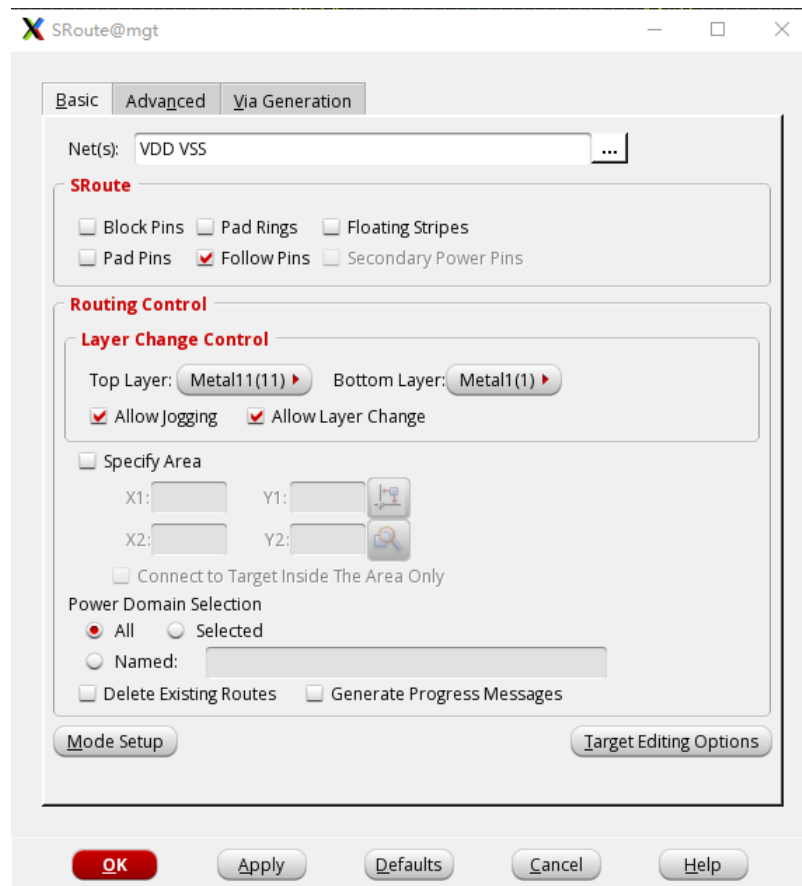
## 2.7 创建电源轨道

把全局电源线网 VDD 和 VSS 与标准单元相应引脚名称关联起来，在 Innovus 命令行输入：

```
@innovus> connect_global_net VDD -type pg_pin -pin VDD -inst *
```

```
@innovus> connect_global_net VSS -type pg_pin -pin VSS -inst *
```

选择菜单 Route – Special Route，显示 SRoute 对话框，按照下图所示填写，并点击 OK 按钮。



Follow Pins 布线即电源轨道(Power Rails)，形成对标准单元的供电网络，并与电源环和电源条线相连接。

观察完成的电源网络，注意电源环、电源条线、电源轨道之间的连接点。

## 2.8 布局优化 (Placement Optimization)

载入扫描链设计文件：

```
@innovus> read_def counter.scandef
```

设置扫描链重排序模式：

```
@innovus> set_db reorder_scan_comp_logic true
```

运行布局优化：

```
@innovus> place_opt_design
```

以上命令在布局完成后，若有 Negative Slack，则执行优化步骤。

问题(1) 布局优化完成后，主窗口右下角显示的设计状态是什么？

问题(2) 此时的 WNS (Worst Negative Slack)是多少？

在工具栏右侧选择 Physical View，可以观察到标准单元的布局和试布线的金属连线。

保存设计：

```
@innovus> write_db placeOpt
```

## 2.9 时钟树综合 (Clock Tree Synthesis, CTS)

根据时序约束生成时钟树规范文件：

```
@innovus> create_clock_tree_spec
```

建立时钟树：

```
@innovus> ccopt_design
```

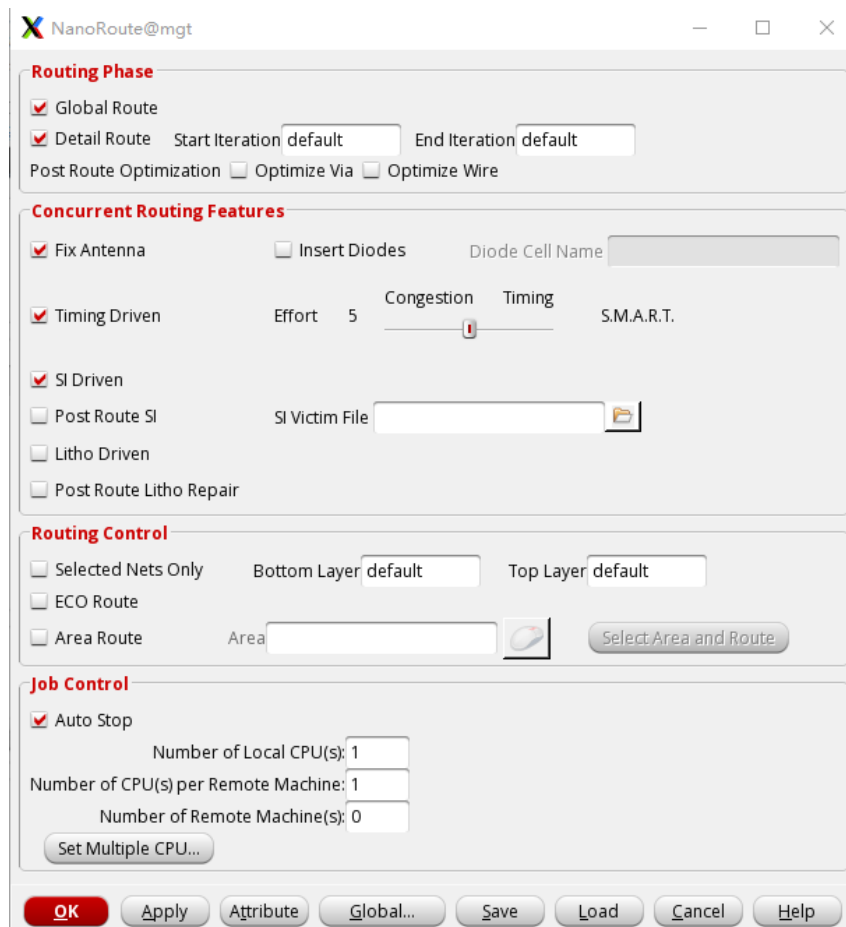
问题(3) 此时是否存在时序违例？

保存设计：

```
@innovus> write_db postCTSopt
```

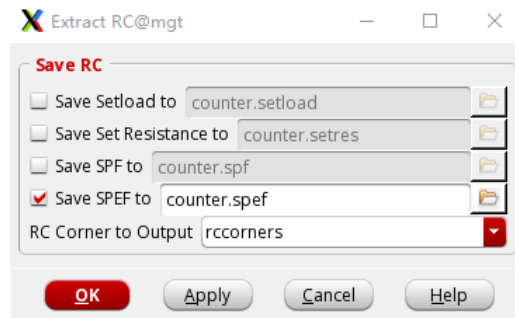
## 2.9 布线 (Routing)

选择菜单 Route – NanoRoute – Route，显示 NanoRoute 对话框，按照下图所示填写，并点击 OK 按钮，运行布线。



## 2.10 寄生提取和时序分析

选择菜单 Timing – Extract RC，显示 Extract RC 对话框，按照下图所示填写，并点击 OK 按钮。



设置时序分析类型为 OCV (On-Chip Variation):

```
@innovus> set_db timing_analysis_type ocv
```

运行建立(Setup)时间和保持(Hold)时间时序分析:

```
@innovus> time_design -post_route
```

```
@innovus> time_design -post_route -hold
```

问题(4) 此时是否存在建立时间时序违例? 若有, 共有几条违例路径? WNS 为多少?

问题(5) 此时是否存在保持时间时序违例? 若有, 共有几条违例路径? WNS 为多少?

如果存在时序违例, 暂时搁置这个问题, 并将在时序调试部分解决。

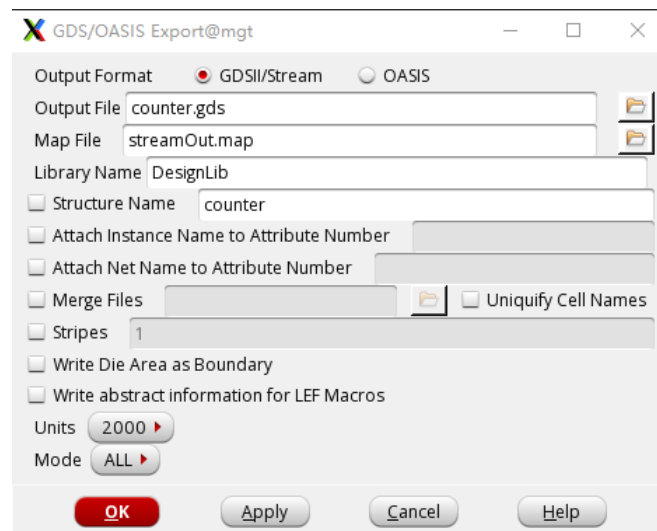
## 2.11 物理验证

选择菜单 Check – Check DRC，运行几何检查。

选择菜单 Check – Check Connectivity，运行连接性检查。

## 2.12 生成版图文件

选择菜单 File – Save – GDS/OASIS，显示 GDS/OASIS Export 对话框，按照下图所示填写，并点击 OK 按钮，生成版图文件。





### 三、时序调试

#### 3.1 时序优化

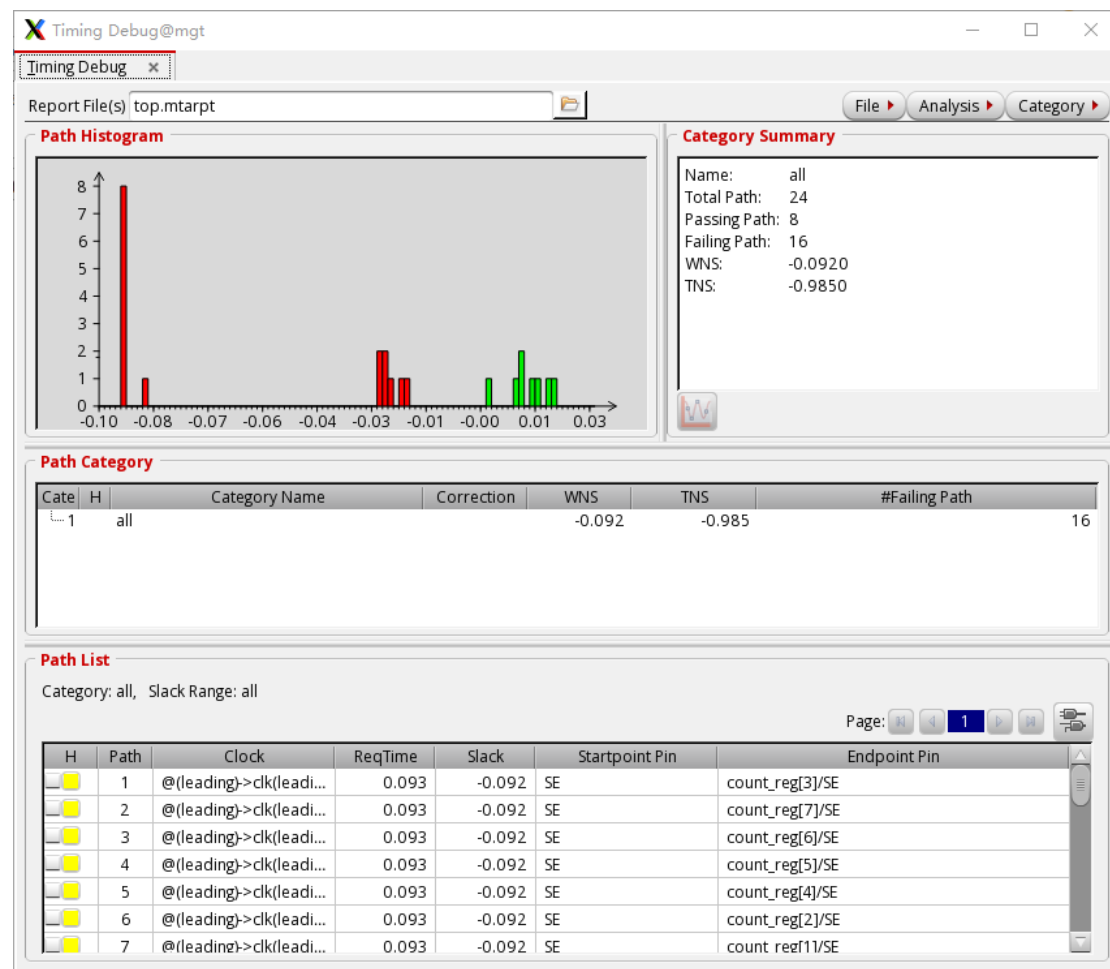
运行保持时间时序优化：

```
@innovus> opt_design -post_route -hold
```

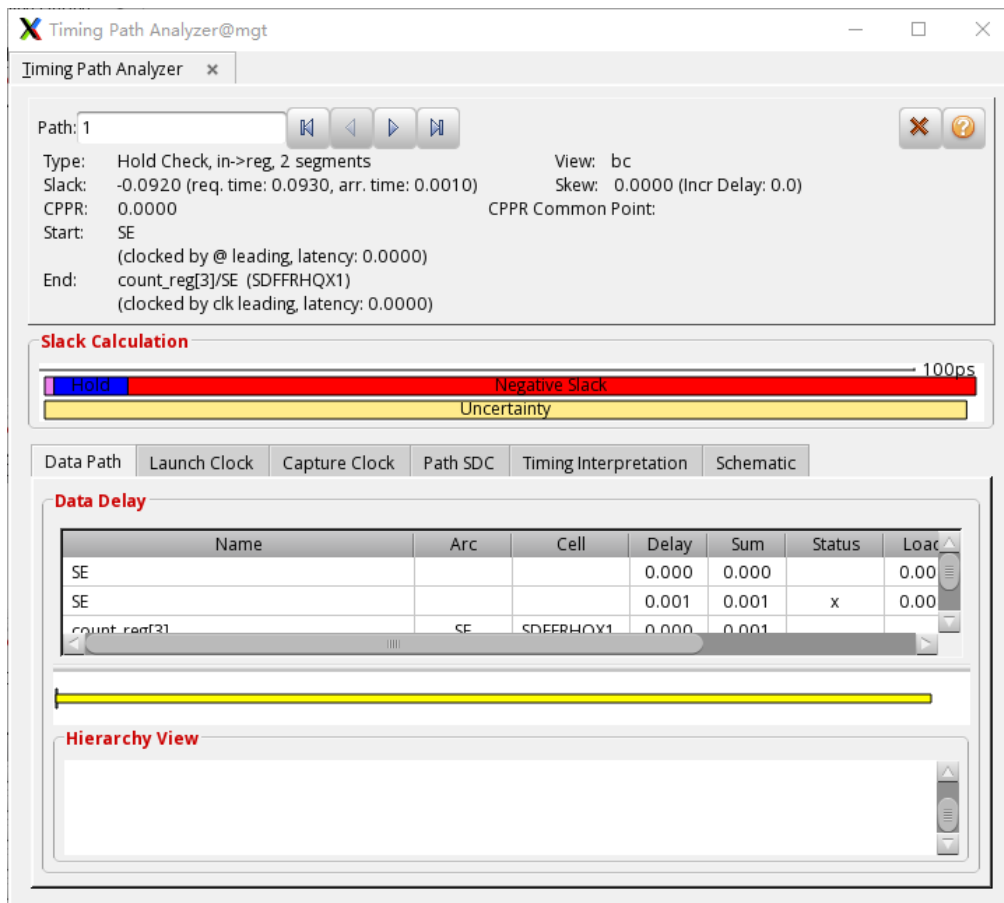
问题(6) 此时是否仍存在保持时间时序违例？若有，共有几条违例路径？WNS 为多少？

#### 3.2 时序调试

选择菜单 Timing – Debug Timing，显示 Display/Generate Timing Report 对话框，在 Check Type 处选择 hold，点击 OK 按钮，打开 Timing Debug 窗口。



用鼠标右键点击 Path List 中的 Path #1，在快捷菜单上选择 Show Timing Path Analyzer，显示 Timing Path Analyzer 窗口。

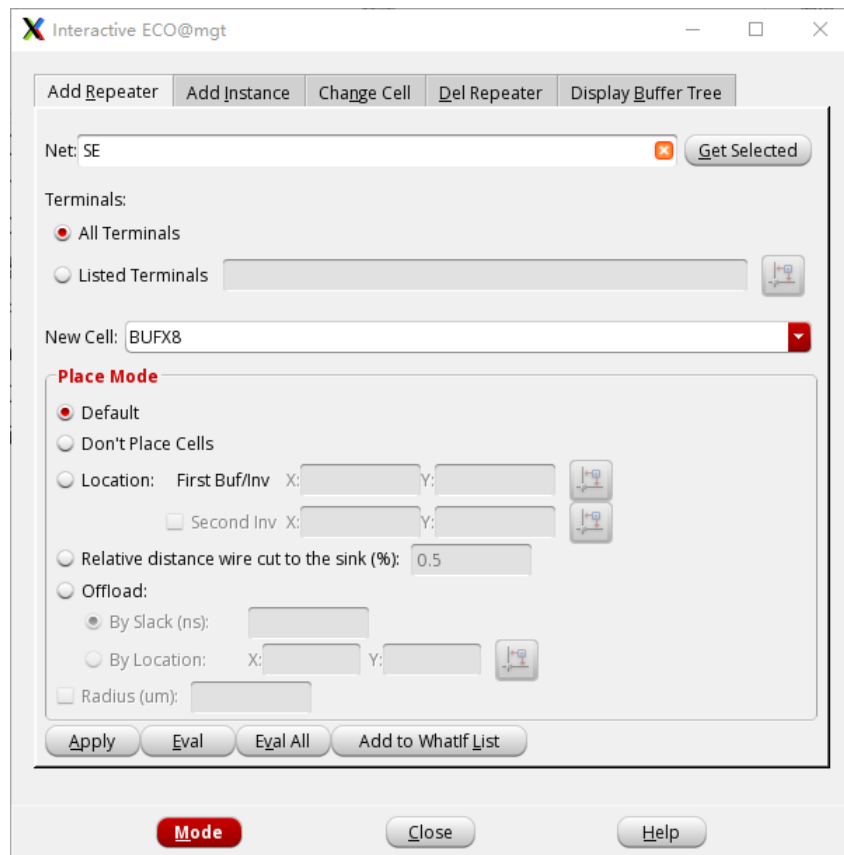


根据 Timing Path Analyzer 窗口显示的信息，可以发现，保持时间约束要求信号 SE 在 0.0930 ns 之后到达，而 SE 实际在 0.0010 ns 处到达，传播速度过快，造成保持时间违例。因此，可以在 SE 信号上插入额外的缓冲器，增加传播延时，以满足保持时间约束。

用鼠标右键点击 Data Delay 列表中的 SE 信号行，在快捷菜单上选择 Interactive ECO/WhatIf – Add Repeater，显示 Interactive ECO 对话框。

工程变更指令(Engineering Change Order, ECO)，针对时序或功能问题，对设计进行小范围的改动。以下对保持时间违例的修正，属于 ECO 操作的一种。

在 Interactive ECO 对话框中按照下图所示填写，点击 Apply 按钮实施变更，点击 Clock 按钮关闭对话框。



通过上述操作，在 SE 信号上增加了一个新的单元 BUFX8，引入了新的延时。

回到 Timing Debug 窗口，点击 Report File(s)输入栏右侧图标，打开 Display/Generate Timing Report 对话框，保持现有设置不变，点击 OK 按钮，重新生成时序报告。

注意 Timing Debug 窗口的 Path Histogram 直方图发生的变化。

问题(7) 此时保持时间时序违例还有几条违例路径？WNS 为多少？

重复上述步骤，将所有时序违例路径的 Slack 调整至非负数，消除保持时间违例。

问题(8) 记录每次操作后的违例路径数量和 WNS。

### 3.2 数据生成

运行 DRC 检查和连接性检查，并生成新的版图文件。

### 三、思考题

回答上述操作过程中提出的问题。

- (1)
- (2)
- (3)
- (4)
- (5)
- (6)

(7)

(8)