

## 实验四、CMOS 数字电路基本单元设计方法

### ● 实验目的：

通过兼顾数字电路基本单元设计，掌握 **tran** 瞬态仿真方法；

### ● 实验说明与预备知识

设计组合逻辑电路反相器和 2 输入与非门、时序逻辑电路 DFF 触发器；

使用 **spectre** 瞬态仿真验证电路功能，获取反相器的上升、下降和延迟时间；  
实验采用的逻辑单元输入端边沿 **slow** 时间与实际工艺库约定无关。

实验采用 PCELL 设计，仅是为了学习使用 EDA 仿真工具，不是按照标准的建库方法。

术语 PCELL 即参数化 CELL（单元），自动根据 MOS 的宽、长、finger（栅极等分）、multiplier（器件等分），以及（工艺缺省）设置的源漏版图参数，生成 MOS 版图；

VTC 是电压传输特性的缩写；

工艺跨导： $k_n' = \mu_n C_{ox}, k_p' = \mu_p C_{ox}$

为使反相器的逻辑阈值电压合理（输入与输出相同点，最佳为  $1/2$  电源电压）以保证输出的上升和下降沿延时相同，P 管和 N 管的 W 宽度比为

$$\text{反相器 } \beta = \frac{W_p}{W_n} = \frac{k_n'}{k_p'} = \frac{\mu_n C_{ox}}{\mu_p C_{ox}} = \left( \frac{n18 \text{ 的 } \beta_{eff}}{p18 \text{ 的 } \beta_{eff}} \right)_{W/L \text{ 相同}}$$

### ● 实验内容：

#### 一、实验准备

登录 EDA 平台进入你的账户；

选择计算服务器 **ssh -X c01n??** （??=01~14）

设置 cadence 输入编辑软件 **virtuoso** 环境变量 **setdt ic616**

设置 cadence 仿真软件工具 **spectre** 环境变量 **setdt mmsim**

（或 合并上 2 个命令：**setdt ic616 mmsim**）

运行 **virtuoso &**

## 二、实验步骤

### 1. 计算工艺跨导 $k'$ , $W$ 关系

#### A. DIY 获得 CMOS 反相器静态 VTC

打开实验一电路: [Tools](#)→[Library Manager](#)→[icbaslab](#)→[MOSTest](#)→[schematic](#)

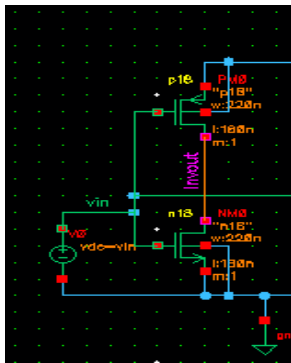
进入仿真窗口: [Launch](#)→[ADE L](#)

设置: [Edit Variables](#) 为  $vin$  设置为 0.9 (仿真初始工作点, 与扫描无关), 再设置  $vd$  (电源电压) Value 为 0.9; 然后可关闭 [Editing Design Variables](#) 设置窗口;

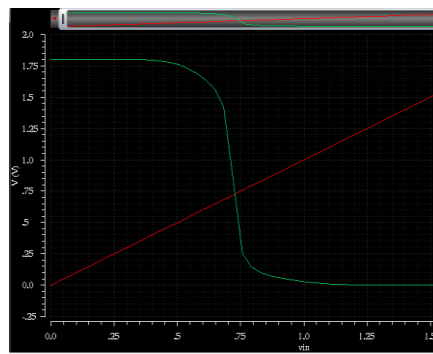
采用 dc 仿真, 使 Design Variable 有效, 设置变量名  $vin$  的扫描范围: 0~1.8, 因只是为了查看一下 VTC, 故不需要选中“保存 DC 工作点”;

[Setup Outputs](#) 从 Schematic 图中选  $vin$  和  $invout$  线网;

运行仿真 [Netlist and Run](#)。

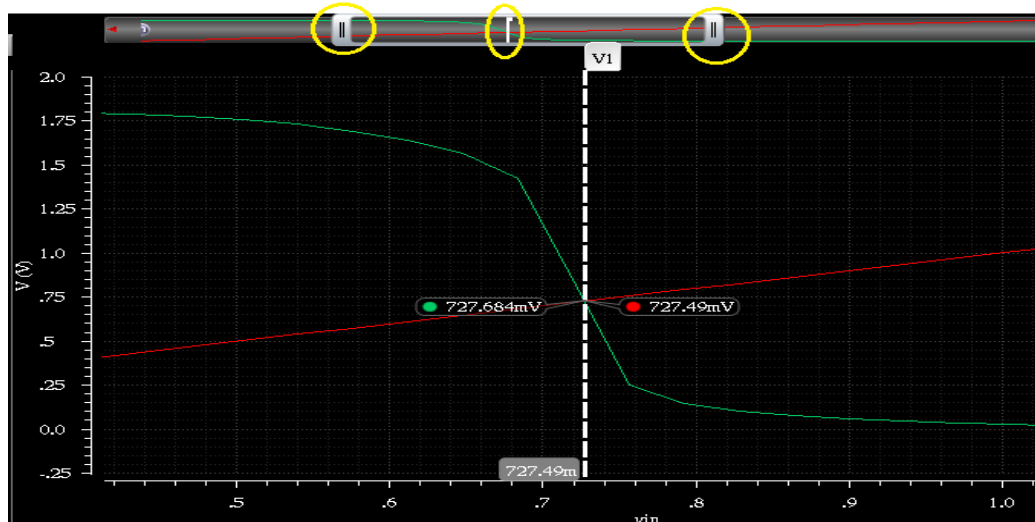


MOSTest 单元中的反相器



反相器静态电压传输特性 VTC 波形

放大显示区域, 可精确测量反相器的输入输出交点电压 (即逻辑阈值电压)。



若你具有数字集成电路知识基础, 请回答: 该反相器的逻辑阈值电压是多少? 将导致输出上升沿比下降沿快还是慢?

提示: P 管上拉, N 管下拉; 阈值电压偏小, 说明 P 管电阻大。

退出反相器波形图、ADE L()仿真窗口、MOSTest 单元的电路图窗口。

保留 Library Manager 窗口、以及 Virtuoso 窗口, 进行后续设计。

## B. 计算反相器 PMOS 与 NMOS 管的优化宽度比

利用实验一获得的仿真数据，确定优化的 p18 和 n18 宽度比：

长度  $L=180\text{nm}$ ，宽度  $W$  分别为  $W_1=220\text{nm}$  和  $W_2=1.8\mu\text{m}$ ，计算反相器  $\beta_{W1}$

和  $\beta_{W2}$ ，取平均  $\beta = \frac{\beta_{W1} + \beta_{W2}}{2}$ ，精确到 1 位小数。

## 2. 反相器设计

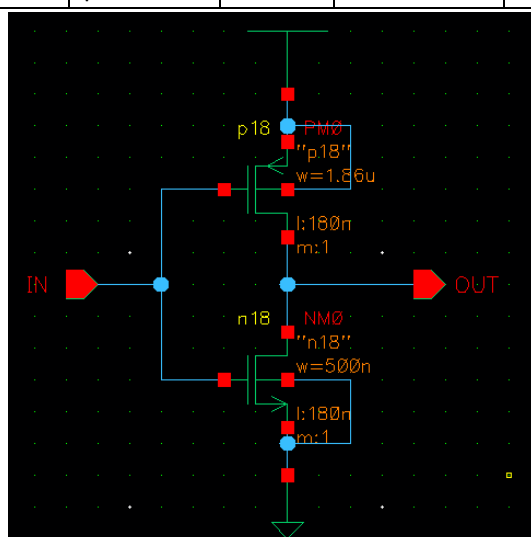
### A. 画单元电路


在 Library Manager 窗口，Tools → Library Manager → icbaslab 库，  
File → New → Cell View，Cell 栏中键入 myINV，Type 为 schematic。

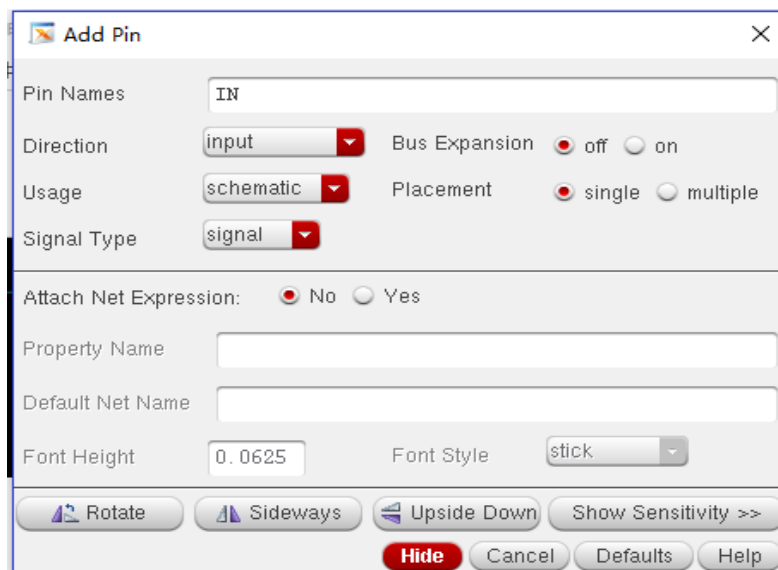
按照表 4.1 参数画好 myINV 单元的 schematic 电路图。

表 4.1 （设计合适的 PMO 宽度）

器件标号	单元名	Length	Total Width	Multiplier/Fingers
NM0	n18	180n	500n	1/1
PM0	p18	180n		1/3



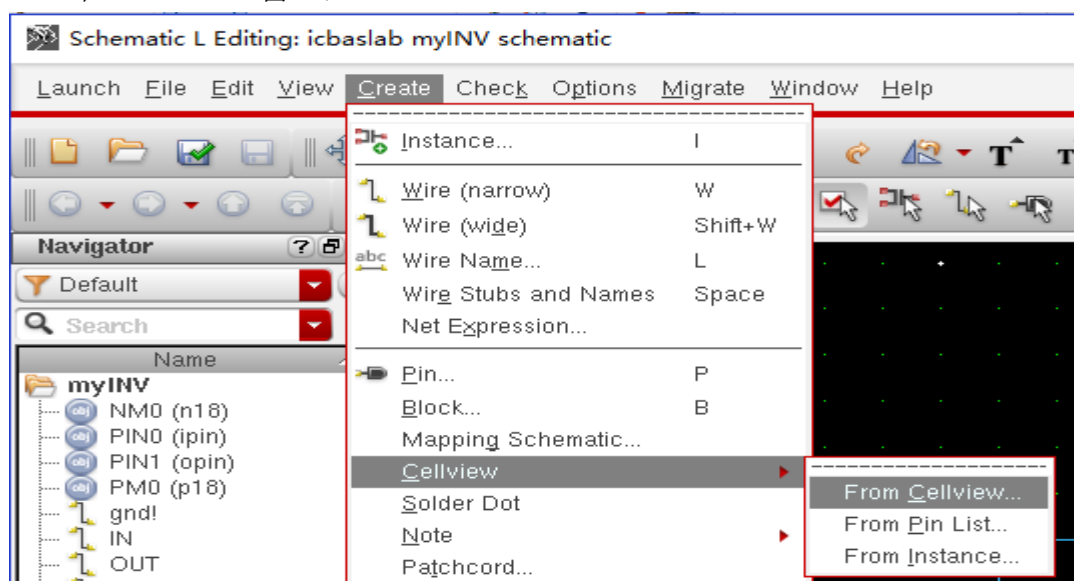
点击 Create Pin ，设置 IN 输入管脚：



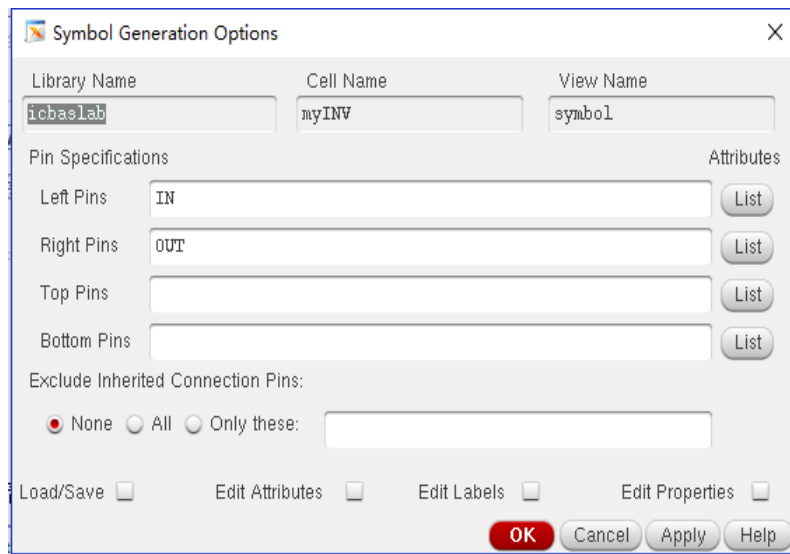
点击 Add Pin 窗口底部的 **Hide**，否则电路图中可能不见 PIN。  
 同样处理 OUT pin(Direction 为 output, type : signal)。  
 schemaitc 电路编辑窗口中 **Check and Save** 检查并保存电路图。

## B. 创建 myINV 单元的 symbol

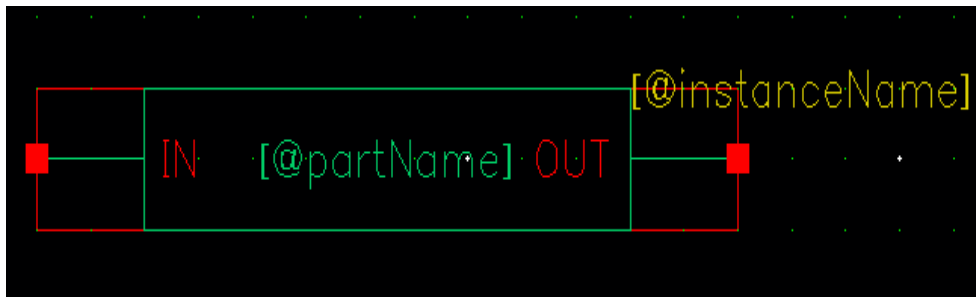
在 Schematic 窗口，**Create**→**Cellview**→**From Cellview**



在弹出的 Cellview from cellview 窗口，点 OK 后出现下图窗口。



得到 myINV 的 symbol view (相当于封装器件, 用于其它电路):

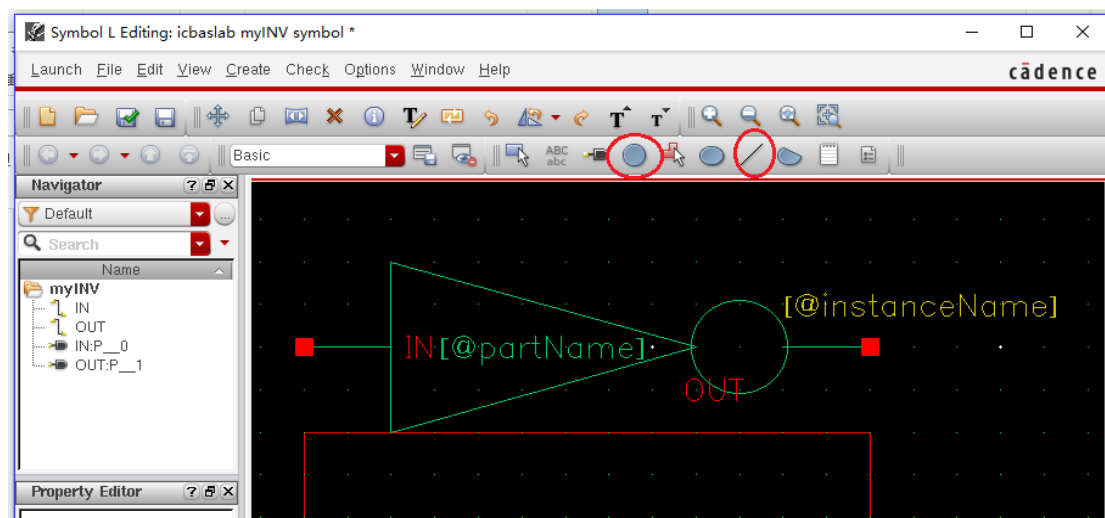


改变 symbol 形状:

先 **M** 键将红色选择框移走, 露出内部的器件外形绿色方框, **Delete** 键删除绿色方框。

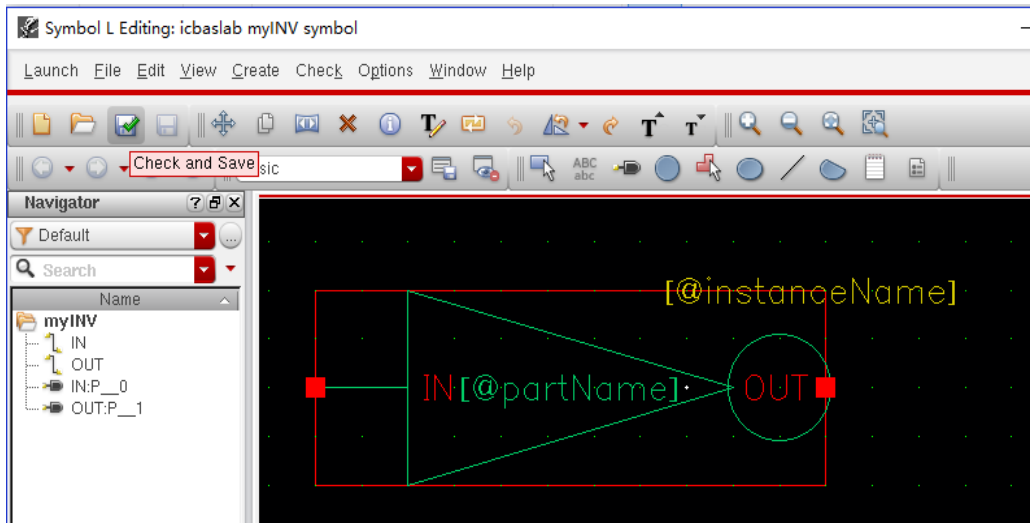
选 **Create Line** 图标工具连线: 点击起始点和折转点, 双击结束放置连线;

选 **Create Circle** 画圆工具: 点击圆心, 放开鼠标并移动, 双击放置圆。



提示: **ESC** 键用于退出任何操作。

最终 symbol 如下图:



Check and Save 检查并保存 myINV 的 symbol，  
关闭 myINV 单元的 Symbol L Editing 窗口和 Schematic L Editing 窗口。

C. 创建 myINV 的测试电路 myINVtst 单元

在 Library Manager 窗口，选 icbaslab 库，创建 myINVtst 单元。

Schematic 电路图如下，单元选择参照表 4.2。

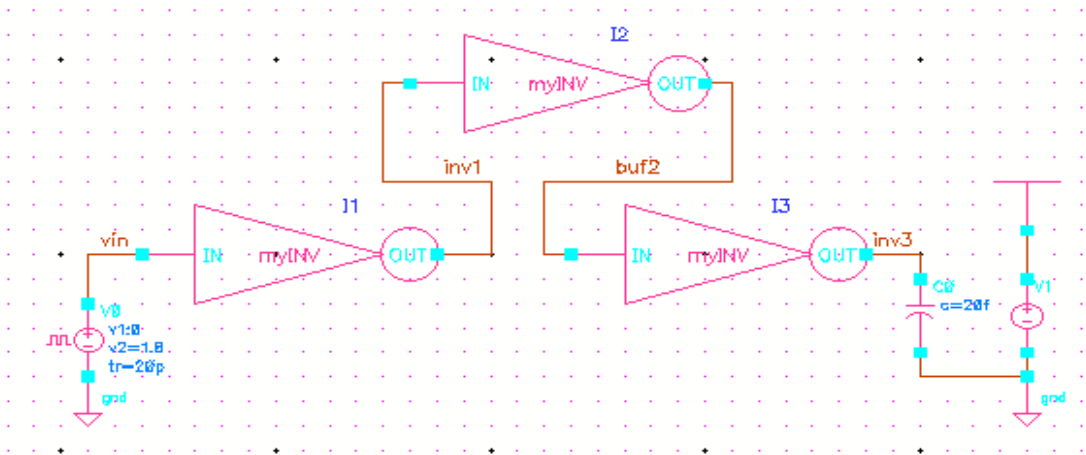


表 4.2

器件标号	单元名	library	值	备注
I1、I2、I3	myINV	icbaslab	--	输入线网 vin，输出线网名分别为 inv1, buf2, inv3
C0	cap	analogLib	20 f	理想器件库，做为负载
V0	vpulse	analogLib	1G 方波	脉冲信号源，输入，设置见后说明*
V1	vdc	analogLib	1.8	DC voltage
	vdd	basic		全局变量 vdd！
	gnd	basic		全局变量 gnd！

为使电路中的器件标号与表 4.2 一致，对 schematic 窗口器件顺序进行编号：  
[Edit→Renumber Instances...](#)，[Sequence instances by](#) 栏中选 [Y+X+](#)。

说明\* 脉冲电压源 [vpulse](#) 的设置：

PAC phase		off
Voltage 1	0 V	off
Voltage 2	1.8 V	off
Period	1n s	off
Delay time	0 s	off
Rise time	20p s	off
Fall time	20p s	off
Pulse width	480p s	off
Temperature coefficient 1		off



多个线网一次性命名小技巧：[Create Wire Name](#)。

**Add Wire Name**

Wire Name

Net Expression

Names

vin inv1 buf2 inv3

Font Height

0.0625

Bus Expansion

☒ off ☐ on

Font Style

stick

Placement

☒ single ☐ multiple

Justification

lowerCenter

Purpose

☒ label ☐ alias

Entry Style

fixed offset

Bundle Display

☐ horizontal ☐ vertical

Show Offset Defaults

Rotate

Hide

Cancel

Defaults

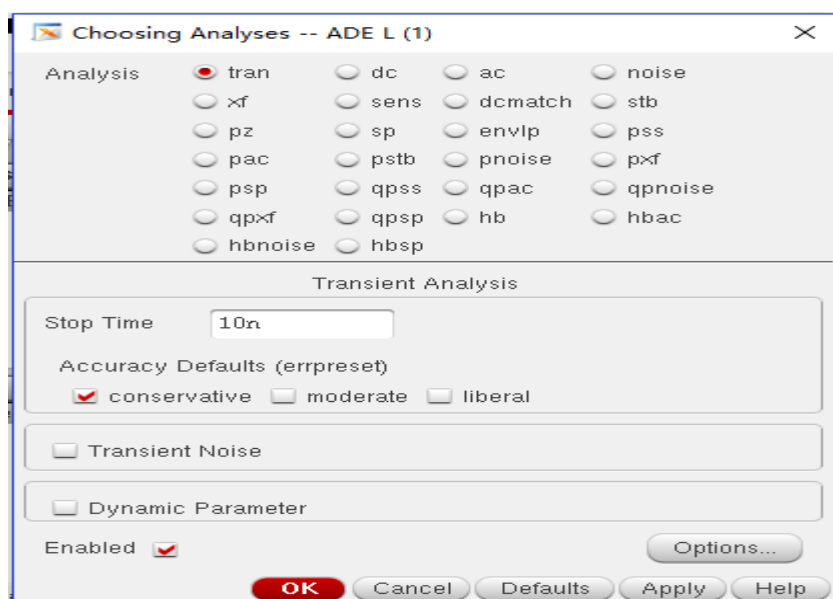
Help

分别在相应线网上点击，依次放置线网名。

电路设计编辑完成后，[Check and Save](#)。

#### D. 瞬态 tran 波形仿真

[Launch→ADE L](#)，在 ADE L() 仿真窗口 [Choose Analyses](#)，选 [tran](#)。



设置 Stop Time =10n s，仿真 10 个周期（输入 1G 方波）。  
电路中有电容时，tran 仿真达到最后稳态需要多个周期的建立时间。

一般地，数字电路仿真精度设为 liberal（低）；模拟电路仿真精度设为 moderate（适中）；射频电路仿真精度设为 conservative（高精度，耗时）。本例测量陡峭边沿，选 conservative（高精度）。

Setup Outputs → From Schematic，在电路图中选择命名的线网，输出其波形。  
Netlist and Run 进行仿真。

#### E. 测量 myINV 的上升、下降和延迟时间：

在 Virtuoso(R) Visualization & Analysis XL 波形窗口中，扩大横向显示：移动范围条框到仿真波形的后段（下图黄圈标记，波形显示时间间隔稍超 2 周期）。

缺省情况下（或波形窗口中 Marker->Tracking cursor），鼠标移动到波形曲线任一点，可读取信号的时间及电压。若要读取 2 点差值，则鼠标放在波形曲线的一点上，A 键，然后鼠标放在另一点上，B 键。鼠标读取曲线点的位置可能不准。

下面采用标记线方法进行精确测量：

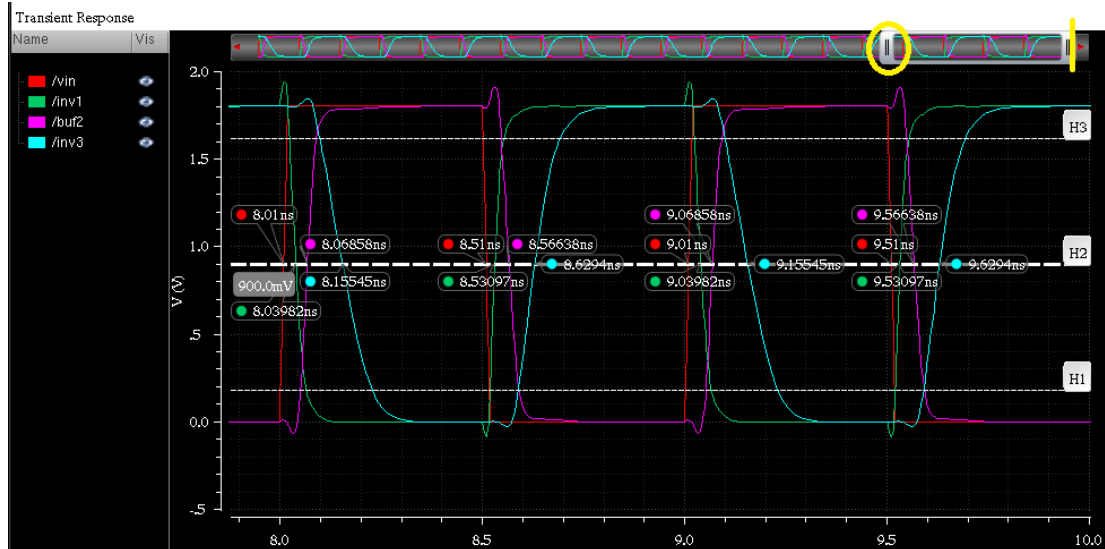
放置标记线：Marker → Create Marker，设置 Horizontal 的 Y Position 为 0.18，即在波形边沿 10%处，出现一横线标记与波形曲线交点的时间；

如法放置另 2 条横线标记：Y Position=1.62（波形边沿 90%处）和 0.9（波形边沿 50%处）。

若删除一条标记线，则在标记线上鼠标右键，Delete；

若要删除全部标记，则在 virtuoso(R) Visualization & Analysis XL 波形显示窗口，Marker->Delete All。





测量小技巧：隐藏无关波形。

仅显示 *vin* 和 *inv1* 波形（点击左侧“眼睛”图标使 *buf2* 和 *inv3* 波形隐藏），测量 *inv1* 某个波形周期的 90%处（1.62V）时刻 - 10%处时刻=上升时间，类似测量下降时间，以及延迟时间（输出信号下降 50%时刻-输入信号 50%时刻）；

按表 4.3 要求记录参数。

处理 *buf2*：仅显示 *vin* 和 *buf2* 波形，延迟时间是 *buf2* 上升 50%时刻- *vin* 上升 50%时刻；

单独处理有电容负载的 *inv3*：仅显示 *buf2* 和 *inv3* 波形，延迟时间是 *inv3* 下降 50%时刻- *buf2* 上升 50%时刻。

表 4.3

单元	上升波形测量			下降波形测量			延迟时间（50%）			延迟时间说明
	10%时刻	90%时刻	上升时间	90%时刻	10%时刻	下降时间	输入时刻	输出时刻	延迟时间	
Inv1										相对 <i>vin</i> 边沿
Buf2										相对 <i>vin</i> 边沿
Inv3										相对 <i>buf2</i> 边沿

关闭与 *myINVtst* 仿真与设计相关的各个窗口。

### 3. 设计 2 输入与非门

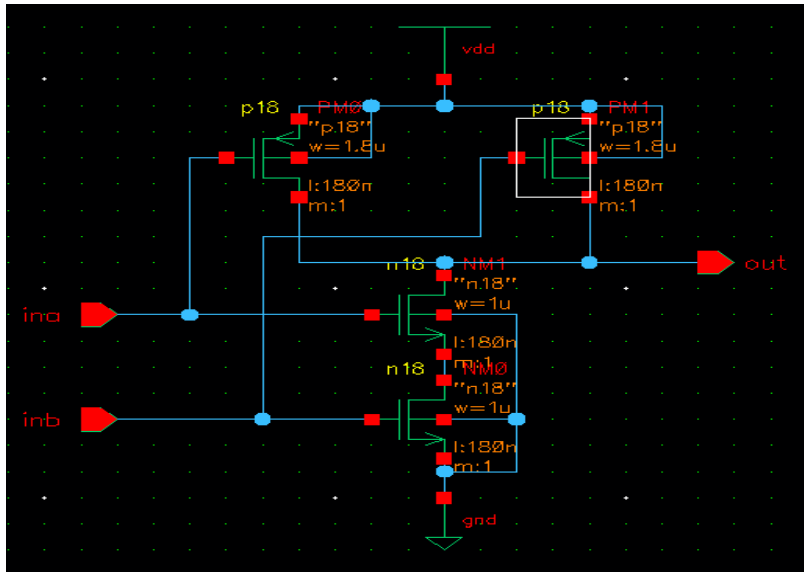
#### A. 2 输入与非门单元电路设计

在 *icbaslab* 库中新建 *myNAND2* 单元。

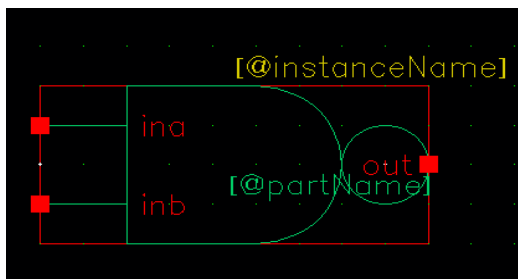
按照表 4.4 要求完成电路设计。

表 4.4 （空白栏自己设计）

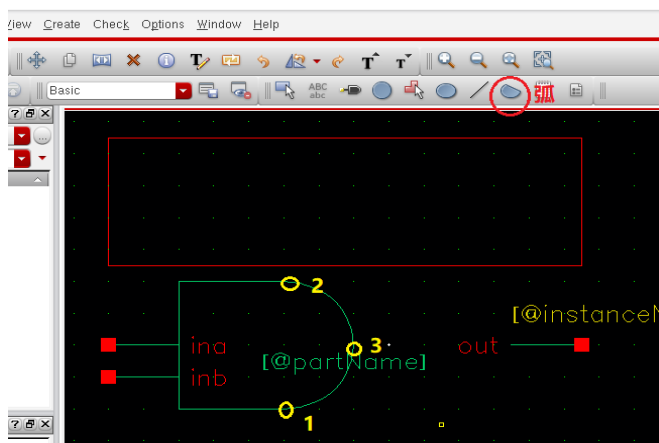
器件标号	单元名	Length	Total Width	Multiplier /Fingers	说明
NM0	n18	180n	1u	1/1	根据工艺参数合理设计 W
NM0	n18	180n	1u	1/1	
PM0	p18	180n		1/2	
PM1	p18	180n		1/2	



生成 symbol: **Create**→**Cellview**→**From cellview**,  
 可以检查一下是否 From view Name 栏为 **schematic**,  
 To View Name 中为 **symbol**,  
 Tool/Data Type 栏为 **schematicSymbol**。  
 将 symbol 改成标准形式:



上图中的半圆弧是按下图 1、2、3 步骤点击左键画出的:



画好 symbol 后 **Check and Save**, 关闭该窗口。

## B. 2 输入与非门 myNAND2 的功能验证仿真

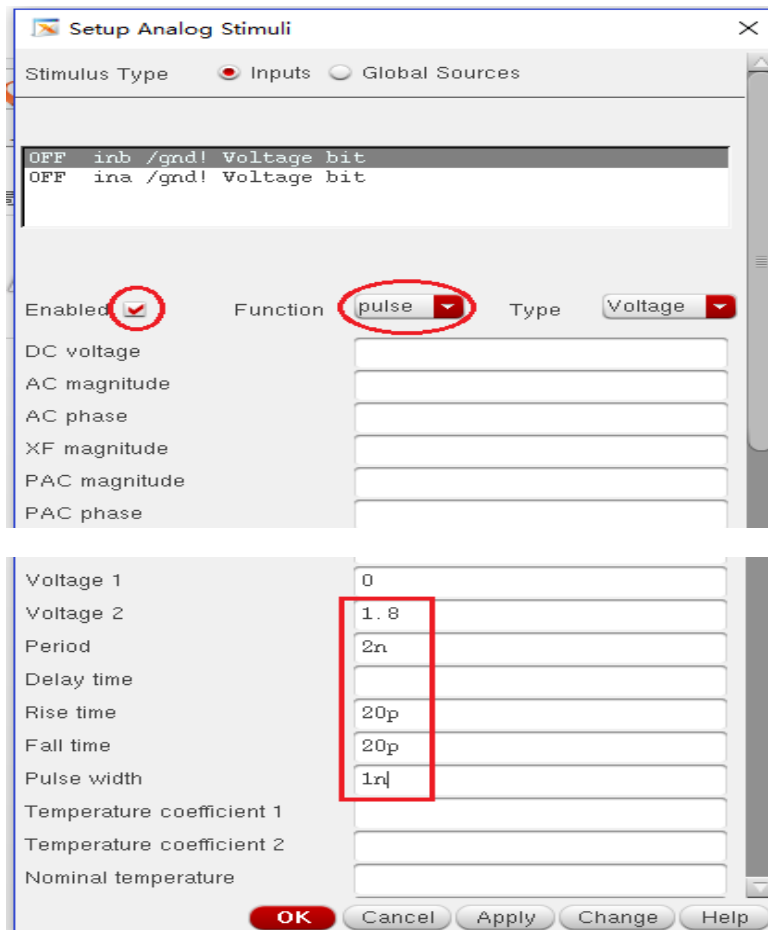
可以采用先前方法, 在 schematic 中对 myNAND2 电路外加 analogLib 库中理想单元信号源, 然后进行仿真; 也可以直接在 ADE 仿真时给输入 pin 加载激励, 其优点是无需另有单元测试电路。

仿真时直接给输入信号加载激励的方法如下：

在 Schematic L Editing 窗口：

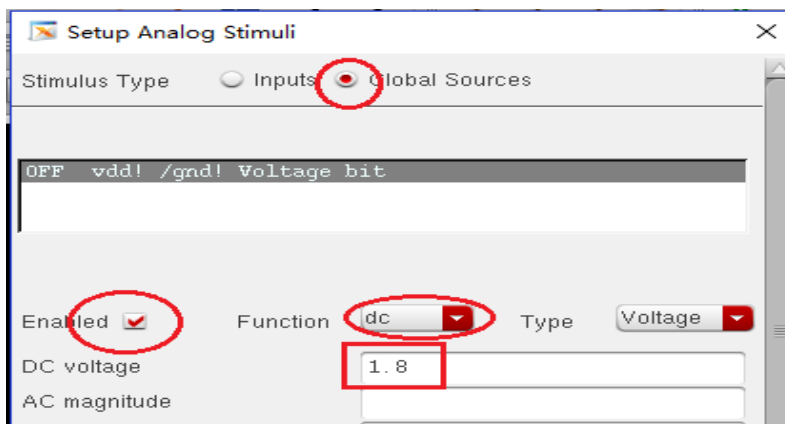
Launch→ADE L 打开 ADE L ( ) 仿真窗口，

Setup →Stimuli...设置 Inputs 端口的 inb 激励信号：



如法炮制设置输入 ina 的激励信号：Function 类型 pulse，Enabled 有效，Period=4n，Pulse width = 2n，电压、上升和下降时间均与 inb 设置相同。

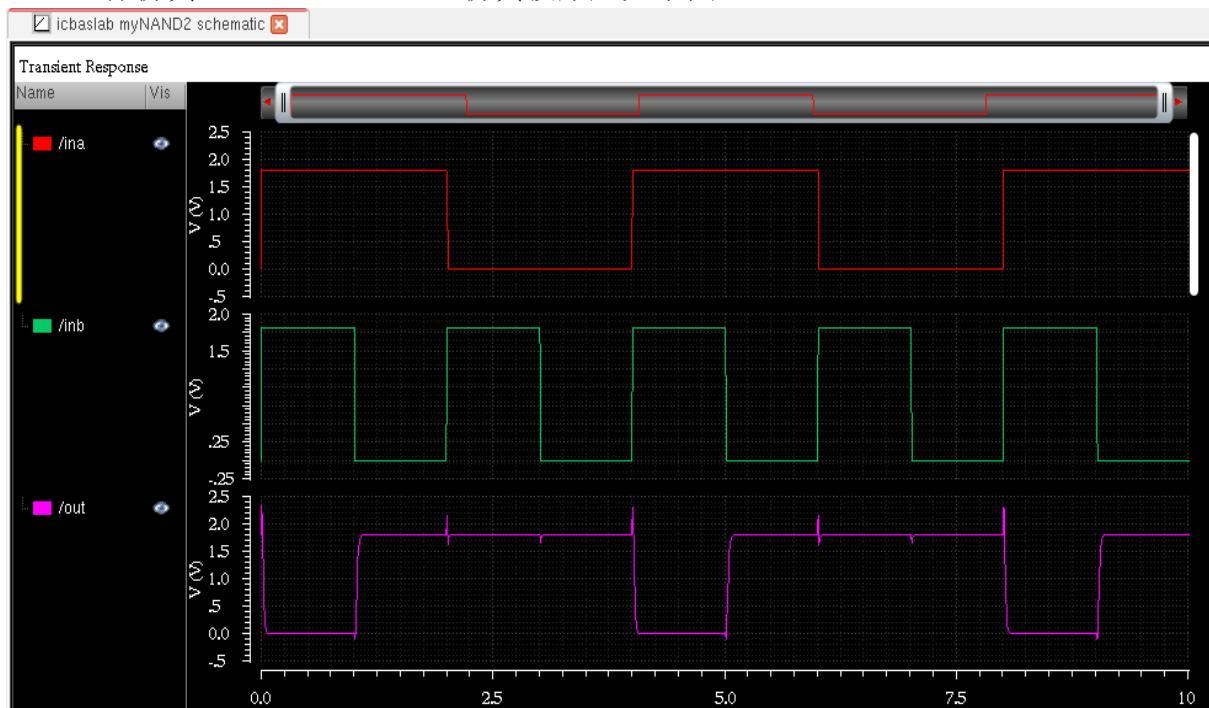
还需要设置 vdd 电压：Setup →Stimuli...，选 Stimulus Type 为 Global Sources，Enabled 有效，Function 选 dc，DC voltage = 1.8。



设置仿真：Choose Analyses 选瞬态 tran，Stop Time=10n，仿真精度 moderate。

设置输出(波形): **Setup Outputs, From Schematic** 后在电路图窗口中点击 ina、inb、out 相连的线网。

运行仿真: **Netlist and Run**, 仿真波形应如下图。



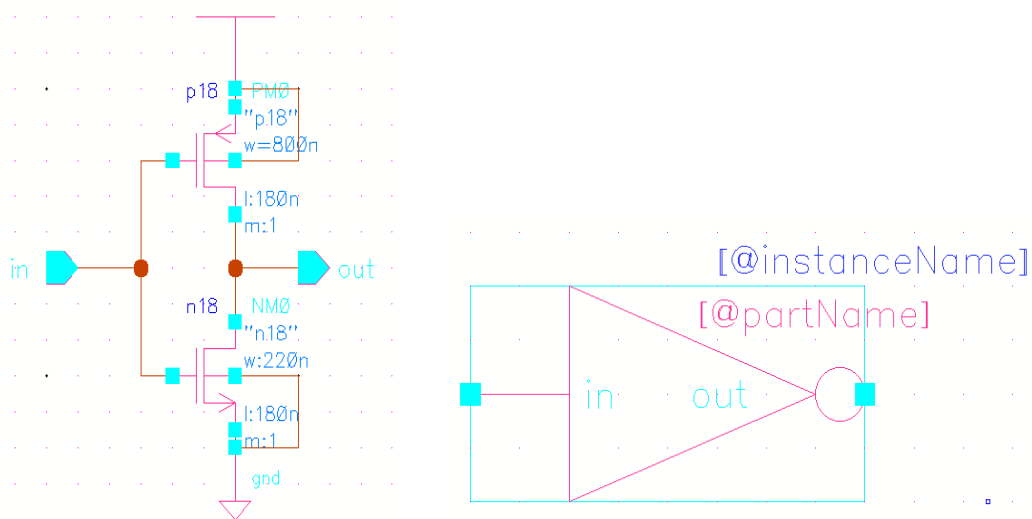
保存仿真设置状态(对于仿真时直接加载输入激励情况更为必要,以便 load state 重现仿真波形结果): ADE L ( ) 仿真窗口中 **Session→Save state..**

关闭与 myNAND2 相关的各个窗口。

#### 4. 设计一种 DFF (D flipflop) 触发器

##### A. 电路设计

(1) 在 icbaslab 库中新建一个较弱驱动能力反相器, 单元命名为 invf, 选 n18 宽长比为 220nm/180nm, p18 为 800nm/180nm, 加上 vdd 和 gnd, 以及 in 输入 pin 和 out 输出 pin; 进行 symbol 封装: **Create→Cellview→From Cellview**。

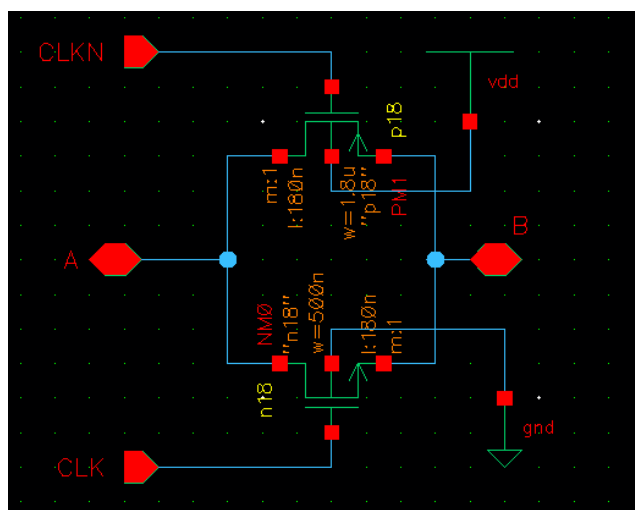


(2) 按照表 4.5 参数设计一种传输门 myTG:

表 4.5

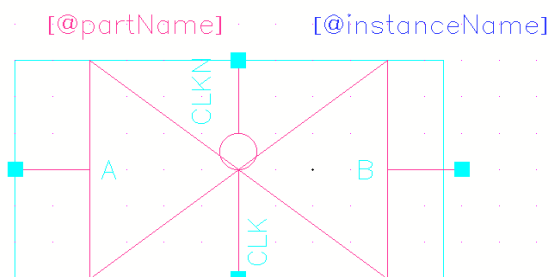
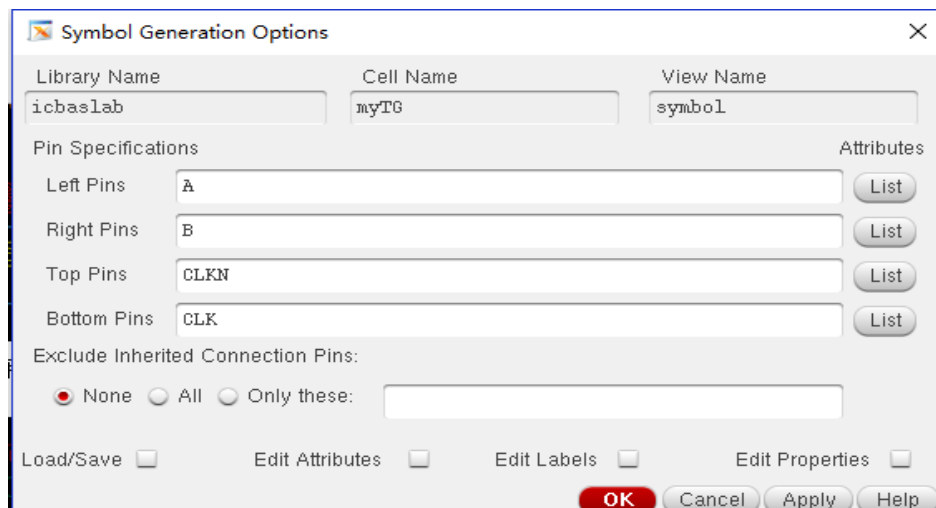
器件标号	单元名	Length	Total Width	library
NM0	n18	180n	500n	Smic18mmrf
PM0	p18	180n	1.8u	Smic18mmrf

CLK、CKLN 为输入 PIN，A、B 为 inputOutput 双向 PIN。



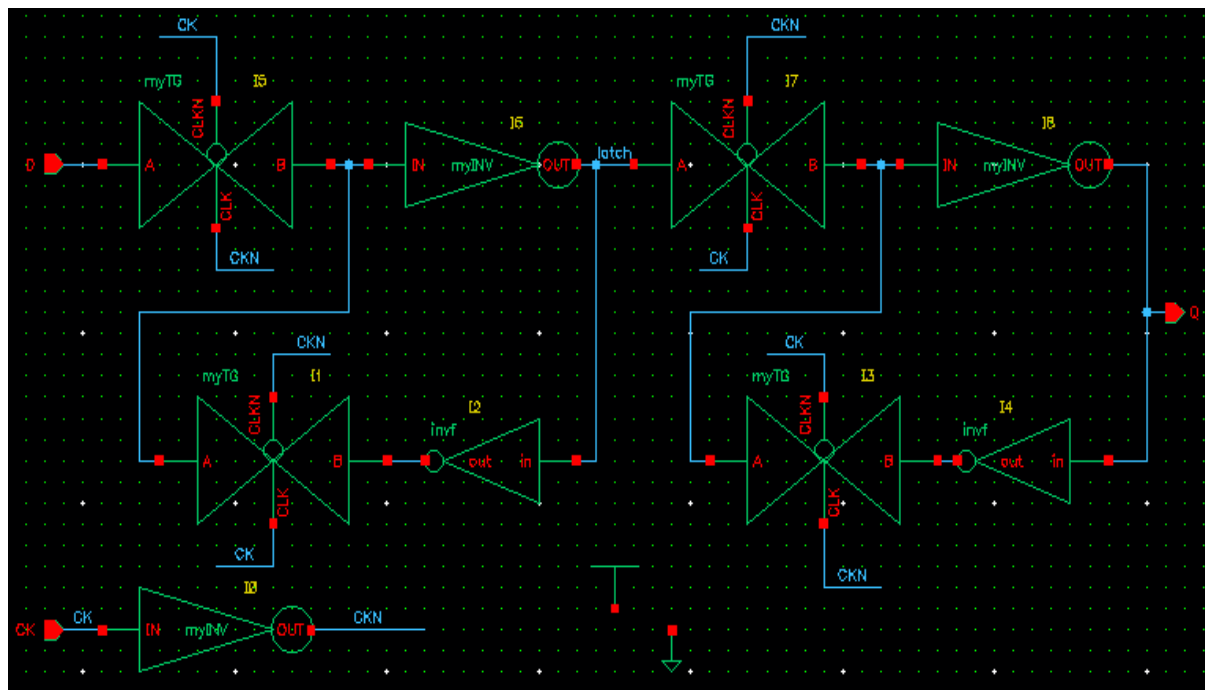
提示：R 键可以旋转器件的方向。

Symbol 产生过程和最终修改符号如下图：



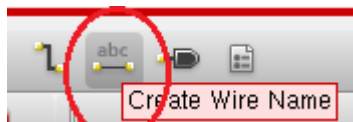
(3) 设计一种 D 触发器 myDFF:

应用你设计的 myINV、invf、myTG 组成 myDFF，如下图（2 个 LATCH 级联，第一级 LATCH 输出即反相器 I6 输出的线网命名为 latch）:

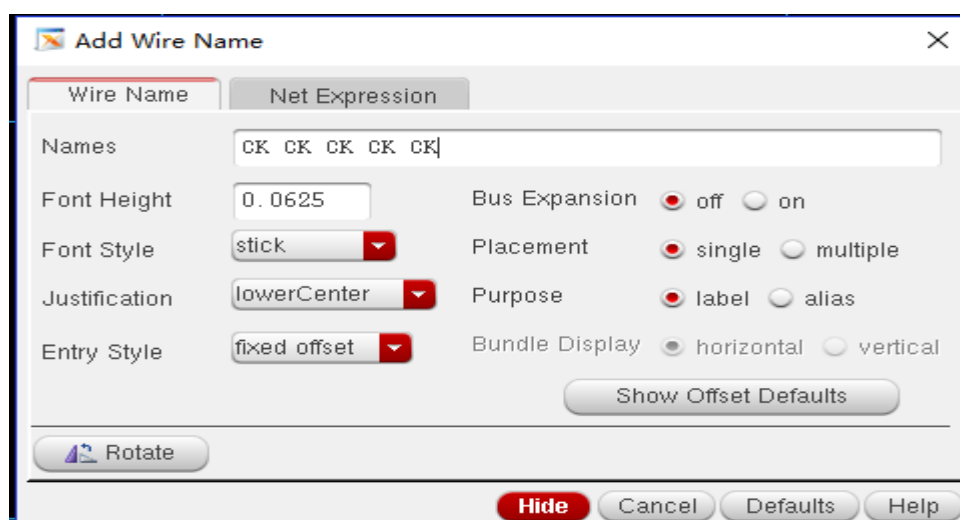


2 个输入 PIN 分别为 数据 D 和时钟 CK，输出 PIN 为 Q;

3 个 myINV 反相器输入输出方向是从左向右， 2 个 invf 反相器输入输出方向是从右向左;



使用工具图标 [Create wire Name](#) 命名线网，同名线网的信号相连。5 个线网命名为 CK，表示 CK PIN 信号连接到传输门控制端:



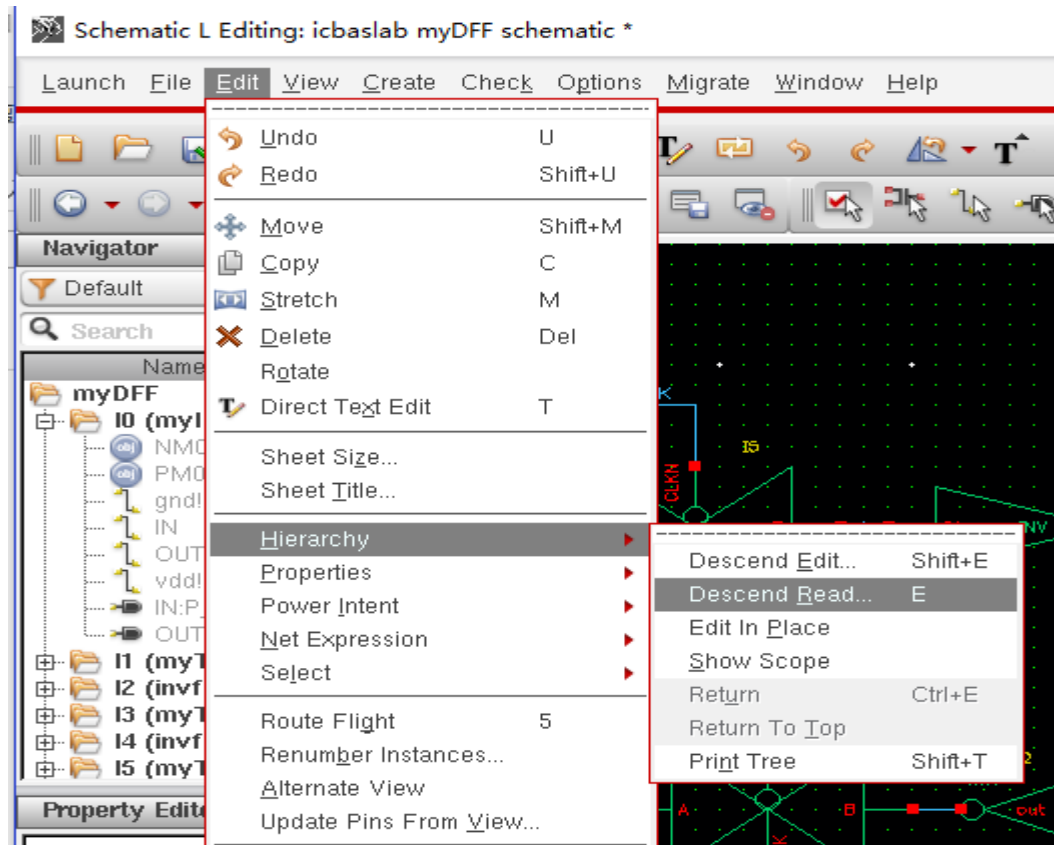
CK 信号经反相器 myINV 输出的线网命名为 CKN，连接到传输门，如法炮制按电路图将 5 个线网命名为 CKN。CK 和 CKN 共同控制 4 个传输门的导通与关断。

电路图中需要有电源 vdd 和地 gnd(在导出的仿真网表中是全局变量,用 vdd! 和 gnd!表示; 回顾前面 Setup Stimuli 激励设置时指明为 Global sources)。

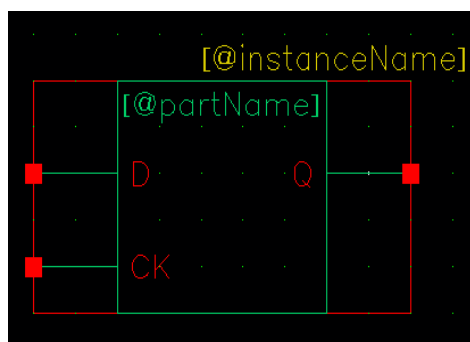
层次化电路图编辑的常用操作:

选任何一个单元, E 键进入内部即下一层, Ctrl+E 返回上一层。

更多电路图编辑操作参考下图, 逐渐熟悉 Edit 的快捷键 (老手必用):



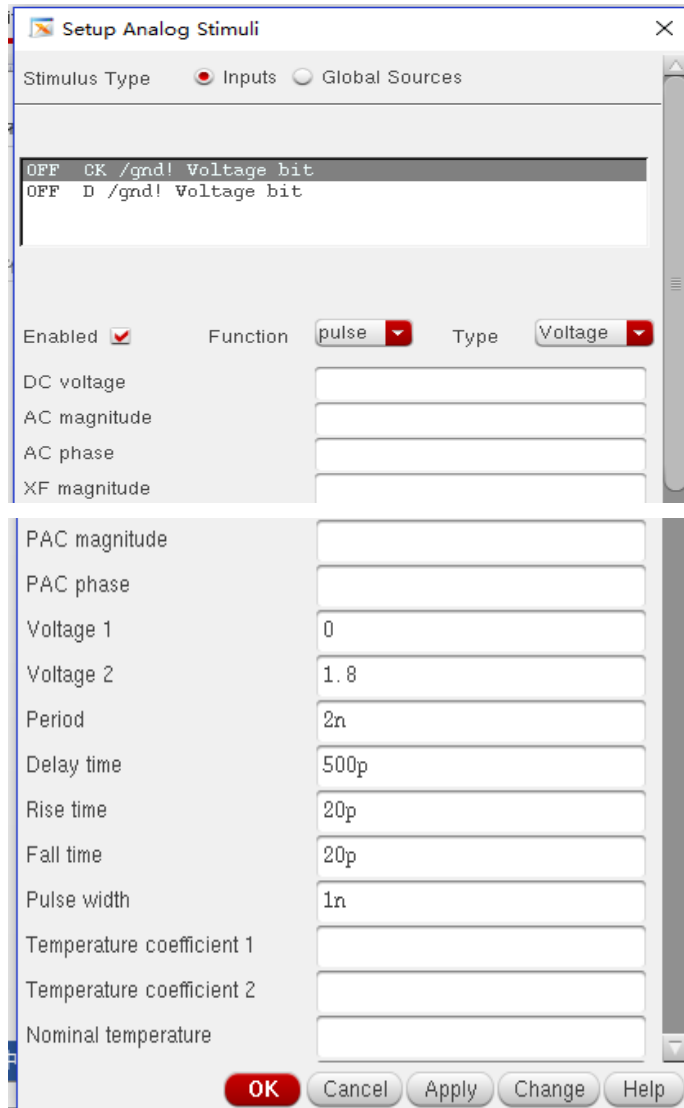
生成 myDFF 单元 symbol: (如果不被其它电路调用则无需生成 symbol)



## B. 仿真

输入加激励 (可在 Schematic L 电路图编辑窗口加信号源, 或在 ADE L 仿真窗口设置输入激励), 仿真 myDFF 时钟前沿锁存功能是否正确:

在 Schematic L Editing 电路图窗口, Launch → ADE L; 在 ADE L() 仿真窗口, Setup → Stimuli..., 对输入 CK 端口 Function 选择 pulse, Enabled 有效, 如下设置:



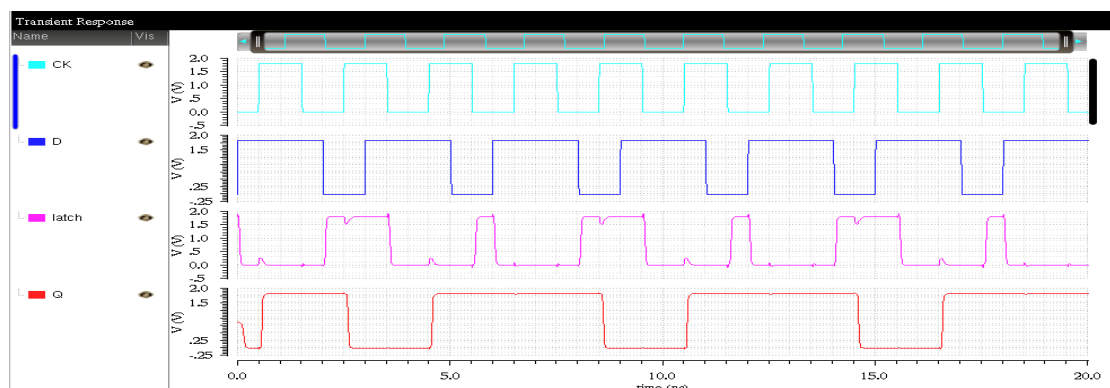
数据 D 端口（先选该行）激励设置：同样采用 pulse（也可用 vpwl 信号源），设置：Period 为 3n，Pulse width 为 2n，Delay time 为 0；其它与 CK 设置相同。

电源 vdd! 设置：选 Global Sources，Enabled 有效，Function 为 dc，DC voltage 为 1.8（V）。

设置瞬态 tran 仿真，Stop Time=20n；moderate 精度；

设置输出电压波形信号：至少选择电路中的 CK、D、latch、Q 线网；

运行仿真，查看触发器功能是否正确；





ADE L(N)窗口保存仿真设置 state: [Session](#)→[Save state](#)。  
关闭与 myDFF 相关的多个窗口。

## ● 实验报告要求

1. 给出表 4.1、4.3、4.4 空白格的设计参数；
2. 各电路的 schematic 与瞬态仿真结果截屏。