

电子系统设计实验

——第一次实验

信息科学技术学院

姓名：胡睿 PB17061124

实 验 报 告

评分:

信 院 系 17 级 姓名 胡 睿 日期 2020-10-22 NO. _____

【实验题目】 Altera FPGA 开发入门

【实验目的】

- 1.熟悉 Quart II 13.0 的安装和使用，掌握新建 FPGA 设计工程的方法。
- 2.掌握 VHDL 文件的编写和调试。
- 3.掌握 vhdl testbench 的编写并完成功能仿真(RTL 仿真)。
- 4.了解如何使用 modelsim 仿真工具并分析时序图。
- 5.掌握为设计工程添加约束、管脚分配的方法。

【设计流程】

1、DIP 控制 LED

- ① 在实体中定义输入端口 abc 和输出端口 y0_n, y1_n, y2_n, y3_n, y4_n, y5_n, y6_n, y7_n;
- ② 在结构体中定义输出端口最开始全部为 1,即初始时刻所有的 LED 灯均点亮;
- ③ 当输入 abc 为相应的二进制值时对应的输出端口置 0,即对应十进制标号的 LED 灯熄灭;
- ④ 将输入管脚定义为对应的 DIP 开关、将输出管脚定义为对应的 LED 灯即可实现功能;
- ⑤ 编写 testbench 时类似于原 vhd 文件,定义相应的输入输出端口后在输入端口每隔 20ns 输入一个不同的输入信号即可在时序图中直观地看出设计的模块是否正常工作。

2、DIP 控制数码管

- ① 在实体中定义输入端口 d0 和 d1 和输出端口 p, q;

实 验 报 告

评分：

信 院 系 17 级 姓名 胡 睿 日期 2020-10-22 NO. _____

② 当输入 d1d0 为相应的二进制值时对应的输出端口设置为数码管显示所需要的值，即可显示对应输入的数字；

④ 由代码可知本实验中使用动态 7 段显示数码管为共阳极连接：

显示 0 时 g 为熄灭其余点亮，故应输入 0000001

显示 1 时 bc 点亮其余熄灭，故应输入 1001111

显示 2 时 cf 为熄灭其余点亮，故应输入 0010010

显示 3 时 ef 为熄灭其余点亮，故应输入 0000110

⑤ 将输入管脚定义为对应的 DIP 开关、将输出管脚定义为对应的数码管管脚即可实现功能；

⑥ 编写 testbench 时类似于原 vhd 文件，定义相应的输入输出端口后在输入端口每隔 20ns 输入一个不同的输入信号即可在时序图中直观地看出设计的模块是否正常工作。

【实验内容】

1、DIP 控制 LED

① FPGA_EXP1.vhd:

```
1. ---FPGA EXP1 @ 20201022 by hurui
2. library ieee;
3. use ieee.std_logic_1164.all;
4.
5. entity FPGA_EXP1 is
6.     port(
7.         y0_n,y1_n,y2_n,y3_n,y4_n,y5_n,y6_n,y7_n :out std_logic;
8.         a,b,c :in std_logic
9.     );
10. end FPGA_EXP1;
11.
```

实 验 报 告

评分:

信 院 系 17 级 姓名 胡 睿 日期 2020-10-22 NO. _____

```
12. architecture arch_EXP1 of FPGA_EXP1 is
13.     signal abc :std_logic_vector(2 downto 0);
14. begin
15.     abc <= a & b & c;
16.     process(abc)
17.     begin
18.         y0_n <= '1';
19.         y1_n <= '1';
20.         y2_n <= '1';
21.         y3_n <= '1';
22.         y4_n <= '1';
23.         y5_n <= '1';
24.         y6_n <= '1';
25.         y7_n <= '1';
26.         case abc is
27.             when "000" =>
28.                 y0_n <= '0';
29.             when "001" =>
30.                 y1_n <= '0';
31.             when "010" =>
32.                 y2_n <= '0';
33.             when "011" =>
34.                 y3_n <= '0';
35.             when "100" =>
36.                 y4_n <= '0';
37.             when "101" =>
38.                 y5_n <= '0';
39.             when "110" =>
40.                 y6_n <= '0';
41.             when "111" =>
42.                 y7_n <= '0';
43.             when others =>
44.                 null;
45.         end case;
46.     end process;
47. end arch_EXP1;
```

② FPGA_EXP1_tb.vhd:

```
1. ---FPGA EXP1 @ 20201022 by hurui
2. library ieee;
```

实 验 报 告

评分:

信 院 系 17 级 姓名 胡 睿 日期 2020-10-22 NO. _____

```
3. use ieee.std_logic_1164.all;
4.
5. entity FPGA_EXP1_tb is
6. end FPGA_EXP1_tb;
7.
8. architecture arch_tb of FPGA_EXP1_tb is
9.     component FPGA_EXP1 is
10.     port(
11.         y0_n,y1_n,y2_n,y3_n,y4_n,y5_n,y6_n,y7_n :out std_logic;
12.         a,b,c :in std_logic
13.     );
14. end component;
15.
16. signal y0_n,y1_n,y2_n,y3_n,y4_n,y5_n,y6_n,y7_n : std_logic;
17. signal a,b,c : std_logic;
18.
19. begin
20.     u_tb :FPGA_EXP1 port map(
21.         y0_n,y1_n,y2_n,y3_n,y4_n,y5_n,y6_n,y7_n,
22.         a,b,c);
23.
24.     process
25.     begin
26.         a <= '0';
27.         b <= '0';
28.         c <= '0';
29.         wait for 20 ns;
30.         a <= '0';
31.         b <= '0';
32.         c <= '1';
33.         wait for 20 ns;
34.         a <= '0';
35.         b <= '1';
36.         c <= '0';
37.         wait for 20 ns;
38.         a <= '0';
39.         b <= '1';
40.         c <= '1';
41.         wait for 20 ns;
42.         a <= '1';
43.         b <= '0';
44.         c <= '0';
```

实 验 报 告

评分:

信 院 系 17 级 姓名 胡 睿 日期 2020-10-22 NO. _____

```
45.      wait for 20 ns;
46.      a <= '1';
47.      b <= '0';
48.      c <= '1';
49.      wait for 20 ns;
50.      a <= '1';
51.      b <= '1';
52.      c <= '0';
53.      wait for 20 ns;
54.      a <= '1';
55.      b <= '1';
56.      c <= '1';
57.      wait for 20 ns;
58.      a <= '0';
59.      b <= '0';
60.      c <= 'X';
61.      wait for 20 ns;
62.
63.      a <= '0';
64.      b <= 'U';
65.      c <= '0';
66.      wait for 20 ns;
67.      end process;
68. end arch_tb;
```

③ 仿真时序波形

实 验 报 告

评分:

信 院 系 17 级 姓名 胡 睿 日期 2020-10-22 NO. _____

```
2.  LIBRARY IEEE;
3.  USE ieee.std_logic_1164.all;
4.
5.  entity counter4 is
6.  port(
7.      d1,d0: IN Std_logic;
8.      p: OUT Std_logic;
9.      q: OUT Std_logic_vector (6 downto 0)
10. );
11. END counter4;
12.
13. ARCHITECTURE behave of counter4 IS
14.     signal tmp: std_logic_vector(1 downto 0) ;
15. BEGIN
16.     p<='1';
17.     tmp <= d1 & d0;
18.     PROCESS (tmp)
19.     BEGIN
20.         case tmp is
21.             when "00" => q <= "0000001";
22.             when "01" => q <= "1001111";
23.             when "10" => q <= "0010010";
24.             when "11" => q <= "0000110";
25.             when others => null;
26.         end case ;
27.     END PROCESS ;
28. END behave;
```

② counter4_tb.vhd:

```
1.  ---FPGA EXP2 @ 20201022 by hurui
2.  LIBRARY IEEE;
3.  USE ieee.std_logic_1164.all;
4.
5.  entity counter4_tb is
6.  end counter4_tb;
7.
8.  ARCHITECTURE arch_tb of counter4_tb IS
9.      component counter4 is
10.     port(
11.         d1,d0: IN Std_logic;
```


实 验 报 告

评分:

信 院 系 17 级 姓名 胡 睿 日期 2020-10-22 NO. _____

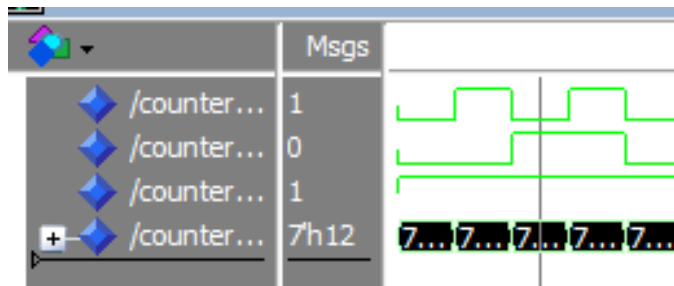
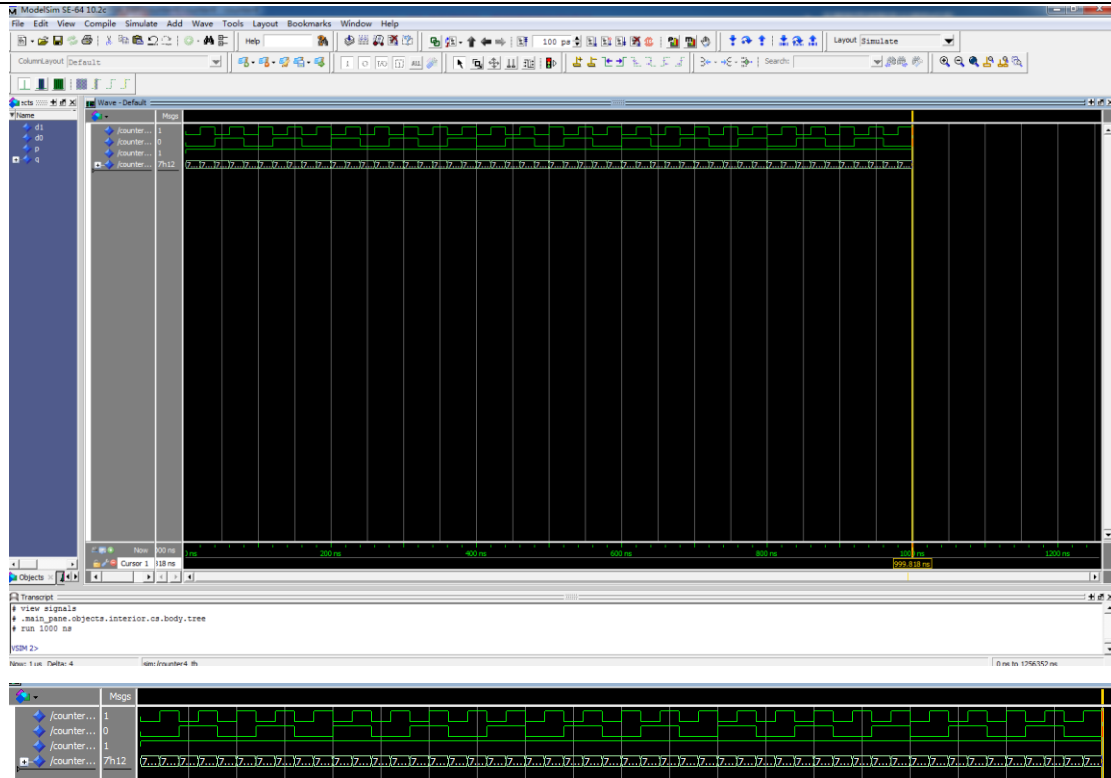
```
12.         p: OUT Std_logic;
13.         q: OUT Std_logic_vector (6 downto 0)
14.     );
15.     END component;
16.
17.     signal d1,d0: Std_logic;
18.     signal p: Std_logic;
19.     signal q: Std_logic_vector (6 downto 0);
20.
21. BEGIN
22.         u_tb :counter4 port map(
23.             d1,d0,p,q);
24.         PROCESS
25.         BEGIN
26.             d0 <= '0';
27.             d1 <= '0';
28.             wait for 20 ns;
29.             d0 <= '0';
30.             d1 <= '1';
31.             wait for 20 ns;
32.             d0 <= '1';
33.             d1 <= '0';
34.             wait for 20 ns;
35.             d0 <= '1';
36.             d1 <= '1';
37.             wait for 20 ns;
38.         END PROCESS ;
39. END arch_tb;
```

③ 仿真时序波形

实 验 报 告

评分:

信 院 系 17 级 姓名 胡 睿 日期 2020-10-22 NO. _____



④仿真时序波形分析

可以看出在 d1d0 取值为 00、01、10、11 时输出为一个 7 位二进制数来控制数码管的显示。

【实验总结】

- 1、在输入 vhdl 代码时一定要注意中英文字符的使用，如果不小心输入了中文字符错误很难发现；
- 2、在调整代码过后一定要 Start Compilation 实现 Analysis & Synthesis、Fitter 及 Assembler 等完整的全编译过程并成功后再进行烧写，否则烧写的依然是原来的

实 验 报 告

评分：

信 院 系 17 级 姓名 胡 睿 日期 2020-10-22 NO.

代码。

3、在编写 tb 文件时一定要注意区分实体和测试实体，否则很容易出现变量重复定义的报错，此时可以检查是否在使用实体名称时将两者混淆。

【实验总结】

- 1、通过课程讲解，了解了在 Quart II 中编写和调试 vhdl 代码的方法。
- 2、掌握了建立工程并编写 testbench 进行调试的方法。
- 3、了解如何使用 modelsim 仿真工具并分析时序图。
- 4、掌握为设计工程添加约束、管脚分配的方法。