

序列检测器的设计

一、实验目的

- 1、熟悉并掌握信号发生器的原理与设计；
- 2、熟悉并掌握状态机的原理与设计；
- 3、熟悉并掌握序列检测器的原理与设计；
- 4、熟悉并掌握 VHDL 中元件及其例化；
- 5、进一步掌握 Altera Fpga 设计的流程和步骤。

二、实验内容和步骤

序列检测器用途很广，在数据通讯、雷达和遥测等领域中常用于检测同步识别标志。它主要是用一种跳转图来检测一组或多组序列信号。如检测收到一组串行码“111010011”后，输出标志为“1”，否则输出为“0”。

要检测串行码“111010011”，首先要有被测码，也就是说要有序列产生器。然后就是序列检测器，检测序列产生器的输出，有检测到被测序列输出状态“1”，无被测序列则输出状态“0”或无输出。本实验就是要实现含有序列产生器的序列检测器，其结构如图 1 所示。

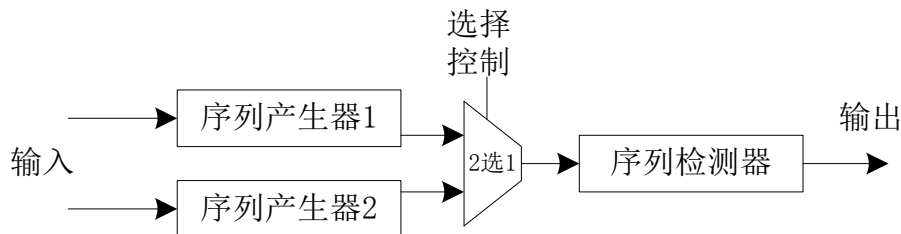


图 1 实验结构图

在图 1 中给出的实验结构图中，包含两个序列产生器、一个选择器和一个序列检测器。其中两个序列产生器中一个产生含有“111010011”序列，一个不包含。用 VHDL 代码完成所有的实验模块，并采用 VHDL 中元件及其例化的方式来完成，且符合 ALTERA FPGA 设计的基本流程，给出功能、时序仿真及硬件验证结果并分析。

下面给出序列检测器设计的基本内容和步骤：

1、用 VHDL 实现两个序列产生器模块：

两个序列产生器，一个包含“111010011”序列，一个不包含。其实序列的产生可以看做是一个有限状态机(参考教材 175~179 页)，它有 N 个状态，不需要输入，但每个状态都有一个输出，可以相同也可以不同；或者把序列的产生看做是这样的一个状态机，它有 N 个状态，每个状态都有一个输入和输出，且输出与输入相同。如包含“110001”一个序列产生器的状态转换如图 2 所示。

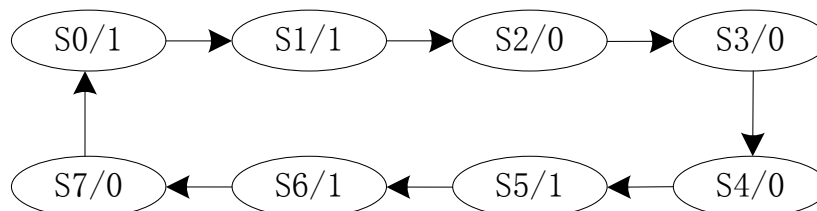


图 2 包含“110001”序列的序列产生器状态转换图

在图 2 所示的状态转换图中，是一个没有输入信号的封闭状态转换图，当其处于其中一个状态时，下一时刻会强制转换到下一个状态。图中的“Sx/x”表示当前状态为“Sx”，当前输出为“x”。那么

图 2 所产生的序列就是形如“1100011011000110110001...”的序列，其中包含了“110001”序列。

改写图 2 中所示的序列产生转换图，完成包含和不包含“111010011”序列的状态转换图，用 VHDL 实现序列产生器并仿真。

2、用 VHDL 实现序列检测器

序列检测器是用来检测“111010011”序列的，因此说白了序列检测器也可看做一个状态机，它的输入是一个序列，输出是检测到特定序列与否。检测“111010011”序列的状态转换如图 3 所示。

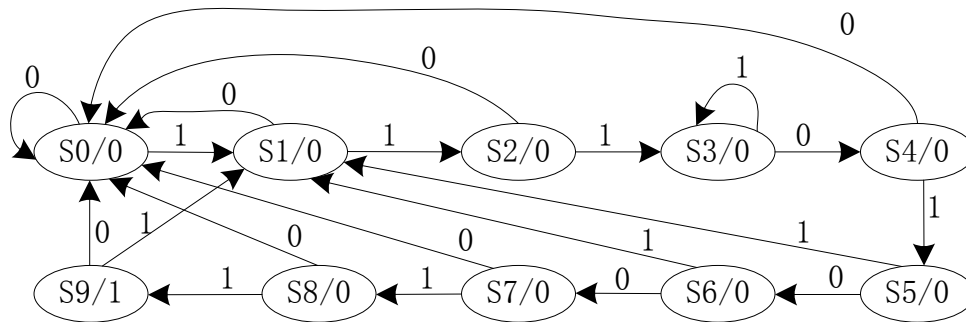


图 3 “111010011”序列的状态转换图

根据图 3 所示的状态转换图，用 VHDL 实现“111010011”序列的序列检测器，并仿真。

3、编写仿真激励 VHDL Test Bench 文件并完成功能仿真

根据之前实验中的 VHDL test bench 代码，完成仿真用 HDL test bench 代码的编写。需要注意的是，在编写包含时钟端口的 test bench 文件时，时钟信号要单独产生，其它的输入信号另外产生。比如：

```
init_stimulus:process --init_stimulus 为过程命名
```

```
begin
```

```
    其它信号的产生；--（方法及方式与之前的实验相同）
```

```
end process init_stimulus;
```

```
clk_stimulus:process—用来产生时钟信号
```

```
begin
```

```
    clk <= '0';
```

```
    wait for 10 ns;
```

```
    clk <= '1';
```

```
    wait for 10 ns;
```

```
end process clk_stimulus; --产生了周期为 20 ns 的时钟信号，先 10ns 低电平，后 10ns 高电平，然后不断地反复。
```

在仿真结束后，通过“Tools”菜单”Netlist Viewers”子菜单下的“RTL Viewer”命令查看设计电路的 RTL 级的电路结构。

4、为设计工程添加约束：管脚分配

通过查阅“实验指导书 altera_cyclone5.pdf”文档中的“附件一 FPGA 管脚约束”，分别为设计中的输入和输出选定管脚并添加到 QUARTUS II 工程。

5、完成硬件验证。

至此，我们完成了 Altera FPGA 设计的基本流程和步骤。如果你结束了今天的实验，请备份实验数据提交实验记录，关闭所有打开的软件并关闭计算机；关闭实验盒的电源，并拆除所有相关的连线，恢复到实验之前的整齐样子，别留下任何物品。O(∩_∩)O 谢谢！

