

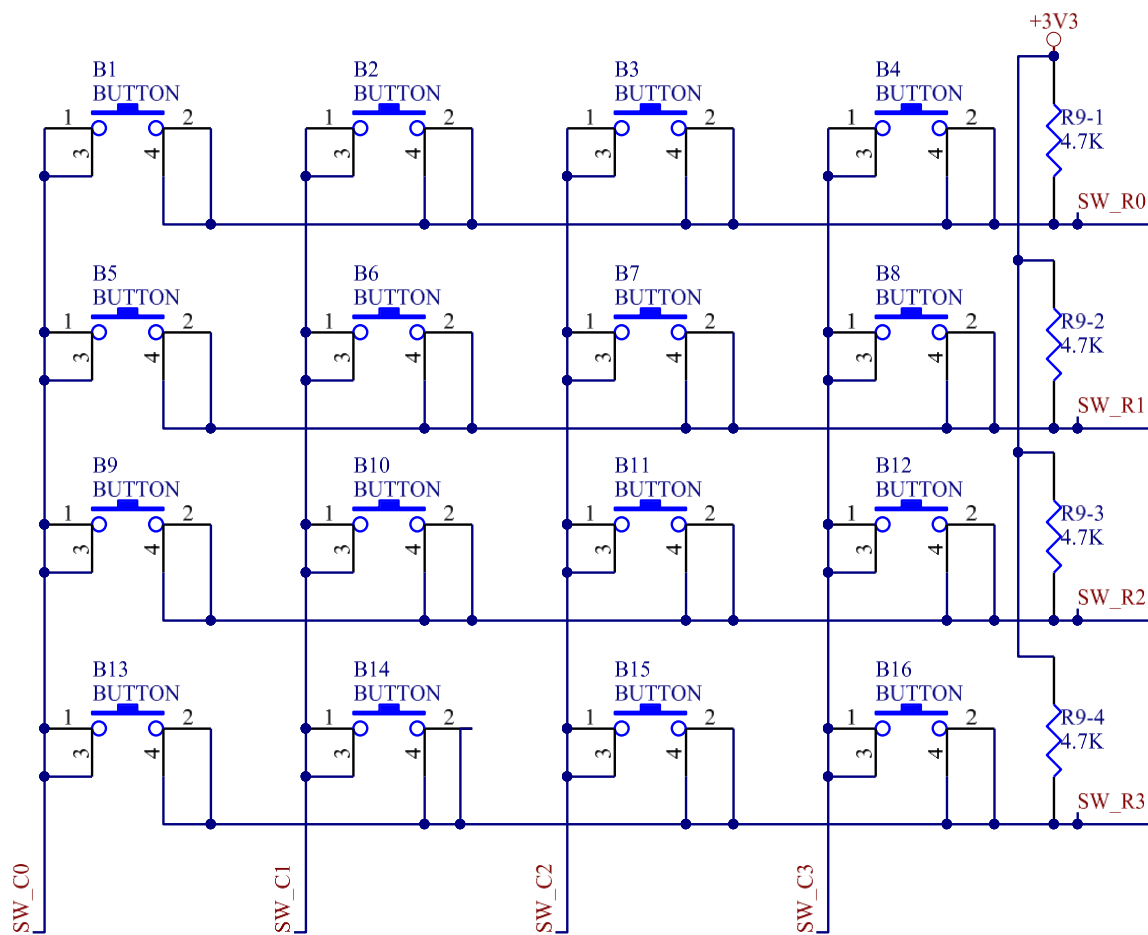
键盘阵列扫描输入

一、实验目的

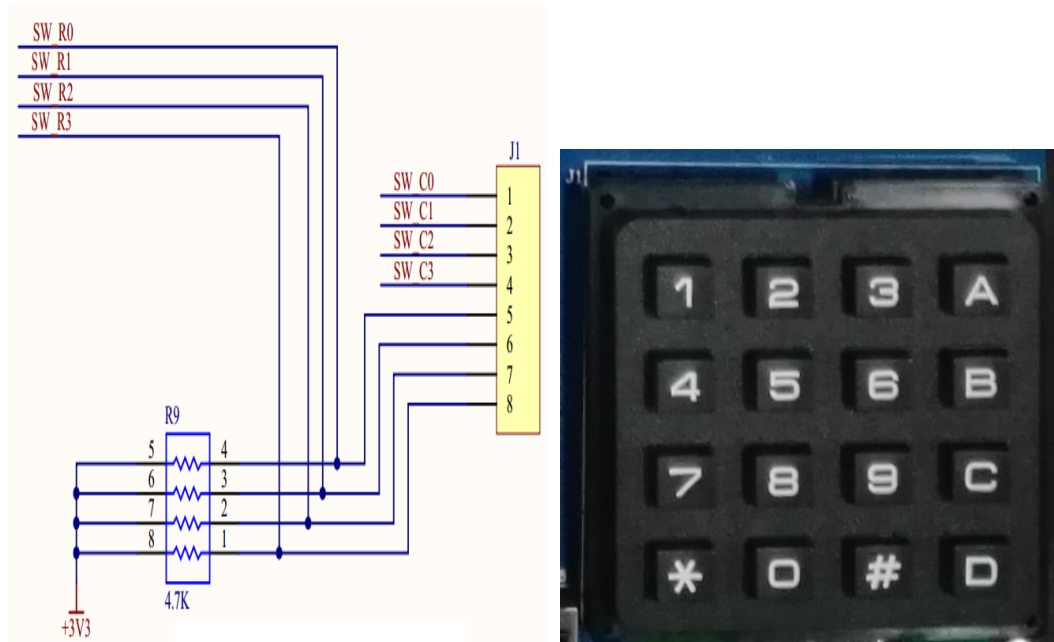
1. 进一步学习并掌握 Quartus II 设计的方法及步骤；
2. 熟悉 VHDL 语言电路设计方法；
3. 熟悉 VHDL test bench(测试平台/测试激励)的设计；
4. 学习并掌握利用 VHDL 描述并设计电路的方法及步骤；
5. 学习并掌握键盘阵列的扫描输入的方法及实现过程。

二、实验原理

键盘阵列是一个由 4×4 的按键开关组成的阵列，可实现 16 种状态的输入。 4×4 按键阵列的硬件连接原理如下图所示。



4X4 键盘阵列



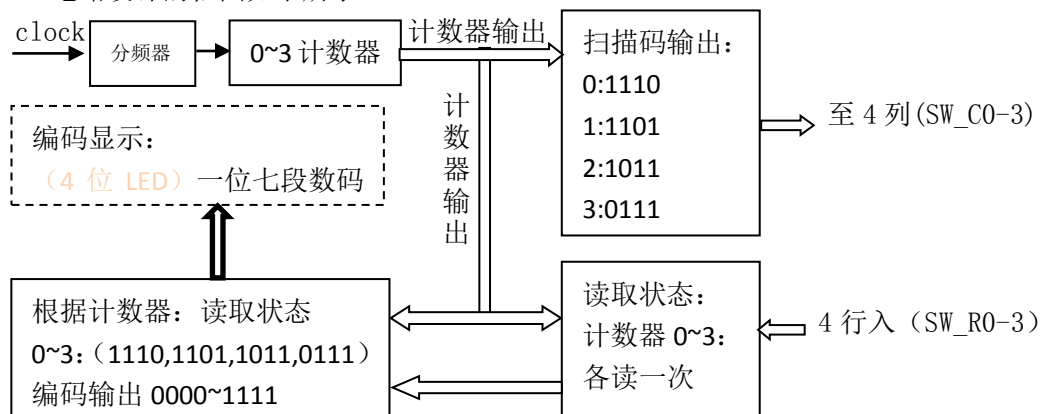
新实验箱的键盘阵列连接图

其中+3V3 为 3.3V 的正电源；BUTTON 为 4×4 共 16 个按键, R 为电阻。而 SW_R0/1/2/3 为按键阵列连接到 FPGA 通用 IO 引脚的行控制信号；SW_C0/1/2/3 为按键阵列连接到 FPGA 通用 IO 引脚的列控制信号。

另外，连接到 FPGA 的行列信号均为 3.3V 的 LVTTTL 电平标准：即电压小于 0.8V 为低电平，高于 2.0V 为高电平。通过上述 4×4 按键阵列的硬件连接原理图可看出，行信号通过 4.7K 的电阻上拉到 3.3V 的电源，也就是说如果 FPGA 通过对应的 IO 引脚来读取 4×4 按键阵列的行信号时，应为高电平“1”，没有按键按下时读取列信号为无输入状态，即列信号时悬空的。那么如何在 FPGA 中判断 4×4 按键阵列中的哪个键按下呢？当然我们要实现按键输入的功能，就不能全部读取行和列的信号，而应通过不断地给列输出一个扫描序列，再通过读取行信号来判断哪个按键按下。即：

通过对 4×4 键盘阵列的 4 个列控制信号循环输出” 1110、1101、1011、0111”，来驱动键盘阵列，每输出一个列序列紧接着读取相应的 4 个行信号。通过读取的数据或状态来判断 16 个按键中哪个键被按下，并对其状态做编码输出。此电路不停的工作，以便实时准确地获取键盘的输入状态，以供其它电路使用，从而实现了键盘阵列的扫描输入。如：当列驱动信号输出“1110”(信号排列顺序：C1、C2、C3、C4)时，下一时钟周期读取行信号为“0111”(信号排列顺序：R1、R2、R3、R4)，则可判断按键 B13 (*) 按下。

VHDL 电路设计的框图如下所示。



三、键盘扫描输入仿真激励（VHDL Test Bench）的编写

参考之前实验中 HDL test bench 代码的编写本实验 HDL test bench。需要注意的是，在编写包含时钟端口的 test bench 文件时，时钟信号要单独产生，其它的输入信号另外产生。比如：

```
init_stimulus:process --init_stimulus 为过程命名
begin
    其它信号的产生； --（方法及方式与之前的实验相同）
end process init_stimulus;
```

```
clk_stimulus:process
begin
    clk <= '0';
    wait for 10 ns;
    clk <= '1';
    wait for 10 ns;
end process clk_stimulus; --产生了周期为 20 ns 的时钟信号，先 10ns 低电平，后 10ns 高电平，然后不断地反复。
```

```
others_stimulus:process(【50MHz 时钟】)
begin
    0~F 计数； --这里是一个 0~F 计数器
    列或行数据产生； --然后根据计数器的计数值产生列或行输入信号。
end process others_stimulus;
```

在编写时序设计 test bench 时，注意不要在时钟脉冲有效沿（本实验为上升沿）改变地址、数据或控制信号的高低电平。同时还要注意满足建立时间和保持时间。

在仿真结束后，通过“Tools”菜单“Netlist Viewers”子菜单下的“RTL Viewer”命令查看设计电路的 RTL 级的电路结构。【截图：RTL 和 GATE 仿真波形，以及 RTL 级的电路结构图】

四、约束——管脚的分配

查阅“实验指导书 altera_cyclone5.pdf”文档中的“附件一 FPGA 管脚约束”，为设计中的输入/输出端口分配合适的管脚。