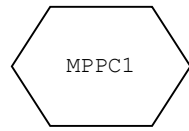


DIAGRAMA DE BLOQUES GENERAL DEL SISTEMA

DETECTORES (ESTIMULACIÓN)



ASIC

CANAL 1

Discriminador

TIA

Integrador

CANAL 2

Discriminador

TIA

Integrador

CANAL 3

Discriminador

TIA

Integrador

CHANNEL 4

Discriminador

TIA

Integrador

ACONDICIONAMIENTO Y LECTURA

ACONDICIONAMIENTO

FPGA

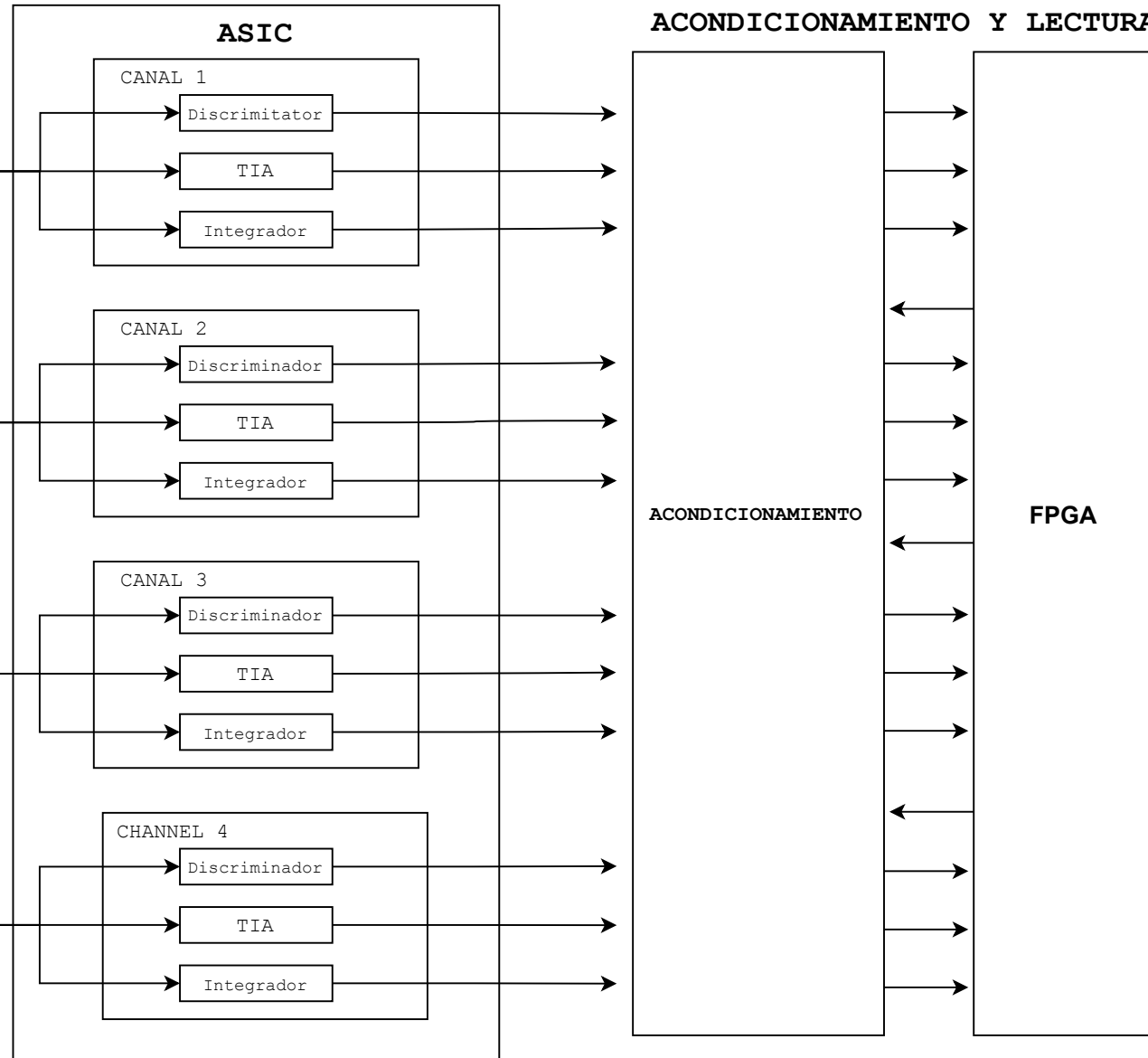


DIAGRAMA DE BLOQUES ETAPA DE ACONDICIONAMIENTO PARA LAS SALIDAS DE 1 DE LOS 4 CANALES DEL ASIC

