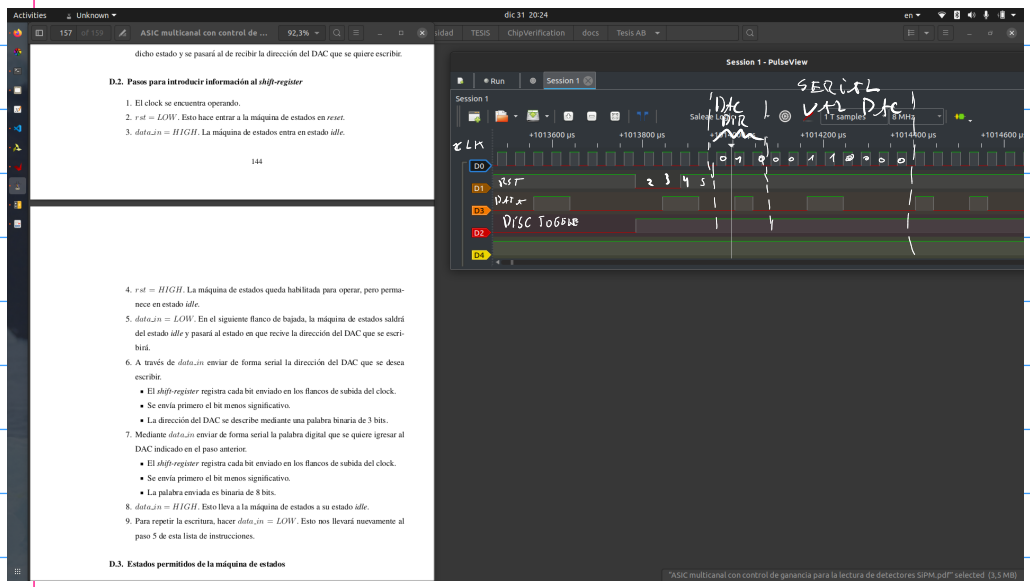
Activities
Unknown
dic 31 20:24
en
ASIC multicanal con control de ...
92,3%
TESIS
ChipVerification
docs
Tesis AB
dicho estado y se pasará al de recibir la dirección del DAC que se quiere escribir.
D.2. Pasos para introducir información al shift-register
1. El clock se encuentra operando.
2. $rst = LOW$. Esto hace entrar a la máquina de estados en reset.
3. $data\_in = HIGH$. La máquina de estados entra en estado idle.
144
4. $rst = HIGH$. La máquina de estados queda habilitada para operar, pero permanece en estado idle.
5. $data\_in = LOW$. En el siguiente flanco de bajada, la máquina de estados saldrá del estado idle y pasará al estado en que recive la dirección del DAC que se escribirá.
6. A través de $data\_in$ enviar de forma serial la dirección del DAC que se desea escribir.
• El shift-register registra cada bit enviado en los flancos de subida del clock.
• Se envía primero el bit menos significativo.
• La dirección del DAC se describe mediante una palabra binaria de 3 bits.
7. Mediante $data\_in$ enviar de forma serial la palabra digital que se quiere igresar al DAC indicado en el paso anterior.
• El shift-register registra cada bit enviado en los flancos de subida del clock.
• Se envía primero el bit menos significativo.
• La palabra enviada es binaria de 8 bits.
8. $data\_in = HIGH$. Esto lleva a la máquina de estados a su estado idle.
9. Para repetir la escritura, hacer $data\_in = LOW$. Esto nos llevará nuevamente al paso 5 de esta lista de instrucciones.
D.3. Estados permitidos de la máquina de estados
Session 1 - PulseView
Run
Session 1
Session 1
11 samples
8 MHz
+1013600 µs
+1013800 µs
+1014200 µs
+1014400 µs
+1014600 µ
D0
D1
D3
D2
D4
"ASIC multicanal con control de ganancia para la lectura de detectores SiPM.pdf" selected (3,5 MB)