



PONTIFICIA UNIVERSIDAD CATÓLICA DE CHILE
ESCUELA DE INGENIERÍA

ASIC MULTICANAL CON CONTROL DE GANANCIA PARA LA LECTURA DE DETECTORES SIPM

RENZO BARRAZA ALTAMIRANO

Tesis para optar al grado de
Magíster en Ciencias de la Ingeniería

Profesor Supervisor:
ÁNGEL ABUSLEME HOFFMAN

Santiago de Chile, Enero 2021

© MMXXI, RENZO BARRAZA ALTAMIRANO



PONTIFICIA UNIVERSIDAD CATÓLICA DE CHILE
ESCUELA DE INGENIERÍA

ASIC MULTICANAL CON CONTROL DE GANANCIA PARA LA LECTURA DE DETECTORES SIPM

RENZO BARRAZA ALTAMIRANO

Miembros del Comité:

ÁNGEL ABUSLEME HOFFMAN
JUAN CARLOS FERRER ORTIZ
MARCELO GUARINI HERMANN
VLADIMIR MARIANOV KLUGE

Tesis para optar al grado de
Magíster en Ciencias de la Ingeniería

Santiago de Chile, Enero 2021

© MMXXI, RENZO BARRAZA ALTAMIRANO

AGRADECIMIENTOS

En primer lugar, me gustaría agradecer al profesor Ángel Abusleme, por haberme apoyado en la realización de este trabajo y por tomar el quijotesco derrotero de traer la micro-electrónica analógica a Chile.

También me gustaría agradecer a todo el equipo de ICUC, quienes siempre estuvieron dispuestos a compartir una charla de electrónica o de no electrónica. En especial a Juan Andrés Bozzo, por su ayuda para comprender los programas de Mentor Graphics, a Matías Henríquez, por haberme facilitado los pads para la tecnología y siempre estar dispuesto a contrastar ideas, por último a Agustín Campeny y Jorge Gac, por su inestimable ayuda en el diseño del circuito digital para controlar los conversores análogo-digitales.

Finalmente, me gustaría agradecer a toda mi familia, amigos y a Ignacia, por haber sido un soporte invaluable a lo largo de este proceso.

ÍNDICE GENERAL

AGRADECIMIENTOS	III
Índice de figuras	VII
Índice de tablas	X
ABSTRACT	XI
RESUMEN	XII
Capítulo 1. INTRODUCCIÓN	1
1.1. Hipótesis	1
1.2. Objetivos	2
1.3. Metodología	2
1.4. Especificaciones del circuito a diseñar	3
1.5. Estado del arte de circuitos de <i>readout</i> de SiPM	4
1.5.1. Lectura mediante deconvolución	4
1.5.2. Lectura mediante resistencia de carga	6
1.5.3. Lectura mediante Amplificador de Carga	10
1.5.4. Lectura mediante señales de corriente	13
1.6. Estado del arte de circuitos para control de ganancia de SiPM	16
1.7. Organización del documento	18
Capítulo 2. FOTOMULTIPLICADORES DE SILICIO (SiPM/MPPC)	20
2.1. Estructura de un SiPM	20
2.2. Algunas características de los fotomultiplicadores de silicio	21
2.2.1. Ventajas de los SiPM/MPPC y sus usos	22
2.2.2. Desventajas de los SiPM/MPPC	22
2.3. Modelo circuital de un SiPM/MPPC	24
2.4. Cálculo de señal entregada por el SiPM	26

Capítulo 3. ESTRUCTURA DEL CIRCUITO	29
3.1. Circuito de lectura escogido	29
3.2. Procesamiento posterior al TIA	30
3.3. Ajuste de ganancia de SiPM	30
3.4. Diagrama de bloques de uno de los canales del chip	31
Capítulo 4. DISEÑO CIRCUITAL DEL FRONT-END	33
4.1. Topología de amplificador escogida	33
4.1.1. Análisis del RC-G	35
4.1.2. Análisis del RC-G con <i>feedforward</i> o prealimentación	51
4.1.3. Topología usada para el diseño	64
4.2. Generación del <i>trigger</i>	71
4.2.1. Número de etapas del discriminador	73
4.2.2. Cálculo del <i>jitter</i> del discriminador	76
4.2.3. Características particulares del discriminador	77
4.3. Medición de la cantidad de pixeles disparados en el detector	80
4.3.1. <i>Time Over Threshold</i>	80
4.3.2. Uso de <i>Time Over Threshold</i> en la derivada del pulso de señal	85
4.3.3. Integrador	88
Capítulo 5. CONTROL DE GANANCIA DE DETECTORES	92
5.1. Circuito implementado para control de ganancia	92
5.1.1. Cálculo de la resolución del DAC	92
5.1.2. DAC diseñado	94
Capítulo 6. RESULTADOS	103
6.1. Respuesta ante el disparo de 1 pixel del fotomultiplicador de silicio	103
6.2. Respuesta ante el disparo de múltiples pixeles	107
6.3. Discusión	109
Capítulo 7. CONCLUSIÓN	114
7.1. Trabajo futuro	116

REFERENCES	117
Apéndice	129
A. Primer apéndice	130
A.1. Cálculo de la Transimpedancia de la topología basada en realimentación	130
A.2. Cálculo del ruido electrónico de la topología basada en realimentación .	131
A.3. Cálculo de la Transimpedancia de la topología de lazo abierto	133
A.4. Cálculo del ruido electrónico de la topología de lazo abierto	134
A.5. Comparación de ruido de ambas opciones	135
B. Segundo Apéndice	136
C. Tercer apéndice	137
C.1. Descripción general del chip	137
D. Cuarto apéndice	144
D.1. Consideraciones previas importantes	144
D.2. Pasos para introducir información al <i>shift-register</i>	144
D.3. Estados permitidos de la máquina de estados	145
E. Quinto apéndice	146
F. Sexto apéndice	147

ÍNDICE DE FIGURAS

1.1.	Esquema de un canal del circuito APV25.	5
1.2.	Diagrama de un circuito de lectura de SiPM mediante el enfoque de voltaje. .	6
1.3.	Diagrama de un circuito de lectura de SiPM que usa un CSA.	10
1.4.	Amplificador operacional conectado en configuración inversora.	14
1.5.	Esquema de un canal del chip SPIROC2 (Calò, Ciciriello, Petrignani, y Marzocca, 2019).	17
2.1.	Representación de un pixel de SiPM.	20
2.2.	Modelo de gran señal de un pixel de SiPM.	24
2.3.	Modelo de pequeña señal de un pixel de SiPM.	25
2.4.	Modelo de pequeña señal de un SiPM.	26
2.5.	Modelo de pequeña señal de un SiPM.	26
2.6.	Forma de onda generada por un MPPC (“S13360 series. MPPCs for precision measurement”, 2016).	28
3.1.	Diagrama de bloques de uno de los 4 canales del chip.	32
4.1.	<i>Regulated Common-Gate</i>	34
4.2.	<i>Regulated Common-Gate</i> con prealimentación.	35
4.3.	<i>Regulated Common-Gate</i> , circuito de pequeña señal.	36
4.4.	Circuito usado para el análisis de razón de retorno del <i>Regulated Common-Gate</i> . .	40
4.5.	Circuito para el cálculo de ruido de resistencia Rx.	42

4.6.	Circuito para el cálculo de ruido de transistor M1.	42
4.7.	Circuito para el cálculo de ruido de transistor M2.	43
4.8.	Esquemático del TIA prealimentado, pequeña señal.	52
4.9.	Amplificador ideal de un polo.	74
4.10.	Diagrama de bloques del amplificador del discriminador con compensación de <i>mismatch</i>	77
4.11.	Inversor con ajuste de umbral de disparo.	78
4.12.	Esquemático del discriminador completo.	79
4.13.	Esquemático del amplificador de realimentación del discriminador.	80
4.14.	Señales v_{out} de TIA para 1 pixel (línea verde) y para 3 pixeles (línea azul). . .	84
4.15.	Momento del cruce por umbral de la señal dada por la derivada de v_{out} del TIA. .	86
4.16.	Momento del cruce por umbral de la señal dada por la derivada de v_{out} del TIA. .	87
4.17.	Esquemático del integrador.	90
5.1.	Gráfico de ganancia versus V_{ov} del MPPC S13360 – 3050 (“S13360 series. MPPCs for precision measurement”, 2016).	93
5.2.	Esquema del DAC implementado.	95
5.3.	Ruido integrado total y aporte de ruido del espejo de corriente.	98
5.4.	Circuito en pequeña señal del espejo de corriente de una rama del DAC. . . .	99
5.5.	Detalle de la implementación de fuentes de corriente y espejo de corriente del DAC.	102
6.1.	Salida del Amplificador de transimpedancia.	104
6.2.	Salida diferencial del integrador.	105

6.3.	Salida digital producida por el discriminador.	105
6.4.	Gráfico de la corriente análoga consumida cuando se recibe la señal de 1 pixel.	106
6.5.	Gráfico de la corriente digital consumida cuando se recibe la señal de 1 pixel.	107
6.6.	Amplitud de la salida de voltaje del TIA	108
6.7.	Amplitud de la salida diferencial del integrador	109
6.8.	Consumo de corriente analógica para una entrada equivalente a 3000 pixeles.	111
A.1.	Amplificador Operacional conectado en configuración inversora.	130
A.2.	TIA de lazo abierto.	133
B.1.	Ejemplo de diagrama de Bode producido por el <i>Regulated Common-Gate</i>	136
C.1.	Consumo de corriente analógica ante una señal entrante.	140
C.2.	Consumo de corriente digital ante una señal entrante.	140
C.3.	Resistencias que permiten polarizar el circuito.	141
C.4.	Ubicación del capacitor de acomplamiento en uno de los 4 canales del chip.	142
C.5.	Esquema de realimentación del discriminador.	143
E.1.	<i>Pinout</i> del chip.	146
F.1.	Circuito de polarización de M3 del TIA.	147

ÍNDICE DE TABLAS

1.1. Resumen de trabajos donde existe un circuito dedicado a variar polarización de SiPM.	18
4.1. Requerimientos mínimos del circuito con comportamiento lineal.	65
4.2. Desempeño simulado del TIA.	70
4.3. Consumo de corriente por transistor.	70
4.4. Amplitudes mínimas de la señal de salida para distintos detectores.	71
4.5. <i>Jitter</i> para distintos modelos de SiPM/MPPC	82
6.1. Amplitud y ruido integrado total para salidas analógicas del chip	104
6.2. Duración de pulsos del discriminador según número de pixeles disparados en el detector	109
6.3. Capacidad para resolver pixeles del integrador.	113
6.4. Capacidad para resolver pixeles del TIA.	113

ABSTRACT

This thesis document shows the results of the design and tape-out of an ASIC (application specific integrated circuit) capable of reading signals generated by SiPM/MPPC detectors in a range from 1 pixel to 3000 pixels fired in the detector. In addition, the circuit is able to fine tune the gain of the SiPM/MPPC sensors, which can be used to correct discrepancies in the gains of multiple detectors connected to the chip.

From the post layout simulations of the chip, it is possible to conclude that the chip design fulfills the required specifications. In addition it is able to manage detectors with capacitances that varies in hundreds of pF.

It is hoped that in the future the circuit could be tested with actual detectors and then it could be used in particle physics experiments that require to read SiPM sensors.

Keywords: ASIC, SiPM, MPPC, readout circuit, transimpedance amplifier, discriminator.

RESUMEN

El presente documento de tesis expone los resultados del diseño y envío a fabricar de un ASIC (*application specific integrated circuit*) capaz de leer señales generadas por detectores SiPM/MPPC en un rango que va desde 1 pixel hasta 3000 pixeles activados. Además el circuito posee la capacidad de alterar de forma fina la ganancia del sensor que se encuentra leyendo, de modo que el usuario puede corregir discrepancias en las ganancias de varios detectores conectados al mismo tiempo.

A partir de las simulaciones post *layout* de chip, se concluye que el circuito cumple los requerimientos para los que fue diseñado. Además es capaz de manejar detectores de capacitancias que varíen en varios cientos de pF.

Se espera que en el futuro el circuito diseñado pueda ser probado con detectores reales y luego ser usado en experimentos de física de partículas que requieran la lectura de fotomultiplicadores de silicio.

Palabras Claves: ASIC, SiPM, MPPC, circuito de readout, amplificador de transimpedancia, discriminador.

CAPÍTULO 1. INTRODUCCIÓN

Los fotomultiplicadores de silicio (*Silicon Photomultiplier*, SiPM, *Multi-Pixel Photon Counters*, MPPC) son detectores consistentes en múltiples uniones de silicio p-n que, al ser polarizadas con voltajes cercanos a su voltaje de *breakdown*, puede detectar fotones individuales incidentes en su superficie. Para estos detectores existen modelos circuitales equivalentes (Marano, Bonanno, Garozzo, Grillo, y Romeo, 2016; Corsi, Foresta, Marzocca, Matarrese, y Del Guerra, 2009; Villa, Zou, Dalla Mora, Tosi, y Zappa, 2015).

La capacidad para detectar fotones individuales incidentes hace que estos sensores puedan ser usados en experimentos de física de partículas. Si el fotomultiplicador de silicio se combina con un plástico centellador que sea sensible a las partículas de interés, dicho material emitirá luz cuando sea excitado por la partícula, y a su vez, dicha luz será detectada por el fotomultiplicador de silicio, pudiéndose obtener información de la partícula inicial. Ejemplos de esta aplicación se pueden encontrar en (Andreas y cols., 2013; Gninenko, 2014; Axani, 2019).

Actualmente el experimento Na64 utiliza el ya mencionado principio para detectar partículas (Andreas y cols., 2013; Gninenko, 2014), sin embargo la electrónica usada para leer los fotomultiplicadores, que consiste en los chip APV25 (French y cols., 2001; Bingen y cols., 1993), no fue diseñada específicamente para esta aplicación. En este trabajo se propone un circuito alternativo para leer dichos detectores, que además de la capacidad de lectura ofrece la posibilidad de ajustar la ganancia de los sensores ya mencionados.

1.1. Hipótesis

La hipótesis de este trabajo es que es posible desarrollar un circuito de lectura para detectores SiPM que cuenten con control de ganancia separado para cada detector, y que

sea capaz de leer hasta 3000 fotones detectados por el sensor.

1.2. Objetivos

En concordancia con la hipótesis propuesta, el objetivo general de esta tesis consiste en desarrollar un circuito integrado para la lectura de los fotomultiplicadores de silicio. Dentro de los objetivos específicos se encuentran:

1. Diseñar y simular un chip analógico, que permita leer fotomultiplicadores de silicio.
2. Fabricar un circuito integrado con varios canales, que permitan lectura de detectores en paralelo.
3. Controlar automáticamente la ganancia de varios SiPM conectados al mismo chip, facilitando la obtención de información desde estos dispositivos y compensando las disparidades de ganancia entre sensores.
4. Poder leer desde 1 hasta 3000 pixeles activados en el MPPC.
5. Ser capaz de manejar detectores con capacitancias de varios cientos de pF.

Los requerimientos anteriores fueron establecidos en conversación con el profesor Sergey Kuleshov, quien está involucrado en el experimento Na64.

1.3. Metodología

Para lograr los objetivos anteriores, se usarán los bloques circuitales: amplificador de transimpedancia, discriminador, integrador y conversor digital-análogo (DAC) principalmente. Se obtendrán las ecuaciones de ruido, ganancia y ancho de banda para conocer el desempeño de los bloques. Se simularán los circuitos diseñados mediante el programa LTspice y luego se dibujará el *layout* del chip mediante las herramientas de Mentor

Graphics. Finalmente se enviará a fabricar el chip.

1.4. Especificaciones del circuito a diseñar

Uno de los requerimientos de diseño es el manejar SiPMs/MPPCs que poseen en torno a 3600 pixeles, y asumir que se dispararán, como máximo, 3000 pixeles al mismo tiempo. Por tanto, tal como se verá en la sección 2.4, esto implica que se deberá poder leer la mínima señal entregada por el fotomultiplicador y por el otro lado, una señal hasta 3000 veces mayor; la que será producida por el disparo simultáneo de los 3000 pixeles. Ello impone que el circuito debe cumplir 2 características:

1. Poseer suficiente capacidad para resolver las señales más pequeñas entregadas por el SiPM.
2. Ser capaz de soportar las variaciones de voltaje producidas por la activación de la mayoría de los pixeles de MPPC.

Por otro lado y tal como se verá en la sección 2.2.2, la ganancia del detector puede cambiar de forma indeseada debido a la temperatura ambiente (Piemonte y Gola, 2019a; “S13360 series. MPPCs for precision measurement”, 2016; “C-Series Low Noise Blue-Sensitive Silicon Photomultipliers”, 2014). Por ello se decide agregar una forma de control del voltaje de polarización del detector. De ese modo el usuario del circuito de *readout* puede ajustar de forma fina las ganancias del SiPM mediante el ajuste de su voltaje de polarización. Este control del voltaje de polarización es dentro de un rango limitado, pues la tecnología CMOS con la que se fabricará el chip del circuito de lectura no es capaz de manejar voltajes superiores a 1,8 V respecto a tierra. Esto impide que el chip pueda generar

las diferencias de voltaje necesarias como para polarizar directamente al detector¹.

1.5. Estado del arte de circuitos de *readout* de SiPM

Para la lectura de detectores del tipo SiPM/MPPC existen varias opciones que se pueden considerar, las cuales se describen a continuación.

1.5.1. Lectura mediante deconvolución

Una característica de los fotomultiplicadores de silicio es que la señal que entregan se puede modelar como un impulso de corriente. Se sabe que los impulsos tienen una componente de frecuencia infinita, mientras que los circuitos de lectura tienen una respuesta en frecuencia finita, por tanto inevitablemente la electrónica de *readout* modificará la señal entregada por el MPPC.

Dado que la función de transferencia del circuito de lectura es, en general conocida, se puede interpretar que el circuito de lectura aplica una convolución a la señal original mediante su propia función de transferencia. De ese modo se puede usar la operación de deconvolución a la señal entregada por el circuito de lectura, de modo de reconstruir la información entregada originalmente por el detector.

Desde el punto de vista del diseño de circuitos, la deconvolución de señales es una herramienta útil, pues permite diseñar circuitos de lectura “lentos”² y reconstruir la señal original a partir de la versión deformada que entrega la circuitería diseñada.

¹El SiPM requiere, en general, al menos 25 V para poder operar, aunque este valor varía dependiendo del modelo de MPPC.

²Lento en comparación a la señal que se quiere leer.

Un ejemplo de un circuito que usa este principio y que se podría usar para leer SiPMs es el llamado “APV25”. Este se compone de un amplificador de carga de bajo ruido, un *pulse shaper*, una serie de capacitores que almacenan carga y un proceso de deconvolución de la señal. Un esquema del circuito se puede ver en la figura 1.1, obtenida desde el artículo (French y cols., 2001). Un ejemplo del uso de este circuito para la lectura de SiPMs se puede ver en el trabajo (Banerjee y cols., 2018).

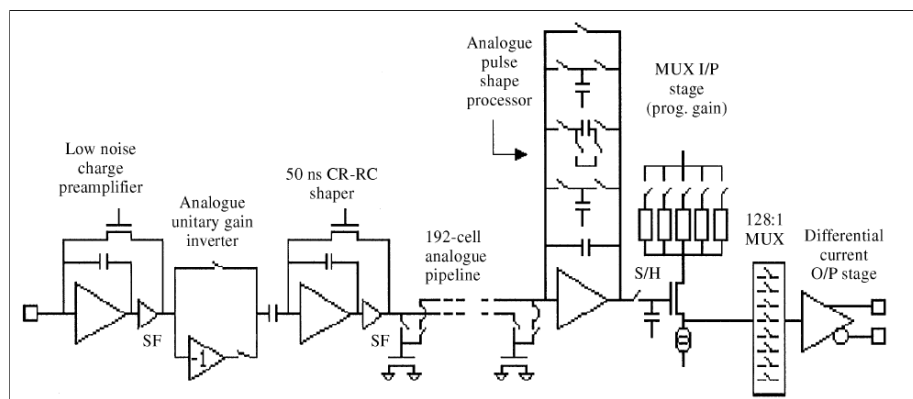


Figura 1.1. Esquema de un canal del circuito APV25.

Tal como se puede ver en (Bingefors y cols., 1993) y (French y cols., 2001), la principal ventaja de este enfoque es que permite el uso de un preamplificador de menor *bandwidth* para la lectura de los SiPM, lo cual alivia los requerimientos de diseño. Sin embargo su desventaja es que se requiere un sistema extra para llevar a cabo la deconvolución de las señales, lo cual agrega complejidad al proceso de reconstrucción de la señal. Por ejemplo se requiere de un sistema de memoria para almacenar las señales provenientes desde el preamplificador y un sistema para deconvolucionar la información alojada en dicha memoria. En el caso del APV25, se usa un arreglo de capacitores como memoria analógica y un circuito especial para deconvolucionar la carga alojada en dichos capacitores.

1.5.2. Lectura mediante resistencia de carga

La lectura mediante resistencia de carga transforma la señal de corriente (proveniente del detector) en una señal de voltaje, que luego será procesada por la electrónica diseñada. La transformación desde la corriente producida por el SiPM a una señal de voltaje, se hace usando un resistor conectado directamente al terminal del MPPC. Dado que la electrónica lee la señal de voltaje generada por la resistencia de carga, en adelante se nombrará a este tipo de lectura como “enfoco de voltaje”.

Un diagrama del circuito típico de este enfoque se puede ver en la figura 1.2. Allí se representa al SiPM como un diodo polarizado mediante el alto voltaje llamado “HV”, la resistencia inferior representa a la resistencia de lectura, y el bloque de la derecha es algún tipo de amplificador de voltaje.

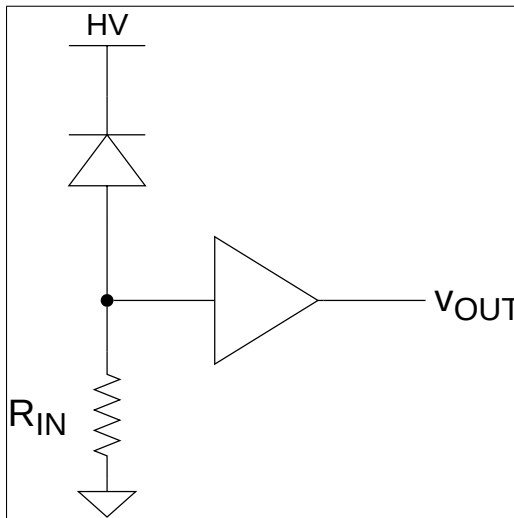


Figura 1.2. Diagrama de un circuito de lectura de SiPM mediante el enfoque de voltaje.

Esta configuración tiene la desventaja de usar un resistor para transformar la señal de corriente en una de voltaje. Esto es un problema porque las capacitancias de los SiPM pueden ser superiores a 50 pF, e incluso superar 1 nF. Por tanto, el valor de esta resistencia de lectura formará un filtro pasabajos con la capacitancia del detector.

Tal como se vio en la sección 2.4, el flanco de subida de la señal producida por el detector puede durar menos de 1 ns, aunque ese tiempo es influido por la propia electrónica de lectura. Por otro lado, la capacitancia del MPPC es, comparativamente a las capacitancias de los circuitos CMOS de la tecnología de 180 nm, mucho mayor. Esto permite hacer el supuesto de que la capacitancia dominante en el circuito será la del detector.

Si se combinan ambas informaciones, se ve que la resistencia usada para convertir la señal de corriente en una de voltaje no puede tener un valor demasiado grande. Si dicho resistor tomase un valor alto, limitaría el ancho de banda de todo el resto del circuito de lectura. Sin embargo, sí es deseable que la resistencia de lectura sea lo más grande posible, pues de ese modo se podrá amplificar en mayor grado la señal del detector. En este punto se tiene un canje (o *trade-off*) entre el objetivo de lograr mayor ganancia y el de lograr mayor ancho de banda.

En directa relación con lo anterior, y tal como se establece en (Calò y cols., 2019) y (Liu y cols., 2012), es difícil lograr una electrónica con un producto ganancia-ancho de banda suficientemente grande como para poder leer las señales producidas por pocos píxeles del detector. Esto porque, para lograr suficiente velocidad, se debe reducir el valor de la resistencia de lectura. Luego, la ganancia de la electrónica posterior, debe ser mayor para mantener la velocidad de la señal proveniente desde el detector.

En este enfoque la forma de medir el instante en que arriba una señal es disponiendo un discriminador (comparador) a la salida de la electrónica de amplificación. Luego se fija un umbral de comparación que haga que el discriminador se dispare cuando la salida del amplificador de voltaje supere la referencia. Por tanto, como se señala en (Calò y cols., 2019), los circuitos desarrollados bajo este enfoque suelen tener limitaciones en su SNR, lo que repercute en menor resolución temporal. En específico, las limitaciones de resolución temporal y SNR están relacionadas entre sí mediante la ecuación (1.1) (Calò y cols., 2019; Rivetti, 2015), donde σ_t es la desviación estándar del instante en que una señal cruza un umbral de voltaje v_{th} , σ_{noise} es la desviación estándar del ruido de la señal que cruza el umbral v_{th} , y $\left. \frac{dv_{out}}{dt} \right|_{v_{out}=v_{th}}$ representa la derivada de la señal (no ruidosa), al momento de cruzar el umbral v_{th} . Por tanto, malos desempeños en el ruido electrónico llevan a malos desempeños en resolución temporal; siempre y cuando se mida la resolución temporal usando un umbral.

$$\sigma_t = \frac{\sigma_{noise}}{\left. \frac{dv_{out}}{dt} \right|_{v_{out}=v_{th}}} \quad (1.1)$$

La causa de que este enfoque tenga limitaciones en su ruido electrónico es que, como se explica en (Calò y cols., 2019), el ruido total de voltaje del amplificador referido a la entrada, que comúnmente está asociado a un transistor en configuración *Common source*, es sumado directamente al voltaje a través de R_{IN} ; R_{IN} es la resistencia de lectura del circuito. Esto hace que el ruido se vea amplificado por la resistencia de lectura, al igual que la señal del detector.

Por otro lado, la resistencia misma contribuye al ruido de la señal, y tal como se ve en (Säckinger, 2017), dicho ruido vendrá dado por la ecuación (1.2), donde k es la constante

de Boltzmann, T es la temperatura ambiente medida Kelvin y R es el valor de la resistencia de medición.

$$\frac{I_{res}}{\Delta f} = \sqrt{\frac{4kT}{R}} \quad (1.2)$$

En la ecuación (1.2), se ve que a medida que el valor del resistor decrece, el aporte de ruido de la resistencia de lectura aumenta.

Desde la arista de las ventajas, esta configuración es idónea para cuando se recibirán señales de gran tamaño, generadas por la activación simultánea de muchos pixeles (Calò y cols., 2019). En estos casos, las limitaciones del *trade-off* entre velocidad y amplificación, y el aspecto del ruido electrónico, se subsanan por la amplitud de la señal proveniente desde el MPPC.

Algunos ejemplos de este tipo de circuitos son los ASIC: SPIROC (Lorenzo y cols., 2013) y EASIROC (Callier, Taille, Martin-Chassard, y Raux, 2012), los cuales tienen la capacidad de ajustar el voltaje de polarización del detector y leer desde 1 hasta 2000 pixeles en un detector que entregue ≈ 160 fC por pixel. Para ello deben implementar 2 canales de lectura paralelos para cada detector, uno con baja ganancia y otro con alta ganancia. Por otro lado, no son circuitos adecuados para mediciones donde se requiere precisión temporal (Calò y cols., 2019). Ambos se fabrican con un proceso SiGe.

Una mejora a los ASIC anteriores se presenta en el circuito PETIROC (Fleury y cols., 2013), el cual puede ajustar el voltaje de polarización del SiPM y leer hasta 3000 pixeles usando la misma técnica de canales paralelos, sin embargo presenta mejor desempeño temporal gracias al uso de dispositivos HBT en su proceso de fabricación SiGe (Calò y

cols., 2019).

1.5.3. Lectura mediante Amplificador de Carga

Un amplificador de carga o *Charge Sensitive Amplifier* (CSA) es un dispositivo que integra la carga que recibe. En dicho sentido, parece razonable usarlos, dado que los fotomultiplicadores de silicio entregan carga desde sus pixeles.

La configuración clásica de un *Charge Sensitive Amplifier* se puede ver en el diagrama 1.3. Allí el detector y su polarización se representan por el diodo polarizado con alto voltaje, mientras que el CSA está formado por el amplificador operacional y su capacitancia de realimentación C_F .

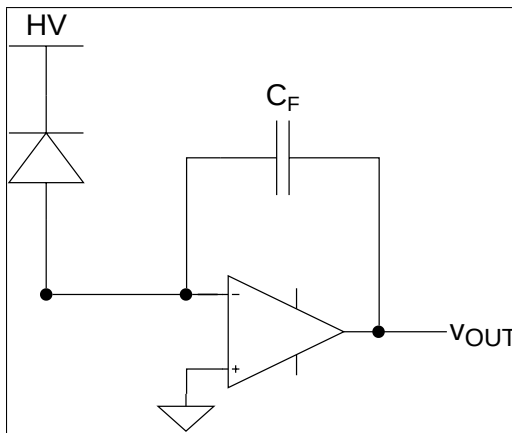


Figura 1.3. Diagrama de un circuito de lectura de SiPM que usa un CSA.

En el diagrama 1.3, la carga entrante es acumulada (integrada) en el capacitor de realimentación C_F .

A partir de lo dicho anteriormente, se puede desprender la principal debilidad de este enfoque de lectura de MPPCs: no es claro en qué momento comenzar y terminar de integrar, de modo de poder leer la información del detector sin que la electrónica sature en el voltaje de algún riel.

El problema de evitar que el voltaje que arroja el CSA sature debido a que demasiada carga se acumuló en el capacitor C_F , porque arribaron suficientes señales desde el SiPM, no es menor. En parte es así porque los SiPM poseen ruido oscuro o *dark noise*, por tanto envían constantemente pulsos de señal, aunque no se haya recibido ningún fotón en el MPPC.

Para subsanar ello, se podría usar un circuito de *Baseline restorer*, como en (Abusleme, Barraza, y Kuleshov, 2018), sin embargo ello agregaría complejidad y ruido al circuito.

Los inconvenientes antes mencionados se complementan con las afirmaciones de (Calò y cols., 2019), en donde se señala que el enfoque de usar CSA no suele ser adecuado para manejar señales provenientes de muchos pixeles disparados al mismo tiempo. Una razón para ello es que grandes señales de entrada requieren un capacitor grande³ para poder manejarlas, de modo que el voltaje a la salida del CSA no sature en los rieles. Lograr estos valores de capacitancias en circuitos integrados del nodo tecnológico 180 nm es un desafío, tal como se mostrará en el ejemplo siguiente.

Para tener una idea de qué tan grande es la capacitancia necesaria en un CSA, en relación a las capacitancias posibles de obtener en un circuito integrado de tecnología 180 nm, se puede adaptar el ejemplo expuesto en (Calò y cols., 2019). La ganancia carga a voltaje de un *Charge Sensitive Amplifier* es de $1/C_F$. Luego, si se toma el caso en que se activan

³Aquí nos referimos a un capacitor grande en comparación a las capacitancias parásitas de los transistores de la tecnología de 180 nm.

3000 pixeles del detector⁴, y se considera una ganancia típica de 10^6 electrones por cada fotón que activa un pixel, se tiene una carga de entrada al CSA de 480,6 pC. Por simplicidad, si se quiere que los 3000 pixeles generen una señal con una amplitud de 1 V, algo nada descabellado si se piensa que el voltaje de alimentación de esta tecnología CMOS es de 1,8 V, entonces se requeriría una capacitancia de 480,6 pF .

Cabe señalar que, una tecnología típica de 180 nm puede tener capacitancias de ≈ 2 fF por μm^2 , y el costo de 1 mm^2 de *die*⁵ de un chip puede ser de en torno a USD 1000 (SEMICONDUCTOR, s.f.). Teniendo en mente estos números, se ve que el usar un CSA para leer MPPCs limita, de entrada, la densidad de circuitería capaz de introducirse en el *die*, lo cual se puede traducir en costos adicionales.

Adicionalmente, tal como se señala en (Calò y cols., 2019), la mayoría de la carga de la señal del SiPM se encuentra contenida en la “cola” de esta, no en el flanco de subida inicial. El problema con ello es que, tal como se pudo ver en la sección 2.4, la constante de tiempo de la cola de la señal es mucho mayor que la constante del flanco de subida de la misma, esto hace que el circuito reduzca su velocidad de lectura.

No obstante lo anterior, este enfoque también tiene algunas ventajas, las que surgen de las mismas características que generan sus desventajas. Al contrario de lo que ocurre con el enfoque de voltaje, el usar amplificadores de carga es adecuado cuando se deben medir señales producidas por pocos pixeles del detector. En esos contextos, donde la carga entregada al circuito no es suficiente como para saturar el voltaje de salida de mismo, se puede aprovechar la buena ganancia de esta topología.

⁴Recordar que este es el número máximo de pixeles que se espera que se activen al mismo tiempo.

⁵El *die* es el fragmento de silicio en el cual se construye el circuito integrado.

Aplicaciones de este enfoque de lectura se pueden encontrar en circuitos como CUTIE (Abusleme y cols., 2018) y los circuitos fabricados por la empresa “Integrated Detector Electronics AS” (Electronics, s.f.), como por ejemplo el VATA64HDR16 (Meier y cols., 2010; Bagliesi y cols., 2011). Este último chip posee la capacidad de ajustar el voltaje del detector mediante un DAC de 8 bits en un rango de 1 V, sin embargo tal como se establece en (Meier y cols., 2010; Bagliesi y cols., 2011), no se recomienda su uso para detectores con capacitancias sobre los ≈ 300 pF, y para fotomultiplicadores de silicio que entregan $\approx 0,12$ pC de carga por pixel activado puede leer hasta ≈ 458 pixeles del mismo, sin embargo la linealidad del circuito comienza a degradarse al recibir 12 pC o más carga.

1.5.4. Lectura mediante señales de corriente

Ya se ha expuesto la lectura de las señales del SiPM mediante voltaje y carga, sin embargo también existe la posibilidad de hacer la lectura mediante la corriente que arroja el detector. En este enfoque la señal de corriente, entregada por el SiPM, debe entrar a un circuito que la transformará en voltaje que pueda interpretarse. El circuito que transforma corriente en voltaje recibe el nombre de “amplificador de transimpedancia” (TIA).

En general se tienen 2 grandes tipos de amplificadores de transimpedancia:

1. TIAs basados en un amplificador con realimentación negativa. Dentro de esta categoría entran los TIAs basados en Opamps en configuración inversora.
2. TIAs basados en un *buffer* de corriente en lazo abierto. Un ejemplo de este tipo sería un NMOS conectado en configuración *Common gate*.

Un diagrama de un TIA basado en un amplificador operacional conectado en configuración inversora con ganancia $\approx R_F$ puede verse en la figura 1.4. En ella se aprecia

que existe una señal de entrada de corriente. Cuando la señal de entrada es de voltaje, se suele disponer una resistencia en serie a la entrada del circuito. De esa forma, la señal de voltaje se transforma en una de corriente, para luego ser procesada como señal de entrada de corriente.

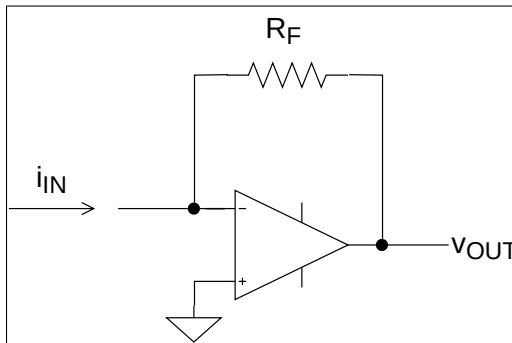


Figura 1.4. Amplificador operacional conectado en configuración inversora.

Los TIAs basados en amplificadores realimentados negativamente poseen la limitación de que la realimentación se debe mantener activa para que el circuito opere correctamente. Lo anterior es un desafío, dadas las velocidades de la señal del fotomultiplicador de silicio. Esto es así porque, para que la realimentación negativa se mantenga en estos circuitos, el amplificador debe conservar una amplificación alta. El conservar la alta amplificación a altas velocidades es un problema bien conocido en el diseño de circuitos analógicos, y se sabe que existe un *trade-off* entre ganancia y velocidad. De ese modo, si se quiere que un circuito opere a mayor velocidad (cosa que en este caso es necesaria, por la velocidad de la señal entregada por el SiPM), se podrá lograr a costa de perder ganancia, lo cual no ayuda a mantener correctamente la realimentación negativa.

Por otro lado, dentro de las ventajas de los TIA basados en un amplificador operacional, está que es fácil establecer el voltaje DC de entrada del circuito, pues el fenómeno de cortocircuito virtual fijará un voltaje de entrada igual para el terminal inversor y el no inversor. La posibilidad de cambiar dicho voltaje de entrada de forma fácil, permitirá un

ajuste simple de la polarización del fotomultiplicador de silicio.

También existen los amplificadores operacionales de realimentación por corriente (CFA por su sigla en inglés), los cuales podrían ofrecer una alternativa al Opamp de la figura 1.4. Sin embargo, tal como se ve en (Huizenga y cols., 2012), el desempeño de dichos dispositivos no es significativamente mejor cuando se tienen detectores de capacitancias grandes. Por ejemplo, en (Huizenga y cols., 2012) se menciona que se obtienen buenos resultados para un detector con capacitancia de 35 pF (“S10362-11 series. New type of Si photon-counting device, Active area: 1x1 mm”, 2009), sin embargo no se asegura un correcto funcionamiento para capacitancias mayores.

Respecto a los TIA basados en *buffers* de corriente CMOS, si se hace el análisis de ruido se puede ver que, en principio, son más ruidosos que sus contrapartes basadas en amplificadores realimentados negativamente. La explicación intuitiva de este fenómeno es que la fuente de corriente que polariza al transistor conectado como *Common gate*, agrega ruido de corriente que es directamente combinado y amplificado por el mismo circuito de lectura. A esta misma conclusión se llega en (Säckinger, 2017, p. 305). El detalle del cálculo de la expresión para la transimpedancia y el ruido del TIA basado en realimentación y del basado en un *buffer* de corriente CMOS, se encuentra en el anexo A.

Por otro lado, dentro de las ventajas de los amplificadores de transimpedancia basados en *buffers* de corriente, está que no depende de realimentación para ofrecer una baja resistencia de entrada, y funcionan correctamente cuando la señal obtenida desde el detector es suficientemente grande como para compensar la componente extra de ruido agregada por la polarización del transistor que actúa como *buffer*.

Por último, algunos ejemplos de circuitos de lectura basados en el enfoque de corriente son: el circuito de (Huizenga y cols., 2012), NINO (Powolny y cols., 2011), STiC3 (Stankova y cols., 2015; Harion y cols., 2014), TOFPET2 (Di Francesco y cols., 2016), BASIC64 (Calò y cols., 2016), FlexToT (Comerma y cols., 2013; Castilla y cols., 2013), KLauS (Briggl y cols., 2013), el chip basado en la topología SCGA (Dorosz, Baszczyk, Kucewicz, y Mik, 2018), EXYT (Zhu, Deng, Chen, Liu, y Liu, 2016), ANGUS (Trigilio, Quaglia, Schembari, y Fiorini, 2014), el circuito con topología *Regulated Common Gate* (d. M. Silva y Oliveira, 2014) y MUSIC (Gómez y cols., 2016). De entre los anteriores, MUSIC reporta la capacidad de controlar el voltaje de polarización del SiPM. Por otro lado, se fabrica mediante un proceso SiGe.

1.6. Estado del arte de circuitos para control de ganancia de SiPM

Desde la búsqueda bibliográfica se encuentran algunos circuitos integrados que poseen la funcionalidad de controlar la ganancia de los MPPC que leen mediante el cambio del voltaje de polarización de los sensores.

El circuito presentado en (Di Lorenzo y cols., 2013; Seguin-Moreau y cols., 2013) posee un DAC de 8 bits que tiene la capacidad de variar en 5V el voltaje de polarización del SiPM. Esto se logra agregando un capacitor de acoplamiento entre el circuito de *readout* y el terminal del detector, para después conectar el DAC al terminal por el cual se lee la señal del detector. Un esquema del circuito se puede ver en la figura 1.5, obtenida desde (Calò y cols., 2019).

Implementaciones similares, pero con DACs de distinto número de bits y voltajes de salida se pueden encontrar en (Callier y cols., 2009; Gómez y cols., 2016; Callier y cols.,

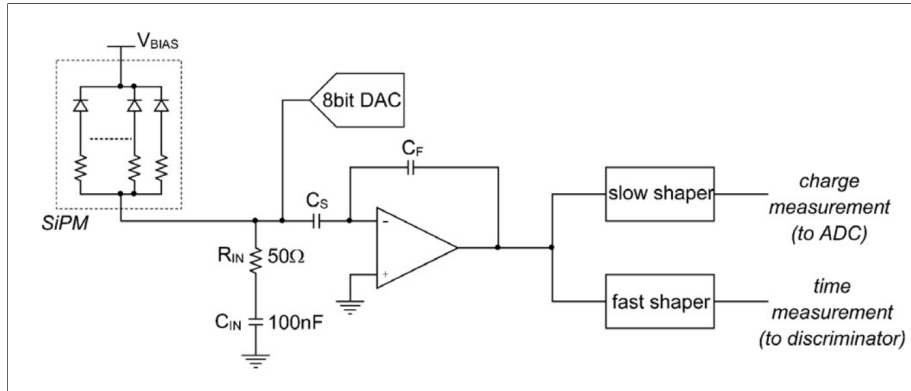


Figura 1.5. Esquema de un canal del chip SPIROC2 (Calò y cols., 2019).

2012; Fleury y cols., 2013).

Además de los anteriores, se presenta el trabajo (Meier y cols., 2010), el cual altera el voltaje de polarización del detector mediante un DAC, pero a través del CSA usado para la lectura del SiPM.

Otro enfoque es variar la polarización de los sensores desde fuera de un circuito integrado, por ejemplo en (Lutz, collaboration, y cols., 2012) esto se hace directamente desde la fuente de polarización del MPPC. Ejemplos similares se pueden ver en los trabajos (Gil y cols., 2011; Xu y cols., 2011).

Un resumen de las capacidades para alterar el voltaje de polarización de los SiPM de los trabajos revisados se puede encontrar en la tabla 1.1. Cabe mencionar que de los circuitos mostrados en la tabla 1.1, solo (Meier y cols., 2010) es fabricado con tecnología CMOS.

Tabla 1.1. Resumen de trabajos donde existe un circuito dedicado a variar polarización de SiPM.

Chip o nombre del experimento asociado	Variación de voltaje	Número de bits	Resolución de ajuste de V_{bias}
SPIROC / SPIROC2 (Calò y cols., 2019) (Di Lorenzo y cols., 2013) (Seguin-Moreau y cols., 2013) (Callier y cols., 2009)	5 V	8 bits	$\approx 19,5$ mV
CMS HCAL group (Lutz y cols., 2012)	100 V	-	≈ 25 mV
NEXTI-IFIC (Gil y cols., 2011)	5 V	16	2,5 mV
MUSIC (Gómez y cols., 2016)	1 V	9	1,9 mV
EASIROC (Callier y cols., 2012)	4,5 V	8	$\approx 17,5$ mV
VATA64HDR16 (Meier y cols., 2010; Bagliesi y cols., 2011)	≈ 1 V	8	$\approx 3,5$ mV
PETIROC (Fleury y cols., 2013)	0,8 V	8	$\approx 3,1$ mV

1.7. Organización del documento

El documento de tesis se divide en los siguientes capítulos:

1. **Fotomultiplicadores de Silicio (SiPM/MPPC):** Se describen los fotomultiplicadores de silicio, sus ventajas, desventajas, modelo circuital y la señal que producen.

2. **Estructura del circuito:** Descripción del diagrama de bloques de un canal del chip y justificación general de cada uno.
3. **Diseño circuital del front-end:** Descripción y justificación detallada del front-end diseñado a partir del enfoque de lectura establecido en el capítulo anterior.
4. **Control de ganancia de detectores:** Descripción y justificación del circuito de control de ganancia implementado.
5. **Resultados:** Resultados obtenidos a partir de simulaciones *post layout* del chip y algunas imágenes del circuito integrado
6. **Conclusión:** Discusión de los resultados obtenidos.

CAPÍTULO 2. FOTOMULTIPLICADORES DE SILICIO (SiPM/MPPC)

2.1. Estructura de un SiPM

Tal como se expone en (Sadygov, Olshevski, Chirikov, Zheleznykh, y Novikov, 2006; Dinu y cols., 2007; Acerbi y Gundacker, 2019), un fotomultiplicador de silicio es un fotodetector de estado sólido monolítico, compuesto por un arreglo de cientos o miles de fotodiodos puestos en paralelo. Estos son independientes entre sí y están conectados a un nodo de lectura común. A cada fotodiodo también se le conoce como “celda” o “pixel”.

Una representación conceptual de uno de los pixeles que componen a un SiPM, se puede ver en la figura 2.1. Allí se aprecia que la celda se trata de un diodo polarizado mediante un voltaje negativo con una magnitud sobre el voltaje de avalancha. Luego, si dicho diodo recibe un fotón, dicho fotón le entregará la energía suficiente para que entre en el régimen de avalancha y comience a conducir corriente.

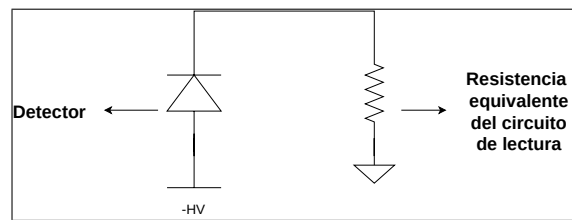


Figura 2.1. Representación de un pixel de SiPM.

Tal como se menciona en (Klanner, 2019), cada pixel entrega aproximadamente la misma señal independientemente del número de fotones que simultáneamente hayan activado dicho pixel. La suma de las señales producidas por los pixeles es proporcional al número de pixeles que se activaron, y dado que la ganancia de cada celda es en general

superior a 10^5 , es fácil distinguir entre la salida producida por distintas cantidades de píxeles activados.

Existen versiones digitales y análogas de estos detectores. Este trabajo se centra en los fotomultiplicadores de silicio del tipo análogo. Los SiPM análogos cuentan con una resistencia de “amortiguamiento” o *quenching*, la cual reduce el voltaje del pixel al conducir cierta cantidad de corriente.

2.2. Algunas características de los fotomultiplicadores de silicio

Una de las características de los SiPM/MPPC es que tienen mejor resolución para pocos fotones. En otras palabras, tienen la capacidad de distinguir si llegaron 1, 2, 3 o 4 fotones en un instante “ t_1 ” (por ejemplo), sin embargo no tienen la capacidad de diferenciar si llegaron 999 o 1000 fotones en un instante “ t_2 ”. Esta capacidad decreciente de detectar fotones individuales se puede ver en documentos técnicos de los fabricantes, como los siguientes: (Ghassemi y cols., 2018) y (Semiconductor Components Industries, 2018).

Otra característica de los fotomultiplicadores de silicio es su capacitancia parásita. Tal como se establece en (Calò y cols., 2019), esta puede ser muy elevada en comparación con las capacitancias de la electrónica de lectura. Para tener un valor aproximado de las capacitancias del detector se puede ver (d. M. Silva y Oliveira, 2014), en donde se aproxima la capacitancia de un SiPM por un valor de 300 pF, sin embargo se debe notar que dicho número dependerá del detector en particular.

Una capacitancia de 300 pF es grande para tecnologías de 180 nm, que es el nodo tecnológico en el cual se fabricará el chip aquí diseñado. Un ejemplo de ello es que el

mayor valor que puede tener un capacitor implementado mediante las celdas estándares de la tecnología de fabricación, es de 1,8 pF.

Finalmente, el detector para el que se pensó el circuito diseñado posee 500 pF de capacitancia, lo cual ejemplifica aún más la inmensa capacitancia que esto representa para la electrónica diseñada.

2.2.1. Ventajas de los SiPM/MPPC y sus usos

Tal como se establece en (Acerbi y Gundacker, 2019), estos detectores tienen como ventaja que permite detectar y contar fotones con sensibilidad de fotones unitarios (Renker, 2006; Acerbi y cols., 2015; Buzhan y cols., 2009). Además la avalancha interna es suficientemente rápida como para obtener información sobre el tiempo de llegada de los fotones en un rango de varias decenas de picosegundos (Cova, Ghioni, Lacaita, Samorì, y Zappa, 1996; Acerbi y cols., 2014; Nemallapudi, Gundacker, Lecoq, y Auffray, 2016).

Algunos de los usos para estos detectores son (Klanner y Sauli, 2019): imágenes médicas, biofotónica, física de partículas y LiDARs.

2.2.2. Desventajas de los SiPM/MPPC

Dark noise

Otro reto que presentan los detectores SiPM/MPPC es el en su salida. La principal fuente de ruido de la señal es el *dark noise* o *dark count*. Este consiste en “falsos positivos” que entrega el detector, señalando que ha detectado un fotón, cuando en realidad no ha arribado ninguno al detector. Tal como se menciona en (Semiconductor Components Industries, 2018), esta fuente de ruido se produce, principalmente, por electrones térmicos

que se generan en el detector mismo. Por tanto, cada señal de ruido oscuro se produce por un electrón térmico que desencadena una avalancha en algún fotodiodo del detector. El *dark noise* se relaciona con la temperatura según la ecuación (2.1), tal como se menciona en (Piemonte y Gola, 2019a). En dicha ecuación E_a es la energía de activación relacionada con el *bandgap* del silicio, k es la constante de Boltzmann y T es la temperatura en Kelvin.

$$DN(T) \sim \exp\left(-\frac{E_a}{kT}\right) \quad (2.1)$$

La tasa de generación de fotones térmicos, y por tanto la cantidad de ruido oscuro medido, también está relacionado con el voltaje de polarización del circuito; a mayor voltaje de polarización, mayor el ruido oscuro. Aunque el efecto del voltaje de polarización no se ve directamente en la ecuación (2.1), en (Piemonte y Gola, 2019b) se menciona que su efecto es el de variar E_a , al alterar el efecto túnel.

Variabilidad de ganancia de los SiPM

Tal como se puede ver en (Piemonte y Gola, 2019a) y en las hojas de datos de fabricantes como SensL y Hamamatsu (“S13360 series. MPPCs for precision measurement”, 2016; “C-Series Low Noise Blue-Sensitive Silicon Photomultipliers”, 2014), sí existe una dependencia entre la temperatura a la que está sometido el detector y su desempeño. La temperatura tiene un efecto en la ganancia del detector, es decir, en la cantidad de carga que entrega cada pixel al ser disparado por 1 fotón.

Por otro lado, también como se puede ver en (Piemonte y Gola, 2019a) y en las hojas de datos de los fotomultiplicadores de silicio, otro parámetro que afecta la ganancia de los MPPCs es el voltaje con el cual se polarizan. La relación entre dicho voltaje y la ganancia es lineal y suele representarse en las hojas de datos mediante un gráfico como el de la

figura 5.1 mostrada en la sección 5.1.1.

2.3. Modelo circuital de un SiPM/MPPC

Desde los trabajos (Acerbi y Gundacker, 2019; Seifert y cols., 2009; Powolny y cols., 2011; Avella, Santo], Lohstroh, Sajjad, y Sellin, 2012; Corsi y cols., 2006; Marano y cols., 2013) se puede ver que el modelo circuital de una celda de SiPM es el mostrado en las figuras 2.2 y 2.3; la figura 2.2 representa el modelo de gran señal de la celda, mientras que la figura 2.3, el modelo de pequeña señal.

En ambas figuras (2.2 y 2.3) se puede ver que, además del fotodiodo y la resistencia de *quenching*, existen las capacitancias C_Q y C_D . Estas corresponden a capacitancias propias del modelo más exacto de una celda del SiPM.

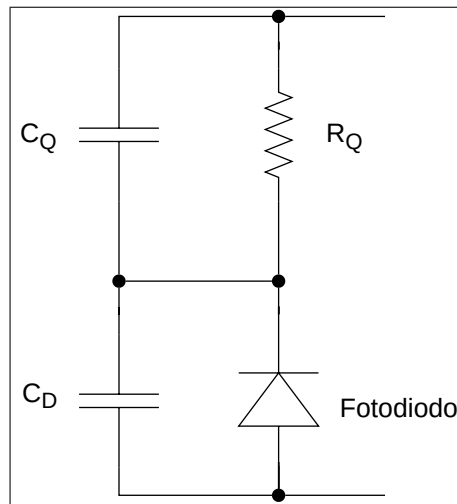


Figura 2.2. Modelo de gran señal de un pixel de SiPM.

El modelo circuital para un SiPM completo equivale a disponer, tantas celdas en paralelo como pixeles tenga el detector. Además de ello se agrega una capacitancia parásita

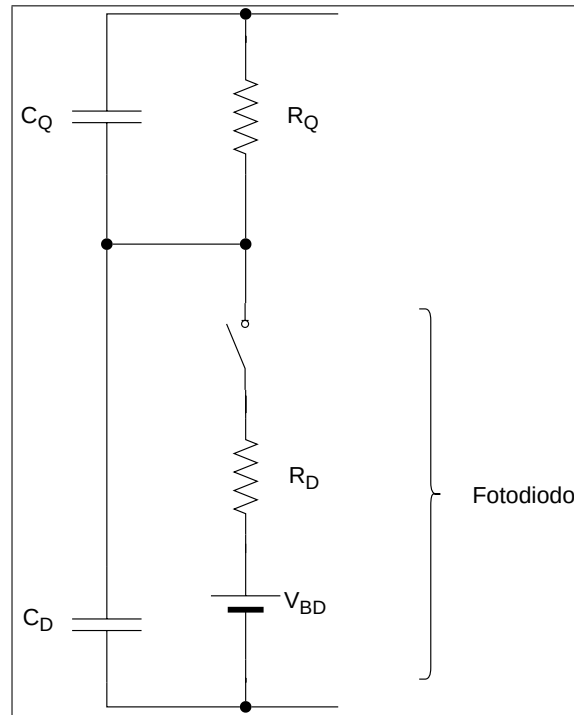


Figura 2.3. Modelo de pequeña señal de un pixel de SiPM.

adicional a dicho circuito, la cual corresponde a efectos del empaquetado del dispositivo. Considerando aquello, el modelo circuital de un SiPM que considere todas sus celdas, se verá como en la figura 2.4.

Los valores de los componentes del modelo mostrado en la figura 2.4 deben ser obtenidos mediante pruebas experimentales para cada modelo de SiPM que se quiere analizar. Ejemplos de trabajos donde se muestran estos valores para algunos modelos de detectores son: (Rychter, 2016; Lauritzen, 2017; Powolny y cols., 2011; Corsi y cols., 2007; Seifert y cols., 2009; Avella y cols., 2012). En el proceso de diseño expuesto en esta tesis, no se contaba con la información de qué fotomultiplicador de silicio sería el conectado al circuito diseñado, por tanto no se buscó obtener los valores de los componentes mostrados en la figura 2.4 para un detector en particular.

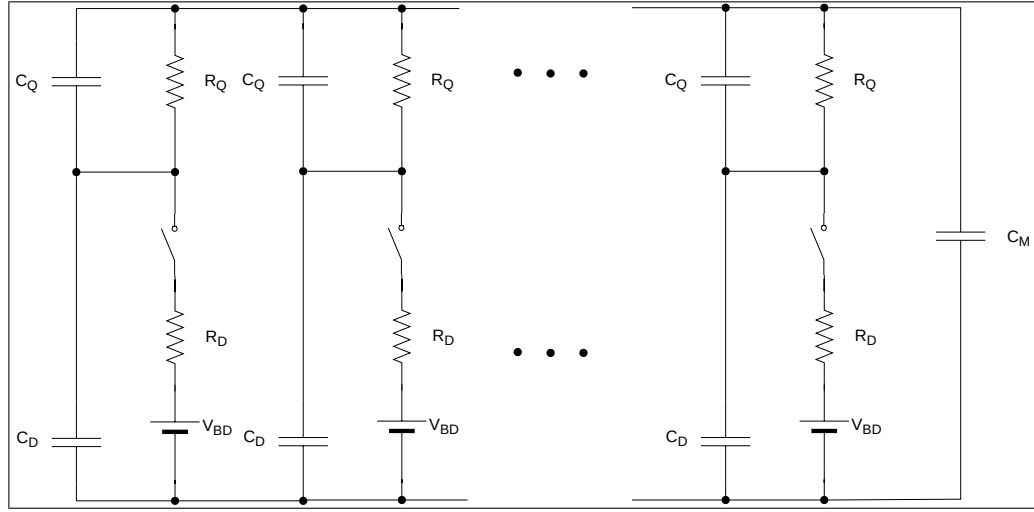


Figura 2.4. Modelo de pequeña señal de un SiPM.

2.4. Cálculo de señal entregada por el SiPM

Tal como se expone en el trabajo (Corsi y cols., 2006), la forma de onda entregada por el SiPM puede ser producida por el circuito de la figura 2.5. En dicho modelo se considera que el circuito de lectura solo ofrece una carga resistiva, llamada R_S .

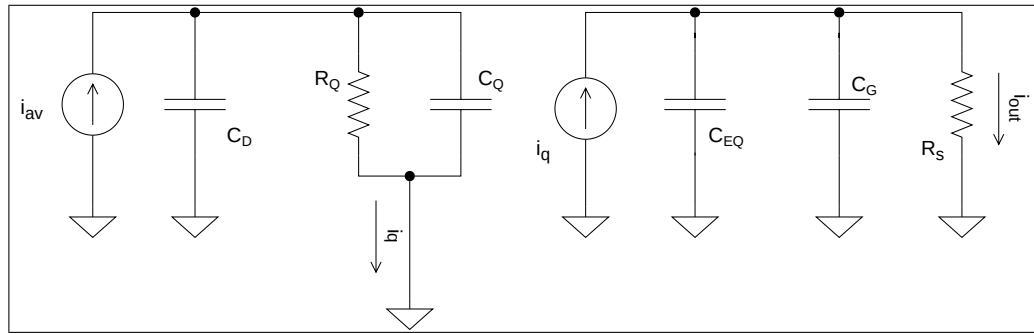


Figura 2.5. Modelo de pequeña señal de un SiPM.

En el modelo de la figura 2.5:

- $C_{EQ} = [(N_T - N_f) \cdot C_D] \parallel [(N_T - N_f) \cdot C_Q]$.
- N_T : Número total de pixeles en el SiPM.

- N_f : Número de pixeles disparados en el SiPM.
- i_{AV} : Corriente generada cuando se disparan N_f pixeles.
- R_S : Resistencia de entrada del TIA.

La función de transferencia asociada al circuito de la figura 2.5 se puede ver en la ecuación (2.2), posee 2 polos y 1 cero. Para modelar correctamente el comportamiento del detector, se asume que la entrada i_{av} corresponde a un impulso en el tiempo y que la carga entregada corresponde a la integral de la corriente (Corsi y cols., 2006).

$$H(s)_{sipm} = \frac{i_{out}}{i_{av}} = \frac{1}{1 + s \cdot R_S (C_{EQ} + C_G)} \cdot \frac{1 + s \cdot C_Q R_Q}{1 + s \cdot (C_D + C_Q) R_Q} \cdot N_f \quad (2.2)$$

El efecto de los 2 polos se aprecia en la señal que el detector genera. Al evaluar las constantes de tiempo asociadas, se verá que $\tau_1 = R_S(C_{EQ} + C_G)$ es más lenta que la constante $\tau_2 = R_Q(C_D + C_Q)$. Además se ve que τ_1 depende de la resistencia de entrada que ofrece el circuito de lectura, mientras que τ_2 es independiente de la electrónica de *readout*.

El efecto de que la señal del MPPC posea 2 constantes de tiempo se aprecia en la forma de onda producida, y aunque la constante τ_1 depende de la electrónica de medición, la forma suele ser similar a la de la figura 2.6. Allí el efecto de la constante rápida (τ_1) se nota en el flanco de subida de la señal y en la sobreoscilación inicial. El efecto de la constante de tiempo lenta (τ_2) se aprecia en el retorno a línea base.

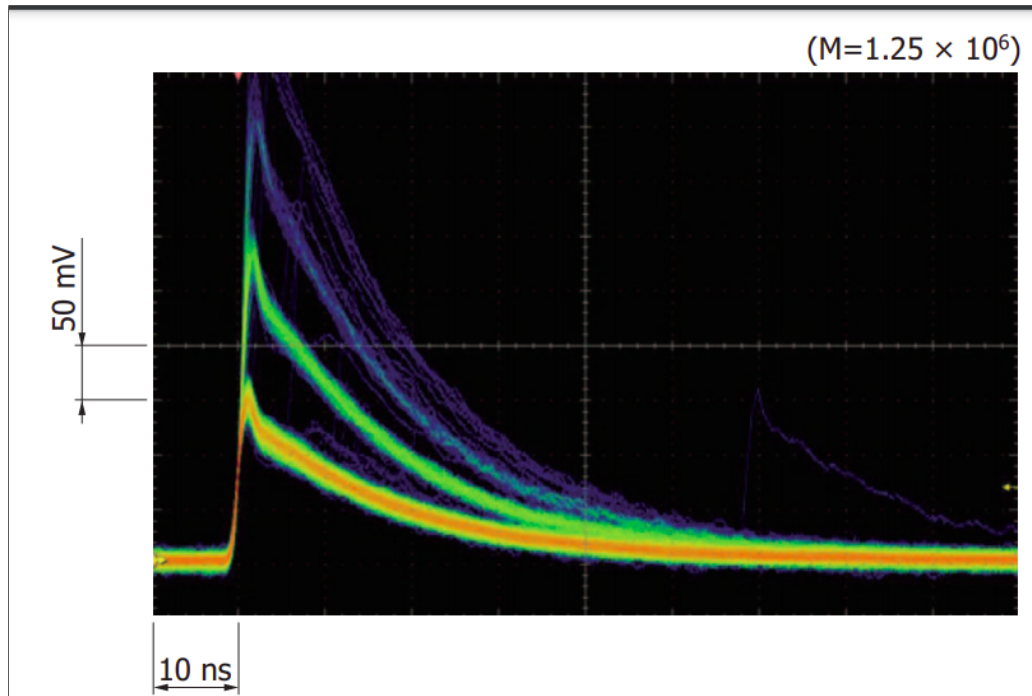


Figura 2.6. Forma de onda generada por un MPPC (“S13360 series. MPPCs for precision measurement”, 2016).

CAPÍTULO 3. ESTRUCTURA DEL CIRCUITO

3.1. Circuito de lectura escogido

Después de observar los distintos enfoques en la revisión bibliográfica, se llegó a la conclusión de que el mejor enfoque posible para el problema planteado es un circuito de lectura del tipo amplificador de transimpedancia de lazo abierto. Las razones para esto son:

1. Se requiere sensibilidad suficiente para leer las señales de 1 pixel del detector. Esto lleva a descartar a los circuitos de lectura mediante voltaje.
2. Se requiere leer señales de hasta 3000 pixeles. Esto lleva a descartar el implementar un *Charge Sensitive Amplifier*.
3. Tal como se vio en el capítulo 2, las señales producidas por estos detectores pueden llegar a tener en torno a 1 ns de duración para su flanco de subida. Esta velocidad lleva a descartar a los TIA basados en realimentación, pues estas velocidades son difíciles de alcanzar si se consideran las capacitancias de los MPPC, que en comparación a las capacitancias parásitas de la tecnología de 180 nm, son grandes.

Adicionalmente, si se ve (Calò y cols., 2019), se puede constatar que el enfoque de amplificador de transimpedancia es el más frecuente entre los circuitos de lectura de SiPMs. Ello refuerza la decisión tomada.

Por último, en (d. M. Silva y Oliveira, 2014) se llega a la misma conclusión anterior, argumentando que el TIA de realimentación puede, fácilmente, ser dimensionado para operar con un APD en su entrada, con un C_D del orden de 10 pF. Sin embargo, aparecen dificultades si se quiere usar un SiPM en su entrada, con C_D de un orden de magnitud

mayor.

La ubicación del circuito de lectura, etiquetado como TIA, se puede ver en el diagrama de bloques de la figura 3.1.

3.2. Procesamiento posterior al TIA

Una vez que la señal ha sido leída por el TIA, se deben medir dos datos: el instante en que se recibe la carga y la cantidad de pixeles activados en el detector. Para conocer la primera de ellas se decide implementar un discriminador. El discriminador debe activarse cuando la señal entregada por el TIA indique que uno o más pixeles se han disparado. La salida del discriminador, por tanto, entrega una señal digital que dura mientras el detector esté entregando corriente. Un análisis detallado de qué tipo de discriminador se debe implementar se hará en la sección 4.2.

Para conocer la cantidad de pixeles disparados en el detector se puede crear un bloque destinado a este fin, o usar la información ya entregada por el discriminador. Después de analizar ambas opciones se decide implementar un nuevo bloque circuital que tiene la función de integrar. La información de este bloque se puede adicionar a la ya entregada por el discriminador, de modo de leer con mayor precisión la cantidad de pixeles activados. La justificación detallada de esta decisión se encontrará en la sección 4.3.

3.3. Ajuste de ganancia de SiPM

Dada la revisión bibliográfica mostrada en la sección 1.6, se escoge implementar un DAC que sea capaz de alterar el voltaje de polarización del SiPM. Para ello se conectará el DAC al terminal que entrega la señal de parte del SiPM, y se ubicará un capacitor de

acoplamiento entre dicho nodo y el nodo de entrada al TIA; el capacitor de acoplamiento y el DAC se pueden ver en la figura 3.1.

Podría ocurrir que el DAC absorbiera parte de la señal proveniente desde el MPPC, lo cual restaría precisión al circuito de lectura. Para evitar esto se decide diseñar un DAC con alta resistencia de salida, de modo que la mayor parte de la señal proveniente desde el SiPM entre al TIA gracias a su baja resistencia de entrada. Sin embargo, si el DAC posee alta resistencia de salida, ello podría impedir que fijase adecuadamente el voltaje en su nodo de salida. Dicho problema no ocurrirá pues se busca que el DAC opere solo en DC, por tanto el capacitor de acoplamiento evitará que el TIA cargue al nodo de salida del DAC. Por otro lado, el detector SiPM actúa como un circuito abierto en DC, por tanto tampoco cargará la salida del DAC.

Cálculos detallados sobre el diseño del DAC se encontrarán en el capítulo 5.

3.4. Diagrama de bloques de uno de los canales del chip

En la figura 3.1 se presenta el diagrama de bloques de un canal del chip diseñado. Los bloques encerrados con una línea roja corresponden a estructuras al interior del chip, lo encerrado en una línea azul corresponde al fotomultiplicador de silicio y el capacitor restante es un capacitor de acoplamiento.

La salida diferencial del integrador (v_{OUT_INT})¹ es usada para identificar pocos pixeles disparados, mientras que la salida directa del TIA (v_{OUT_TIA}) se usa para medir un número mayor a cientos de pixeles disparados. Por otro lado la salida del discriminador

¹La salida diferencial del integrador se nombra v_{OUT_INT} , sin embargo esta se compone de 2 ramas de señal, una se llama $v_{OUT_INT_DER}$ y la otra $v_{OUT_INT_IZQ}$.

(V_{OUT_DISC}) sirve para identificar el momento en que arriba una señal desde el SiPM y también puede usarse para identificar un vecindario acotado de pixeles disparados.

La señal producida por el SiPM se conecta al nodo $V_{IN_TIA_EXT}$, nodo que puede ver alterado su potencial debido al efecto del DAC. Para que el ajuste del voltaje en el nodo $V_{IN_TIA_EXT}$ no afecte el punto de operación del TIA, se dispone el capacitor de acoplamiento mostrado en la figura 3.1. El nodo que se encuentra a continuación del capacitor de acoplamiento se nombra $V_{IN_TIA_INT}$.

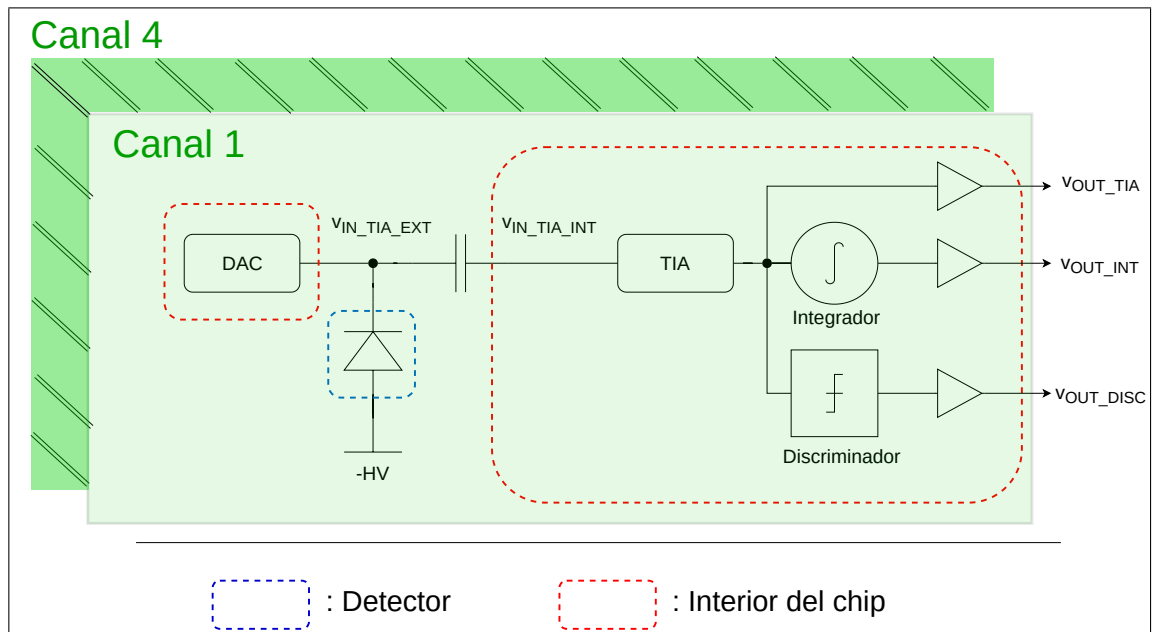


Figura 3.1. Diagrama de bloques de uno de los 4 canales del chip.

CAPÍTULO 4. DISEÑO CIRCUITAL DEL FRONT-END

4.1. Topología de amplificador escogida

Tal como se vio en la sección 3.1, el circuito que recibirá la señal desde el SiPM será un amplificador de transimpedancia no basado en un amplificador operacional. Sin embargo, en dicha categoría caben varias topologías de circuitos, siendo la más simple un transistor conectado en configuración de *buffer* de corriente. Esta se descarta en favor de una versión mejorada, llamada *Regulated Common-Gate* (RC-G) (d. M. Silva y Oliveira, 2014; Säckinger, 2017).

Tal como se puede ver en (d. M. Silva y Oliveira, 2014) y (Säckinger, 2017, p. 312-313), esta nueva opción de topología tiene la ventaja de, para una misma corriente de polarización, poseer menor resistencia de entrada, mayor g_m y mayor ancho de banda. Para lograr lo anterior, se agrega un amplificador de *boost* al transistor conectado como *buffer* de corriente. Esto permite, al menos en principio, reducir a resistencia de entrada del TIA por un factor de $\approx 1/A_{boost}$; A_{boost} es la ganancia del amplificador de *boost*. El circuito resultante se ve en la figura 4.1.

Si bien el transistor que actúa como *booster* (transistor M_2) está ejerciendo realimentación, lo cual pondría a esta topología en la misma categoría que los TIA de “realimentación”, este TIA no usa un amplificador operacional y, a diferencia de la topología con Opamp, la red de realimentación no está directamente relacionada con la ganancia del circuito. Este último punto es importante, pues en el *Regulated Common-Gate* la ganancia vendrá dada por la resistencia R_X . Ello desacopla la red de realimentación de la ganancia del circuito.

Habiendo establecido al RC-G como una opción para amplificador de lectura de los MPPC, se explora una segunda alternativa, la cual se presenta en el artículo (Ghimouz,

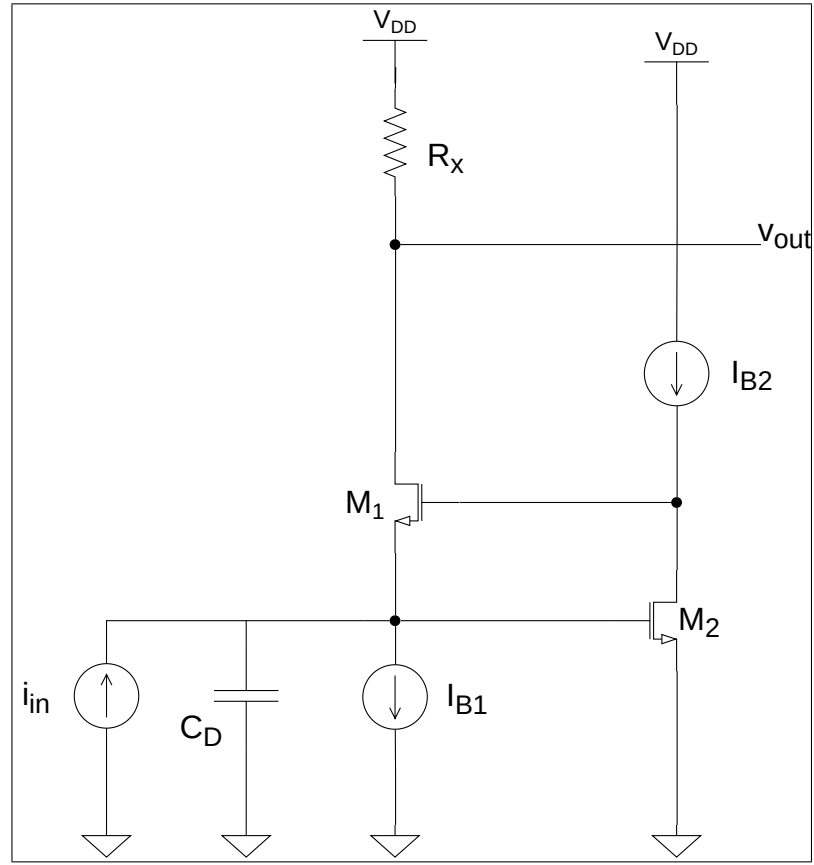


Figura 4.1. *Regulated Common-Gate.*

Rarbi, Gallin-Martel, y Rossetto, 2018) y su topología se puede ver en la figura 4.2. El circuito de la figura 4.2 es parecido al RC-G, sin embargo posee un tercer transistor (M3) que prealimenta la señal hacia el transistor de *boost*. Dicho transistor de prealimentación amplifica la señal y además cambia el punto de operación del transistor de *boost*, llevándolo a un potencial distinto al del voltaje de entrada del circuito completo.

A continuación se presenta el análisis de las 2 topologías de TIA expuestas en las figuras 4.1 y 4.2. Finalmente se expone la elección de la topología elegida para ser usada en el chip.

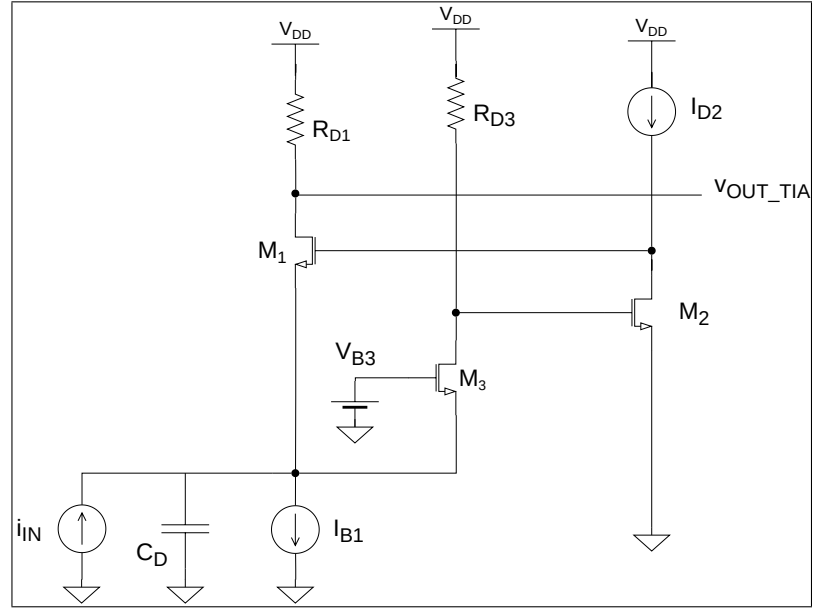


Figura 4.2. *Regulated Common-Gate* con prealimentación.

La metodología de diseño consiste en calcular las expresiones analíticas correspondientes al parámetro que se quiere conocer, y luego utilizar la técnica de g_m/I_D para obtener los valores numéricos buscados. La técnica g_m/I_D obtiene *lookup tables* para distintos tamaños de transistores de la tecnología, las que luego permiten conocer el comportamiento del transistor diseñado. Una exposición detallada de esta técnica se encuentra en (Jespers y Murmann, 2017).

4.1.1. Análisis del RC-G

Para el análisis del *Regulated Common-Gate* se decidió calcular: función de transferencia, ancho de banda, margen de fase y ruido.

Función de transferencia del RC-G

El circuito de pequeña señal del RC-G se ve en la figura 4.3. En este, la capacitancia C_d es la del detector, C_{gs} representa las capacitancias parásitas entre *gate* y *source* para los transistores 1 y 2, y C_{gd1} representa la capacitancia parásita entre *gate* y *drain* del transistor M1.

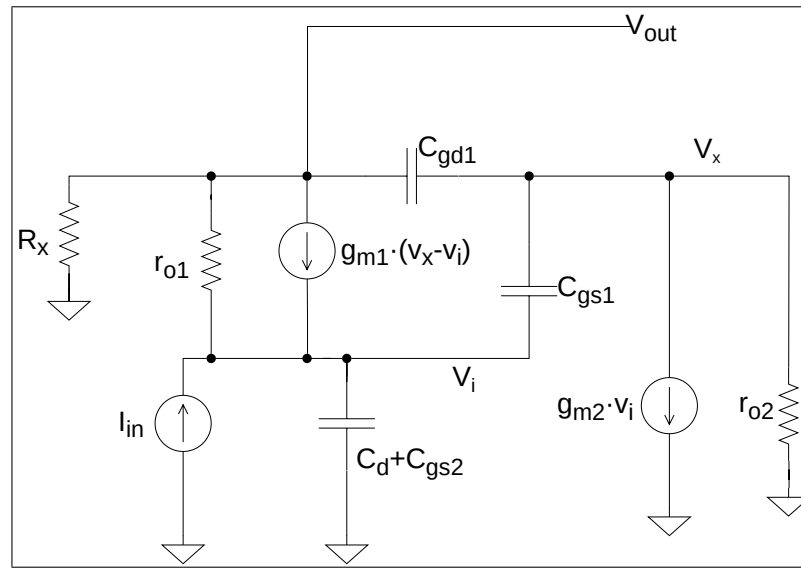


Figura 4.3. *Regulated Common-Gate*, circuito de pequeña señal.

Para facilitar el análisis, se decide usar el Teorema de 3-Elementos Extra (R. Middlebrook, 1989; R. D. Middlebrook, Vorpérian, y Lindal, 1998). Además, en base al diagrama de Bode que produce un ejemplo del circuito anterior y a lo visto en (d. M. Silva y Oliveira, 2014), se asume que los ceros de la función de transferencia del circuito están ubicados suficientemente lejos (a alta frecuencia) de los polos. Un ejemplo de diagrama de Bode para la respuesta en frecuencia del circuito se puede ver en la figura B.1 ubicada en la sección B del anexo.

Por tanto el análisis se centrará en el denominador de la función de transferencia y la componente DC de la misma. Esta última es simplemente R_x . Esto está en concordancia con la literatura y con el comportamiento de un *buffer* de corriente.

Por otro lado el denominador de la función de transferencia, que está fuertemente relacionado con el ancho de banda del circuito, resulta ser de la forma (4.1), en donde los factores α , β y γ corresponde a (4.2), (4.3) y (4.4) respectivamente; allí $A_v = g_m \cdot r_o$.

$$1 + \alpha \cdot s + \beta \cdot s^2 + \gamma \cdot s^3 \quad (4.1)$$

$$\begin{aligned} \alpha = & \frac{(A_{v1} + 1)(R_x(A_{v2} + 1) + r_{o2})}{A_{v1}(A_{v2} + 1) + 1} \cdot C_{gd1} + \\ & \frac{(A_{v2} + 1)(r_{o1} + R_x) + r_{o2}}{A_{v1}(A_{v2} + 1) + 1} \cdot C_{gs1} + \\ & \frac{r_{o1} + R_x}{A_{v1}(A_{v2} + 1) + 1} \cdot C_{di} \end{aligned} \quad (4.2)$$

$$\begin{aligned} \beta = & \frac{(A_{v1} + 1)(R_x(A_{v2} + 1) + r_{o2})}{A_{v1}(A_{v2} + 1) + 1} \cdot C_{gd1} \cdot \frac{r_{o1}}{A_{v1} + 1} \cdot C_{gs1} + \\ & \frac{(A_{v1} + 1)(R_x(A_{v2} + 1) + r_{o2})}{A_{v1}(A_{v2} + 1) + 1} \cdot C_{gd1} \cdot \frac{r_{o2} \cdot R_x(A_{v1} + 1) + r_{o1}(r_{o2} + R_x)}{(A_{v1} + 1)(R_x(A_{v2} + 1) + r_{o2})} \cdot C_{di} + \\ & \frac{A_{v2}(r_{o1} + R_x) + r_{o1} + r_{o2} + R_x}{A_{v1}(A_{v2} + 1) + 1} \cdot C_{gs1} \cdot \frac{r_{o2}(r_{o1} - R_x)}{(A_{v2} + 1)(r_{o1} - R_x) + r_{o2}} \cdot C_{di} \end{aligned} \quad (4.3)$$

$$\begin{aligned} \gamma = & \frac{(A_{v1} + 1)(R_x(A_{v2} + 1) + r_{o2})}{A_{v1}(A_{v2} + 1) + 1} \cdot C_{gd1} \cdot \frac{r_{o1}}{A_{v1} + 1} \cdot C_{gs1} \cdot \\ & \frac{1}{g_{m2} + (1/r_{o2}) + (1/R_x)} \cdot C_{di} \end{aligned} \quad (4.4)$$

La solución presenta un polo real y 2 polos complejos conjugados (como era de esperarse de ver el diagrama de Bode en LTspice), pero es una expresión complicada de observar y no entrega mucha intuición para el diseño. Por ello se hacen simplificaciones razonables al denominador (4.1), se asume que $|A_{v1}| \gg 1$, $|A_{v2}| \gg 1$, y que los valores de R_x , r_{o1} y r_{o2} son del mismo orden de magnitud. Con estas simplificaciones se llega al denominador (4.5), donde δ , ϵ y ζ corresponden a (4.6), (4.7) y (4.8) respectivamente.

$$1 + \delta \cdot s + \epsilon \cdot s^2 + \zeta \cdot s^3 \quad (4.5)$$

$$\delta = R_x \cdot C_{gd1} + \frac{r_{o1} + R_x + r_{o2}}{A_{v1}} \cdot C_{gs1} + \frac{r_{o1} + R_x}{A_{v1} \cdot A_{v2}} \cdot C_{di} \quad (4.6)$$

$$\epsilon = \frac{R_x \cdot r_{o1}}{A_{v1}} \cdot C_{gd1} \cdot C_{gs1} + \frac{r_{o2} R_x}{A_{v2}} \cdot C_{gd1} \cdot C_{di} + \frac{(r_{o1} - R_x) r_{o2}}{A_{v1} \cdot A_{v2}} \cdot C_{gs1} \cdot C_{di} \quad (4.7)$$

$$\zeta = R_x \cdot C_{gd1} \cdot \frac{r_{o1}}{A_{v1}} \cdot C_{gs1} \cdot \frac{C_{di}}{g_{m2} + (1/r_{o2}) + (1/R_x)} \quad (4.8)$$

Las ecuaciones aproximadas debe usarse con extremo cuidado, prefiriéndose las expresiones exactas. Sin embargo se presentan las aproximaciones para que el lector pueda tener una intuición del comportamiento del sistema.

Ancho de Banda del circuito

Un enfoque usual para determinar el ancho de banda del circuito es utilizar la técnica $OC\tau$. Sin embargo esa técnica asume que el circuito analizado posee un polo dominante, lo cual no ocurre cuando este TIA se conecta a un detector de alta capacitancia (alto C_d). La alta capacitancia de los detectores SiPM/MPPC hacen que, en general, se tenga un polo complejo conjugado en el sistema resultante. Por ello, se ve que la forma más certera de obtener el valor numérico del ancho de banda del circuito es calcularlo directamente mediante programas computacionales a partir del denominador exacto visto en las ecuaciones (4.1), (4.2), (4.3) y (4.4) y las *lookup tables* de la técnica g_m/I_D obtenidas para la tecnología.

Margen de fase del RC-G

Para el análisis de estabilidad de este circuito, se usó el análisis de razón de retorno. Partiendo desde el circuito de la figura 4.1, se rompe el lazo en el transistor M2, resultando el circuito de pequeña señal mostrado en la figura 4.4.

Esto arroja la ganancia de lazo ($T(s)$) igual a la expresión en (4.9), donde a , b , c , d y e corresponden a (4.10), (4.11), (4.12), (4.13) y (4.14) respectivamente.

$$T(s) = \frac{A_{v1}A_{v2}}{A_{v1} + 1} \cdot \frac{s^2 \cdot a + s \cdot b + 1}{s^3 \cdot c + s^2 \cdot d + s \cdot e + 1} \quad (4.9)$$

$$a = \left(R_x + \frac{R_x}{A_1} \right) \cdot C_{gd1} \cdot C_{gs1} \cdot \left(\frac{1}{g_{m1} + 1/r_{o1}} \right) \quad (4.10)$$

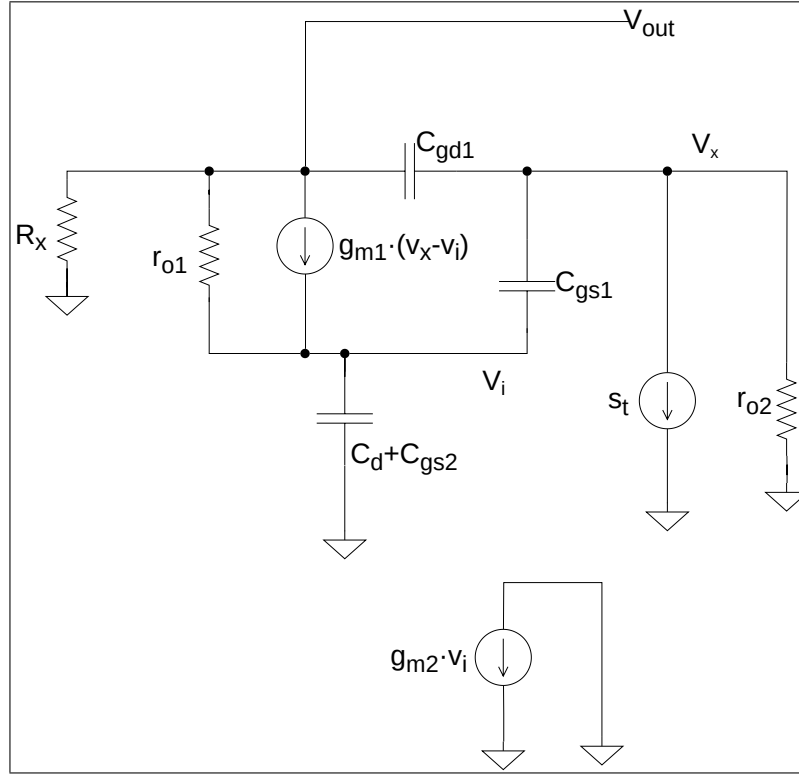


Figura 4.4. Circuito usado para el análisis de razón de retorno del *Regulated Common-Gate*.

$$b = \left(R_x + \frac{R_x}{A_1} \right) \cdot C_{gd1} + \left(\frac{R_x + r_{o1}}{A_{v1}} \right) \cdot C_{gs1} \quad (4.11)$$

$$c = (R_x + r_{o2}) \cdot C_{gd1} \cdot \frac{r_{o1}}{A_{v1} + 1} \cdot C_{gs1} \cdot \frac{R_x r_{o2}}{R_x + r_{o2}} \cdot C_{di} \quad (4.12)$$

$$d = (R_x + r_{o2}) \cdot C_{gd1} \cdot \frac{r_{o1}}{A_{v1} + 1} \cdot C_{gs1} + (R_x + r_{o2}) \cdot C_{gd1} \cdot \frac{R_x(r_{o2}(A_{v1} + 1) + r_{o1}) + r_{o1}r_{o2}}{(R_x + r_{o2})(A_{v1} + 1)} \cdot C_{di} + \left(\frac{R_x + r_{o1} + r_{o2}}{A_{v1} + 1} \right) \cdot C_{gs1} \cdot \frac{r_{o2}(R_x + r_{o1})}{R_x + r_{o1} + r_{o2}} \cdot C_{di} \quad (4.13)$$

$$e = (R_x + r_{o2}) \cdot C_{gd1} + \left(\frac{R_x + r_{o1} + r_{o2}}{A_{v1} + 1} \right) \cdot C_{gs1} + \left(\frac{R_x + r_{o1}}{A_{v1} + 1} \right) \cdot C_{di} \quad (4.14)$$

Es claro que difícilmente se podrá determinar la estabilidad “a mano” a partir de las ecuaciones anteriores. Es por ello que estas son introducidas a un programa de computación científica, el cual permite establecer el margen de fase que poseerá el circuito. El margen de fase se usará como criterio para juzgar la estabilidad del circuito.

Cálculo de ruido del RC-G

Al igual que en los análisis anteriores, el circuito del TIA es el de la figura 4.1. No se incluyó la capacitancia de carga en el análisis de ruido para simplificar el análisis y porque la intuición dice que el ruido a la salida solo disminuirá al colgar una capacitancia en el nodo de salida. Por ello el resultado real solo podría mejorar respecto al teórico (esto solo en referencia al ruido). Luego, el modelo en pequeña señal que se analiza es el ya mostrado en la figura 4.3.

Usando el teorema de 3-Elementos Extras (R. D. Middlebrook y cols., 1998), se procede a simplificar el análisis, tomándose como elementos extra las capacitancias. Las 3 fuentes de ruido consideradas son la resistencia R_x y los 2 transistores. Para el análisis de ruido de la resistencia R_x se usa el circuito de la figura 4.5, para el del transistor M1 se usa el de la figura 4.6 y para el del transistor M2 el de la figura 4.7.

Desde estos circuitos, se obtienen las funciones de transferencia de ruido NTF. La NTF exacta para R_x se ve en las ecuaciones (4.15), mientras que las NTF exacta para el transistor M1 y M2 se ve en (4.16) y (4.17) respectivamente. El operador paralelo (\parallel)¹ representa

¹Este operador proviene de la resistencia resultante de ubicar 2 resistores en paralelo.

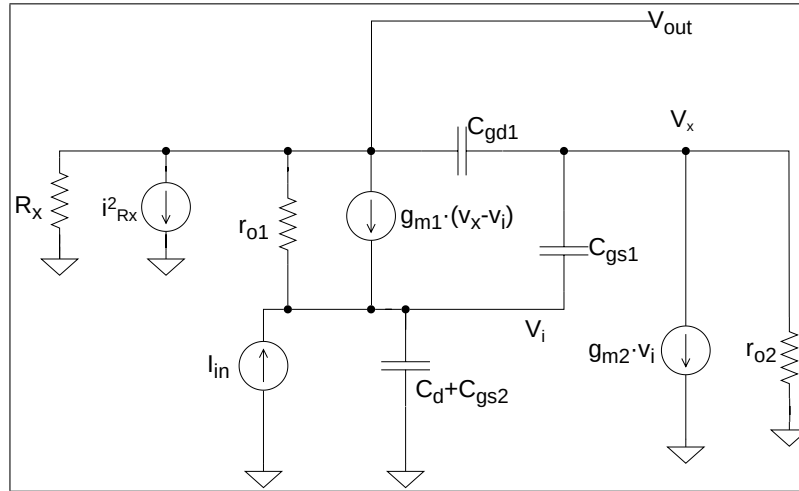


Figura 4.5. Circuito para el cálculo de ruido de resistencia R_x .

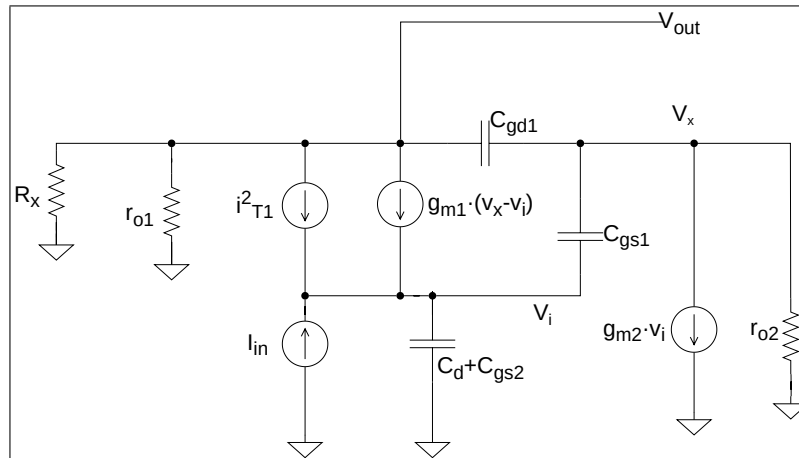


Figura 4.6. Circuito para el cálculo de ruido de transistor $M1$.

la operación: $a \parallel b = \frac{a \cdot b}{a + b}$.

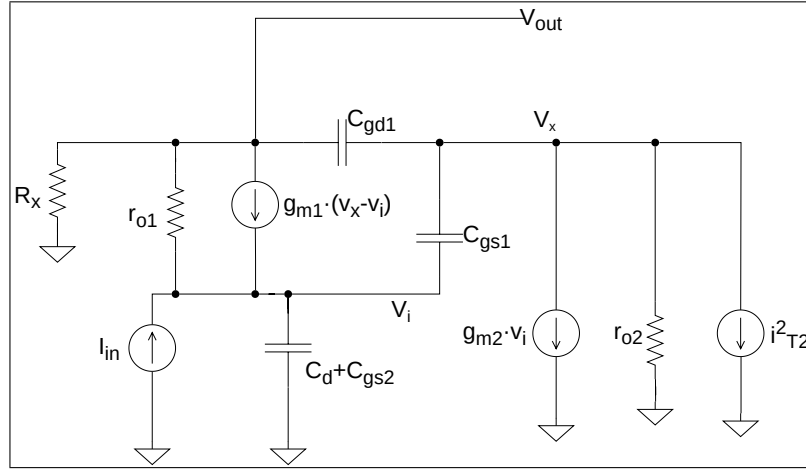


Figura 4.7. Circuito para el cálculo de ruido de transistor M2.

$$\left\{ \begin{aligned}
 NTF_{R_x} &= (R_x \parallel r_{o1}) \cdot \frac{Num(s)}{Den(s)} \\
 Den(s) &= 1 + \frac{r_{o2} + (A_{o2} + 1)(R_x + r_{o1})}{s \cdot C_{di} r_{o2} (R_x + r_{o1})} + s \cdot C_{gd1} (R_x \parallel r_{o1}) + \frac{1}{s \cdot C_{gs1} r_{o2}} + \\
 &\quad \frac{r_{o2} + (A_{o2} + 1)(R_x + r_{o1})}{s \cdot C_{di} r_{o2} (R_x + r_{o1})} \cdot s \cdot C_{gd1} \left(r_{o1} \parallel \left(\frac{R_x (A_{o2} + 1) + r_{o2}}{A_{o2} + 1} \right) \right) + \\
 &\quad \frac{r_{o2} + (A_{o2} + 1)(R_x + r_{o1})}{s \cdot C_{di} r_{o2} (R_x + r_{o1})} \cdot \frac{1 + A_{o1} + A_{o1} \cdot A_{o2}}{s \cdot C_{gs1} ((A_{o2} + 1)(R_x + r_{o1}) + r_{o2})} + s \cdot C_{gd1} (R_x \parallel r_{o1}) \cdot \frac{1 + g_{m1} (R_x \parallel r_{o1} \parallel r_{o2})}{s \cdot C_{gs1} (R_x \parallel r_{o1} \parallel r_{o2})} + \\
 &\quad \frac{r_{o2} + (A_{o2} + 1)(R_x + r_{o1})}{s \cdot C_{di} r_{o2} (R_x + r_{o1})} \cdot s \cdot C_{gd1} \left(r_{o1} \parallel \left(\frac{R_x (A_{o2} + 1) + r_{o2}}{A_{o2} + 1} \right) \right) \cdot \frac{1 + A_{o2}}{s \cdot C_{gs1} r_{o1}} \\
 Num(s) &= 1 + \frac{1 + g_{m2} (r_{o1} \parallel r_{o2})}{s \cdot C_{di} (r_{o1} \parallel r_{o2})} + \frac{1}{s \cdot C_{gs1} r_{o2}} + \frac{C_{gd1}}{C_{di}} + \\
 &\quad \frac{1 + g_{m2} (r_{o1} \parallel r_{o2})}{s \cdot C_{di} (r_{o1} \parallel r_{o2})} \cdot \frac{A_{o1} (A_{o2} + 1) + 1}{s \cdot C_{gs1} (r_{o1} (A_{o2} + 1) + r_{o2})} + \frac{C_{gd1}}{C_{gs1}} + \frac{C_{gd1}}{C_{di}} \cdot \frac{A_{o1} + 1}{s \cdot C_{gs1} r_{o1}}
 \end{aligned} \right. \quad (4.15)$$

$$\left\{ \begin{array}{l}
NTF_{T1} = -(R_x \parallel r_{o1}) \cdot \frac{Num(s)}{Den(s)} \\
Den(s) = 1 + \frac{r_{o2} + (A_{o2} + 1)(R_x + r_{o1})}{s \cdot C_{di} r_{o2} (R_x + r_{o1})} + s \cdot C_{gd1} (R_x \parallel r_{o1}) + \frac{1}{s \cdot C_{gs1} r_{o2}} + \\
\frac{r_{o2} + (A_{o2} + 1)(R_x + r_{o1})}{s \cdot C_{di} r_{o2} (R_x + r_{o1})} \cdot s \cdot C_{gd1} \left(r_{o1} \parallel \left(\frac{R_x (A_{o2} + 1) + r_{o2}}{A_{o2} + 1} \right) \right) + \\
\frac{r_{o2} + (A_{o2} + 1)(R_x + r_{o1})}{s \cdot C_{di} r_{o2} (R_x + r_{o1})} \cdot \frac{1 + A_{o1} + A_{o1} \cdot A_{o2}}{s \cdot C_{gs1} ((A_{o2} + 1)(R_x + r_{o1}) + r_{o2})} + s \cdot C_{gd1} (R_x \parallel r_{o1}) \cdot \frac{1 + g_{m1} (R_x \parallel r_{o1} \parallel r_{o2})}{s \cdot C_{gs1} (R_x \parallel r_{o1} \parallel r_{o2})} + \\
\frac{r_{o2} + (A_{o2} + 1)(R_x + r_{o1})}{s \cdot C_{di} r_{o2} (R_x + r_{o1})} \cdot s \cdot C_{gd1} \left(r_{o1} \parallel \left(\frac{R_x (A_{o2} + 1) + r_{o2}}{A_{o2} + 1} \right) \right) \cdot \frac{1 + A_{o2}}{s \cdot C_{gs1} r_{o1}} \\
Num(s) = 1 + \frac{A_{o2} + 1}{s \cdot C_{di} r_{o2}} + \frac{1}{s \cdot C_{gs1} r_{o2}} + \frac{C_{gd1}}{C_{gs1}} + \frac{C_{gd1} \cdot g_{m2}}{s \cdot C_{gs1} C_{di}}
\end{array} \right. \quad (4.16)$$

$$\left\{ \begin{array}{l}
NTF_{T2} = \frac{R_x \parallel r_{o1} \parallel r_{o2}}{1 + g_{m1} (R_x \parallel r_{o1} \parallel r_{o2})} \cdot \frac{Den(s)}{Num(s)} \\
Den(s) = 1 + \frac{(A_{o1} + 1)(g_{m2} (R_x \parallel r_{o2}) + 1)}{s \cdot C_{di} ((R_x \parallel r_{o2})(A_{o1} + 1) + r_{o1})} + \frac{1}{s \cdot C_{gd1} ((R_x \parallel r_{o1}) + r_{o2} (g_{m1} (R_x \parallel r_{o1}) + 1))} + \\
\frac{s \cdot C_{gs1} (R_x \parallel r_{o1} \parallel r_{o2})}{1 + g_{m1} (R_x \parallel r_{o1} \parallel r_{o2})} + \frac{(A_{o1} + 1)(g_{m2} (R_x \parallel r_{o2}) + 1)}{s \cdot C_{di} ((R_x \parallel r_{o2})(A_{o1} + 1) + 1)} \cdot \frac{1}{s \cdot C_{gd1} (R_x + r_{o2})} + \\
\frac{(A_{o1} + 1)(g_{m2} (R_x \parallel r_{o2}) + 1)}{s \cdot C_{di} ((R_x \parallel r_{o2})(A_{o1} + 1) + r_{o1})} \cdot \frac{s \cdot C_{gs1} r_{o1}}{A_{o1} + 1} + \frac{s \cdot C_{gs1} r_{o2}}{s \cdot C_{gd1} ((R_x \parallel r_{o2}) + r_{o2} (g_{m1} (R_x \parallel r_{o1}) + 1))} + \\
\frac{(A_{o1} + 1)(g_{m2} (R_x \parallel r_{o2}) + 1)}{s \cdot C_{di} ((R_x \parallel r_{o2})(A_{o1} + 1) + r_{o1})} \cdot \frac{1}{s \cdot C_{gd1} (R_x + r_{o2})} \cdot \frac{s \cdot C_{gs1} ((R_x + r_{o1})(A_{o2} + 1) + r_{o2})}{A_{o1} \cdot A_{o2} + A_{o1} + 1} \\
Num(s) = 1 + \frac{A_{o1} + 1}{s \cdot C_{di} r_{o1}} - \frac{g_{m1}}{s \cdot C_{gd1}} + \frac{C_{gs1}}{C_{di}} + \frac{C_{gs1}}{s \cdot C_{di} r_{o1} C_{gd1}}
\end{array} \right. \quad (4.17)$$

Las ecuaciones (4.15), (4.16) y (4.17) no entregan intuición sobre el comportamiento del circuito, y es complicada su escritura; lo último, genera que sea complejo usarlas tanto en trabajo algebraico a mano como en simulaciones computacionales. Es por ello que se realizan una serie de aproximaciones para simplificar estas expresiones. Las aproximaciones para la NTF de la resistencia R_x para su denominador se ve en (4.18) y para su numerador en (4.19). De forma análoga, las aproximaciones para el denominador y numerador de la NTF del transistor M1 se ven en (4.18) (las mismas que para el denominador de la NTF de R_x) y (4.20) respectivamente. Para el denominador del transistor M2 las aproximaciones se ven en (4.21), y para su numerador en (4.22).

$$\left\{ \begin{array}{l} A_{o1} + 1 \approx A_{o1} \\ A_{o2} + 1 \approx A_{o2} \\ A_{o2}(R_x + r_{o1}) \gg r_{o2} \Rightarrow r_{o2} \parallel (A_{o2}(R_x + r_{o1})) \approx r_{o2} \\ R_x + \frac{1}{g_{m2}} \approx R_x \Rightarrow r_{o1} \parallel \left(R_x + \frac{1}{g_{m2}} \right) \approx r_{o1} \parallel R_x \\ g_{m1}(R_x \parallel r_{o1} \parallel r_{o2}) \gg 1 \Rightarrow g_{m1}(R_x \parallel r_{o1} \parallel r_{o2}) \parallel 1 \approx 1 \end{array} \right. \quad (4.18)$$

$$\left\{ \begin{array}{l} 1 + g_{m2}(r_{o1} \parallel r_{o2}) \approx g_{m2}(r_{o1} \parallel r_{o2}) \\ A_{o1}(A_{o2} + 1) \approx A_{o1} \cdot A_{o2} \\ r_{o1}(A_{o2} + 1) \approx r_{o1} \cdot A_{o2} \\ A_{o1} + 1 \approx A_{o1} \\ A_{o2} \cdot r_{o1} + r_{o2} \approx A_{o2} \cdot r_{o1} \end{array} \right. \quad (4.19)$$

$$\left\{ \begin{array}{l} A_{o2} + 1 \approx A_{o2} \end{array} \right. \quad (4.20)$$

$$\left\{ \begin{array}{l} A_{o1} + 1 \approx A_{o1} \\ A_{o2} + 1 \approx A_{o2} \\ A_{o1} \cdot A_{o2} + A_{o1} + 1 \approx A_{o1} \cdot A_{o2} \\ 1 + g_{m1}(R_x \parallel r_{o1} \parallel r_{o2}) \approx g_{m1}(R_x \parallel r_{o1} \parallel r_{o2}) \\ g_m(R_x \parallel r_o) + 1 \approx g_m(R_x \parallel r_o) \\ (R_x \parallel r_{o1}) + g_{m1}r_{o2}(R_x \parallel r_{o1}) \approx g_{m1}r_{o2}(R_x \parallel r_{o1}) \\ A_{o2}(R_x + r_{o1}) + r_{o2} \approx A_{o2}(R_x + r_{o1}) \\ A_{o1}(R_x \parallel r_{o2}) + r_{o1} \approx A_{o1}(R_x \parallel r_{o2}) \\ r_{o1} \approx r_{o2} \end{array} \right. \quad (4.21)$$

$$\left\{ \begin{array}{l} A_{o1} + 1 + \frac{C_{gs1}}{C_{gd1}} \approx A_{o1} \\ \frac{1}{C_{di}} - \frac{1}{C_{gd1}} \approx -\frac{1}{C_{gd1}} \end{array} \right. \quad (4.22)$$

Con todas esas aproximaciones, se pueden simplificar las ecuaciones de las NTF, resultando (4.23), (4.24) y (4.25).

$$\left\{ \begin{array}{l} NTF_{Rx} = (R_x \parallel r_{o1}) \cdot \\ \frac{\frac{g_{m1} \cdot g_{m2}}{s^2 \cdot C_{di} C_{gs1}} + \frac{1}{s \cdot C_{gs1} r_{o2}} + \frac{C_{gd1}}{C_{gs1}} + 1}{1 + C_{gd1}(R_x \parallel r_{o1}) \cdot s + \frac{1}{s \cdot C_{gs1} r_{o2}} + \frac{g_{m2} A_{o1}}{s^2 \cdot C_{gs1} C_{di}(R_x + r_{o1})} + \frac{C_{gd1} g_{m1}(R_x + r_{o1})}{C_{gs1}}} \end{array} \right. \quad (4.23)$$

$$\left\{ \begin{array}{l} NTF_{T1} = -(R_x \parallel r_{o1}) \cdot \\ \frac{1 + \frac{C_{gd1}}{C_{gs1}} + \frac{1}{s} \left(\frac{g_{m2}}{C_{di}} \left(1 + \frac{C_{gd1}}{C_{gs1}} \right) + \frac{1}{C_{gs1} r_{o2}} \right)}{1 + C_{gd1}(R_x \parallel r_{o1}) \cdot s + \frac{1}{s \cdot C_{gs1} r_{o2}} + \frac{g_{m2} A_{o1}}{s^2 \cdot C_{gs1} C_{di}(R_x + r_{o1})} + \frac{C_{gd1} g_{m1}(R_x + r_{o1})}{C_{gs1}}} \end{array} \right. \quad (4.24)$$

$$\left\{ \begin{aligned} NTF_{T2} &= \frac{R_x \| r_{o1} \| r_{o2}}{1 + g_{m1}(R_x \| r_{o1} \| r_{o2})} \cdot \\ &\frac{1 - \frac{g_{m1}}{s \cdot C_{gd1}} + \frac{C_{gs1}}{C_{di}}}{1 + \frac{1}{s} \left(\frac{g_{m2}}{C_{di}} + \frac{1}{g_{m1} r_{o2} (R_x \| r_{o1}) C_{gd1}} \right) + \frac{1}{s^2} \left(\frac{g_{m2}}{C_{di} \cdot C_{gd1} (R_x + r_{o2})} \right) + s \cdot \frac{C_{gs1}}{g_{m1}} + \frac{C_{gs1}}{g_{m1}} \left(\frac{g_{m2}}{C_{di}} + \frac{1}{C_{gd1} (R_x \| r_{o1})} \right)} \end{aligned} \right. \quad (4.25)$$

Hasta aquí se han obtenido las NTF para cada componente ruidoso considerado. Ahora se procede a calcular la integral de estas funciones de transferencia, la cual arrojará el ruido integrado total RMS de cada componente. Para el cálculo de las integrales se usan los resultados del artículo (Dastgheib y Murmann, 2008).

Para el ruido electrónico de la resistencia R_x se ve que la expresión exacta para la integral desde frecuencia cero hasta infinito del módulo del cuadrado de la NTF es (4.26), donde $Num(s)$ es el numerador de la expresión y $Den(s)$ el denominador.

$$\left\{ \begin{aligned} \int_0^\infty |NTF_{Rx}|^2 df &= \frac{Num(s)}{Den(s)} \\ Num(s) &= \frac{1}{4} \left(\frac{C_{gd1}}{C_{gs1}} + 1 \right)^2 \cdot \left(\frac{1}{C_{gs1} r_{o2}} \right) \left(\frac{g_{m2} A_{o1}}{C_{gs1} C_{di} (R_x + r_{o1})} \right) + \left(\frac{1}{C_{gs1} r_{o2}} \right)^2 \\ &\quad C_{gd1} (R_x \| r_{o1}) \cdot \left(\frac{g_{m2} A_{o1}}{C_{gs1} C_{di} (R_x + r_{o1})} \right) + \left(\frac{g_{m1} g_{m2}}{C_{di} C_{gs1}} \right)^2 \cdot C_{gd1} (R_x \| r_{o1}) \\ &\quad \left(1 + \frac{C_{gd1} g_{m1} (R_x + r_{o1})}{C_{gs1}} \right) - 2 \cdot \left(\frac{C_{gd1}}{C_{gs1}} + 1 \right) \left(\frac{g_{m1} g_{m2}}{C_{di} C_{gs1}} \right) \cdot C_{gd1} (R_x \| r_{o1}) \left(\frac{g_{m2} A_{o1}}{C_{gs1} C_{di} (R_x + r_{o1})} \right) \\ Den(s) &= C_{gd1} \left(\left(1 + \frac{C_{gd1} g_{m1} (R_x + r_{o1})}{C_{gs1}} \right) \cdot \frac{1}{C_{gs1} r_{o2}} - C_{gd1} (R_x \| r_{o1}) \frac{g_{m2} A_{o1}}{C_{gs1} C_{di} (R_x + r_{o1})} \right) \end{aligned} \right. \quad (4.26)$$

Luego, si se aplican las simplificaciones (4.27), se puede aproximar la expresión (4.26) por la ecuación (4.28). Para el cálculo del ruido integrado total y su posterior comparación

con las simulaciones, se usó la expresión aproximada (4.28), dado lo complejo de la expresión más exacta.

$$\begin{cases} \frac{C_{gd1}}{C_{gs1}} + 1 \approx 1 \\ 1 + \frac{C_{gd1}(R_x \parallel r_{o1})}{C_{gs1}r_{o2}} \approx 1 \\ \left(\frac{g_{m1}g_{m2}}{C_{di}C_{gs1}} \right) \frac{C_{gd1}g_{m1}(R_x+r_{o1})}{C_{gs1}} - 2 \frac{g_{m2}A_{o1}}{C_{gs1}C_{di}(R_x+r_{o1})} \approx \left(\frac{g_{m1}g_{m2}}{C_{di}C_{gs1}} \right) \frac{C_{gd1}g_{m1}(R_x+r_{o1})}{C_{gs1}} \end{cases} \quad (4.27)$$

$$\int_0^\infty |NTF_{Rx}|^2 df \approx \frac{1}{4} \cdot \frac{R_x r_{o1}}{C_{gd1}^2} \cdot \frac{\frac{1}{r_{o2}(R_x+r_{o1})} + \frac{g_{m1}^2 \cdot g_{m2} C_{gd1}^2 R_x}{C_{di} C_{gs1}}}{\frac{g_{m1}(R_x+r_{o1})}{C_{gs1}r_{o2}} - \frac{(R_x \parallel r_{o1})g_{m2}A_{o1}}{C_{di}(R_x+r_{o1})}} \quad (4.28)$$

Para el ruido electrónico aportado por el transistor M1 se ve que la expresión exacta para la integral desde frecuencia cero hasta infinito del módulo del cuadrado de la NTF es (4.29).

$$\begin{cases} \int_0^\infty |NTF_{T1}|^2 df = \frac{1}{4}(R_x \parallel r_{o1}) \\ \left(\left(1 + \frac{C_{gd1}}{C_{gs1}} \right)^2 \frac{1}{C_{gs1}r_{o2}} + \left(\frac{g_{m2}}{C_{di}} \left(1 + \frac{C_{gd1}}{C_{gs1}} \right) + \frac{1}{C_{gs1}r_{o2}} \right)^2 \cdot C_{gd1}(R_x \parallel r_{o1}) \right) \\ \cdot \frac{1}{C_{gd1} \left(\left(1 + \frac{C_{gd1}g_{m1}(R_x+r_{o1})}{C_{gs1}} \right) \cdot \frac{1}{C_{gs1}r_{o2}} - C_{gd1}(R_x \parallel r_{o1}) \frac{g_{m2}A_{o1}}{C_{gs1}C_{di}(R_x+r_{o1})} \right)} \end{cases} \quad (4.29)$$

Luego, se realizan aproximaciones para que esta expresión sea más intuitiva. No obstante, la expresión (4.29) fue la usada para contrastarse con las simulaciones.

Haciendo las aproximaciones (4.30).

$$\begin{cases} 1 + \frac{C_{gd1}g_{m1}(R_x+r_{o1})}{C_{gs1}} \approx \frac{C_{gd1}g_{m1}(R_x+r_{o1})}{C_{gs1}} \\ \frac{C_{gd1}(R_x \parallel r_{o1})g_{m2}}{C_{di}} \ll 1 + \frac{C_{gd1}}{C_{gs1}} \\ \frac{1}{C_{gs1}r_{o2}} \gg \frac{C_{gd1}(R_x \parallel r_{o1})g_{m2}^2}{C_{di}} \\ \left(1 + \frac{C_{gd1}}{C_{gs1}}\right)^2 + C_{gd1}(R_x \parallel r_{o1}) \left(\frac{1}{C_{gs1}r_{o2}}\right) \approx \left(1 + \frac{C_{gd1}}{C_{gs1}}\right)^2 \end{cases} \quad (4.30)$$

Resulta que la integral obtenida más aproximada, desde frecuencia cero hasta infinito del módulo del cuadrado de la NTF del transistor M1, es (4.31).

$$\int_0^\infty |NTF_{T1}|^2 df \approx \frac{1}{4} \cdot \frac{R_x \parallel r_{o1}}{r_{o2}} \cdot \frac{\left(\frac{1}{C_{gd1}} + \frac{1}{C_{gs1}}\right)^2}{\frac{g_{m1}(R_x+r_{o1})}{C_{gs1}r_{o2}} - \frac{(R_x \parallel r_{o1})g_{m2}A_{o1}}{C_{di}(R_x+r_{o1})}} \quad (4.31)$$

Por otro lado, para el aporte de ruido del transistor M2 se ve que la expresión exacta para la integral desde frecuencia cero hasta infinito del módulo del cuadrado de la NTF es (4.32).

$$\begin{cases} \int_0^\infty |NTF_{T2}|^2 df = \frac{1}{4} \left(\frac{R_x \parallel r_{o1} \parallel r_{o2}}{1 + g_{m1}(R_x \parallel r_{o1} \parallel r_{o2})} \right)^2 \cdot \\ \frac{\left(1 + \frac{C_{gs1}}{C_{di}}\right)^2 \left(\frac{g_{m2}}{C_{di}} + \frac{1}{g_{m1}r_{o2}(R_x \parallel r_{o1})C_{gd1}} \right) + \left(\frac{g_{m1}}{C_{gd1}}\right)^2 \left(\frac{C_{gs1}}{g_{m1}}\right)}{\frac{C_{gs1}}{g_{m1}} \left(\left(1 + \frac{C_{gs1}}{g_{m1}} \left(\frac{g_{m2}}{C_{di}} + \frac{1}{C_{gd1}(R_x \parallel r_{o1})} \right) \right) \cdot \left(\frac{g_{m2}}{C_{di}} + \frac{1}{g_{m1}r_{o2}(R_x \parallel r_{o1})C_{gd1}} \right) - \frac{C_{gs1}}{g_{m1}} \left(\frac{g_{m2}}{C_{di}C_{gd1}(R_x+r_{o2})} \right) \right)} \end{cases} \quad (4.32)$$

Luego, se realizan aproximaciones para que esta expresión sea más intuitiva. No obstante, la expresión (4.32) fue la usada para contrastarse con las simulaciones.

Haciendo las aproximaciones (4.33).

$$\begin{cases} 1 + \frac{C_{gs1}}{g_{m1}} \left(\frac{g_{m2}}{C_{di}} + \frac{1}{C_{gd1}(R_x \parallel r_{o1})} \right) \approx 1 \\ 1 + \frac{C_{gs1}}{C_{di}} \approx 1 \\ \frac{g_{m2}}{C_{di}} + \frac{1}{g_{m1}r_{o2}(R_x \parallel r_{o1})C_{gd1}} \approx \frac{g_{m2}}{C_{di}} \end{cases} \quad (4.33)$$

Resulta que la integral obtenida más aproximada, desde frecuencia cero hasta infinito del módulo del cuadrado de la NTF del transistor M2, es (4.34).

$$\int_0^\infty |NTF_{T2}|^2 df \approx \frac{1}{4} \left(\frac{R_x \parallel r_{o1} \parallel r_{o2}}{1 + g_{m1}(R_x \parallel r_{o1} \parallel r_{o2})} \right)^2 \cdot \frac{\left(\frac{g_{m1}}{C_{gd1}} \right)^2}{\left[\left(\frac{C_{gs1}}{g_{m1}} \left(\frac{g_{m1}}{C_{gd1}} \right)^2 \right) \parallel \frac{g_{m2}}{C_{di}} \right] \left[1 - \frac{C_{gs1}}{g_{m1}C_{gd1}(R_x + r_{o2})} \right]} \quad (4.34)$$

Finalmente, para calcular el ruido integrado total, se multiplican las integrales anteriormente obtenidas por las fuentes de ruido electrónico. La expresión del ruido producido por la resistencia R_x , el transistor M1 y el transistor M2 se ven en las ecuaciones (4.35).

$$\begin{cases} \bar{i}_{Rx}^2 = 4 \cdot k_b \cdot T / R_x \\ \bar{i}_{T1}^2 = 4 \cdot k_b \cdot T \cdot \gamma \cdot g_{m1} \\ \bar{i}_{T2}^2 = 4 \cdot k_b \cdot T \cdot \gamma \cdot g_{m2} \end{cases} \quad (4.35)$$

Se evalúan las ecuaciones anteriores y se ven las simulaciones de ruido respectivas, apreciándose que el ruido referido a la salida del circuito se acerca mucho al ruido aportado por el transistor M2. Esto quiere decir que el componente que más ruido aporta es el transistor M2.

Por último, fue posible constatar que las expresiones algebraicas para las integrales desde cero hasta infinito del módulo del cuadrado de las NTF, arrojan resultados similares a los números obtenidos mediante integrales con métodos numéricos. Es por ello que en la evaluación de la otra alternativa de topología de TIA, se calculará el ruido integrado total confiando en los métodos de integración numérica.

4.1.2. Análisis del RC-G con *feedforward* o prealimentación

Al igual que en la sección 4.1.1, se realizan los cálculos de la función de transferencia, ancho de banda, margen de fase y ruido.

Función de transferencia del RC-G con *feedforward*

Para el cálculo de la función de transferencia, se usó el Teorema de 3-Elementos Extra (R. Middlebrook, 1989; R. D. Middlebrook y cols., 1998). Por otro lado, se hicieron las aproximaciones: $g_m r_o \gg 1$ y que R_x es pequeño en comparación a los r_o .

Partiendo del circuito de pequeña señal visto en la figura 4.8, se calcula la función de transferencia del TIA (v_{out}/i_{in}), llegándose a las expresiones (4.36) y (4.37); en las ecuaciones (4.36) y (4.37) se cumple que $R_X = R_{D1}$ y $R_T = R_{D3}$.

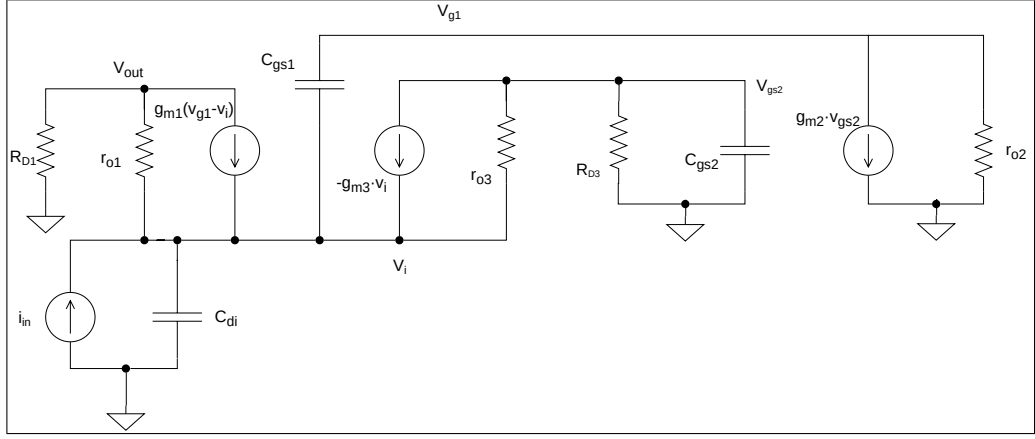


Figura 4.8. Esquemático del TIA prealimentado, pequeña señal.

$$\left\{ \begin{array}{l} H_{ref} = R_X \\ \frac{Y_2}{Y_{n2}} = \frac{s \cdot C_{gs2}}{A_{o2} g_{m3}} \\ \frac{Y_3}{Y_{n3}} = \frac{s \cdot C_{gs1} (R_T + r_{o3})}{A_{o1} g_{m2} A_{o3} R_T} \\ \frac{Y_3}{Y_{n3}^{(2)}} = \frac{s \cdot C_{gs1} r_{o2}}{A_{o1}} \\ \frac{Y_1}{Y_{d1}} = \frac{s \cdot C_{di}}{g_{m1} A_{o2} g_{m3} (r_{o3} \parallel R_T)} \\ \frac{Y_2}{Y_{d2}} = \frac{s \cdot C_{gs2}}{\left[\frac{1}{R_T} + A_{o2} (g_{m1} \parallel g_{m3}) \right]} \\ \frac{Y_3}{Y_{d3}} = \frac{s \cdot C_{gs1}}{g_{m1}} \\ \frac{Y_2}{Y_{d2}^{(1)}} = s \cdot C_{gs2} (r_{o3} \parallel R_T) \\ \frac{Y_3}{Y_{d3}^{(1)}} = s \cdot C_{gs1} r_{o2} \\ \frac{Y_3}{Y_{d3}^{(2)}} = \frac{s \cdot C_{gs1} (g_{m3} \cdot r_{o2})}{(g_{m1} + g_{m3})} \\ \frac{Y_3}{Y_{d3}^{(1,2)}} = s \cdot C_{gs1} r_{o2} \end{array} \right. \quad (4.36)$$

$$\frac{v_o}{i_{in\ TIA}} = H_{ref} \frac{1 + \frac{Y_2}{Y_{n2}} + \frac{Y_3}{Y_{n3}} + \frac{Y_3 Y_2}{Y_{n3}^{(2)} Y_{n2}}}{1 + \frac{Y_1}{Y_{d1}} + \frac{Y_2}{Y_{d2}} + \frac{Y_3}{Y_{d3}} + \frac{Y_1 Y_2}{Y_{d1} Y_{d2}^{(1)}} + \frac{Y_1 Y_3}{Y_{d1} Y_{d3}^{(1)}} + \frac{Y_2 Y_3}{Y_{d2} Y_{d3}^{(2)}} + \frac{Y_1 Y_2 Y_3}{Y_{d1} Y_{d2}^{(1)} Y_{d3}^{(1,2)}}} \quad (4.37)$$

Ancho de banda del circuito

Desde las ecuaciones (4.36) y (4.37) y desde las simulaciones se puede ver que el sistema no posee un polo dominante, sobre todo si la capacitancia del detector es alta y además se quiere un circuito lo más rápido posible. Por tanto el ancho de banda del sistema se calcula mediante un código computacional² y las ecuaciones (4.36) y (4.37).

No obstante lo anterior, se hace el esfuerzo de ganar intuición sobre el comportamiento de los polos del sistema. Para ello se decide implementar una visualización con curvas de nivel de la frecuencia de corte que generarán los polos del TIA sin considerar sus ceros ni la ganancia DC. Si se ve la función de transferencia, se aprecia que la capacitancia C_{di} relacionada con la capacitancia del detector, solo influye en los polos del sistema y no en sus ceros. Por tanto el supuesto de obviar los ceros para observar el comportamiento del sistema es válido para detectores de alta capacitancia, en donde la frecuencia de corte del sistema vendrá dada solo por los polos.

La función de transferencia generada solo por los polos del TIA es de 3^{er} orden. Por otro lado, si se tiene un denominador genérico de 3^{er} orden de la forma: $as^3 + bs^2 + cs + 1$, haciendo $s = j\omega$ e igualando el módulo del denominador a $\sqrt{2}$ se ve que la frecuencia de corte puede ser calculada mediante (4.38).

$$a^2\omega^6 - (2ac - b^2)\omega^4 - (2b - c^2)\omega^2 + 1 = 2 \quad (4.38)$$

Luego, se escoge hacer variables independientes de las curvas de nivel a las corrientes de los transistores 1 y 2 del TIA de la figura 4.2, mientras que se deja fija una frecuencia de corte determinada. De ese modo se debe escoger una frecuencia de corte deseada y el

²Este puede ser escrito en, por ejemplo: MATLAB, Python, Scilab, etc.

gráfico mostrará qué combinación de corrientes de los transistores 1 y 2 permitirá dicha frecuencia de corte.

Se observa que la corriente por el transistor M2 casi no influye en el BW del TIA. Las pruebas se hicieron para una capacitancia del detector de ≈ 1 pF, sin capacitancia de carga para el TIA, realizando aproximaciones como: $g_m \cdot r_o \gg 1$, $\frac{1}{R_{D3}} \approx 0$ y $R_{D3} \ll r_{o3}$, y sin considerar limitaciones o consistencia en los niveles de polarización de los transistores.

El valor de estas curvas de nivel reside en que entregan una intuición del efecto que tienen las corrientes en los desempeños de los circuitos; aspecto importante, pues la cantidad de corriente que circula por los transistores 1 y 2 es una variable de diseño. Para conocer el desempeño del circuito se debe recurrir a las expresiones exactas.

Estabilidad del RC-G con *feedforward*

Para el cálculo de la estabilidad de este TIA, primero se debe obtener la razón de retorno del lazo de realimentación. Partiendo desde el circuito de la figura 4.2, para determinar la razón de retorno, se decide romper el lazo de realimentación en el transistor M2. Dado que la aproximación de razón de retorno exige el cálculo del término A_∞ , que representa a la función de transferencia cuando hay realimentación ideal, se procede a su cálculo, resultando (4.39).

$$A_\infty = R_{D1} \quad (4.39)$$

Luego, si se considera que el modelo de pequeña señal del circuito de la figura 4.2 es el mostrado en la figura 4.8, se realizan los cálculos resultando que la razón de retorno es

la indicada en la ecuación (4.40) y (4.41); en (4.40) y (4.41) se cumple que $R_X = R_{D1}$ y $R_T = R_{D3}$.

$$\left\{ \begin{array}{l} H_{ref} = \frac{-A_{o2}R_T}{r_{o1}(R_T+r_{o3})} [A_{o1}(R_T+r_{o3}) \parallel A_{o3}r_{o1}] \\ \frac{Y_1}{Y_{d1}} = \frac{s \cdot C_{di}[A_{o1}(R_T+r_{o3}) \parallel A_{o3}r_{o1}]}{A_{o1}A_{o3}} \\ \frac{Y_2}{Y_{d2}} = \frac{s \cdot C_{gs2}}{\frac{1}{R_T} + \frac{g_{m1}}{g_{m1}r_{o3}+A_{o3}}} \\ \frac{Y_3}{Y_{d3}} = \frac{s \cdot C_{gs1}r_{o2}(A_{o3} \cdot r_{o1} + R_T)}{A_{o1}(R_T+r_{o3})+A_{o3} \cdot r_{o1}} \\ \frac{Y_1 Y_2}{Y_{d1} Y_{d2}^{(1)}} = \frac{s \cdot C_{di}[A_{o1}(R_T+r_{o3}) \parallel A_{o3}r_{o1}]}{A_{o1}A_{o3}} \cdot s \cdot C_{gs2} (R_T \parallel r_{o3}) \\ \frac{Y_1 Y_3}{Y_{d1} Y_{d3}^{(1)}} = \frac{s \cdot C_{di}[A_{o1}(R_T+r_{o3}) \parallel A_{o3}r_{o1}]}{A_{o1}A_{o3}} \cdot s \cdot C_{gs1}r_{o2} \\ \frac{Y_2 Y_3}{Y_{d2} Y_{d3}^{(2)}} = \frac{s \cdot C_{gs2}}{\frac{1}{R_T} + \frac{g_{m1}}{g_{m1}r_{o3}+A_{o3}}} \cdot \frac{s \cdot C_{gs1}A_{o3}r_{o2}r_{o1}}{A_{o3}r_{o1}+A_{o1}r_{o3}} \\ \frac{Y_1 Y_2 Y_3}{Y_{d1} Y_{d2}^{(1)} Y_{d3}^{(1,2)}} = \frac{s \cdot C_{di}[A_{o1}(R_T+r_{o3}) \parallel A_{o3}r_{o1}]}{A_{o1}A_{o3}} \cdot s^2 \cdot C_{gs2} (R_T \parallel r_{o3}) C_{gs1}r_{o2} \\ \frac{Y_3}{Y_{n3}} = \frac{s \cdot C_{gs1}}{g_{m1}} \end{array} \right. \quad (4.40)$$

$$R(s) = H_{ref} \frac{1 + \frac{Y_3}{Y_{n3}}}{1 + \frac{Y_1}{Y_{d1}} + \frac{Y_2}{Y_{d2}} + \frac{Y_3}{Y_{n3}} + \frac{Y_1 Y_2}{Y_{d1} Y_{d2}^{(1)}} + \frac{Y_1 Y_3}{Y_{d1} Y_{d3}^{(1)}} + \frac{Y_2 Y_3}{Y_{d2} Y_{d3}^{(2)}} + \frac{Y_1 Y_2 Y_3}{Y_{d1} Y_{d2}^{(1)} Y_{d3}^{(1,2)}}} \quad (4.41)$$

Luego, para determinar el margen de fase del sistema, se debe calcular el desfase (en grados) de la ganancia de lazo cuando su ganancia es unitaria. Como la ganancia de lazo resulta ser una expresión difícil de tratar a mano, se usa la ayuda de programas computacionales para estos cálculos. Finalmente la ganancia de lazo se usa como criterio para juzgar la estabilidad del circuito.

Cálculo de ruido del RC-G con *feedforward*

Para el cálculo de ruido referido a la salida del TIA, se sigue el procedimiento estándar de calcular la función de transferencia hasta la salida, para cada fuente de ruido. Luego se calcula la PSD para cada función de ruido.

A continuación se presentan las funciones de transferencia y PSD para cada fuente de ruido del TIA; en todos los casos se usaron las aproximaciones: $g_m r_o \gg 1$ y que R_{D1} es mucho menor que el resto de las resistencias en el circuito. Además se cumple que $R_X = R_{D1}$ y $R_T = R_{D3}$.

Para la contribución de ruido de la resistencia R_{D1} , la función de transferencia desde R_{D1} hasta la salida se ve en las ecuaciones (4.42) y (4.43).

$$\left\{ \begin{array}{l} H_{ref}^{R_X} = R_X \\ \frac{Y_1}{Y_{d1}} = \frac{s \cdot C_{di}}{g_{m1} A_{o2} g_{m3} (r_{o3} \parallel R_T)} \\ \frac{Y_2}{Y_{d2}} = \frac{s \cdot C_{gs2}}{\left[\frac{1}{R_T} + A_{o2} (g_{m1} \parallel g_{m3}) \right]} \\ \frac{Y_3}{Y_{d3}} = \frac{s \cdot C_{gs1}}{g_{m1}} \\ \frac{Y_2}{Y_{d2}^{(1)}} = s \cdot C_{gs2} (r_{o3} \parallel R_T) \\ \frac{Y_3}{Y_{d3}^{(1)}} = s \cdot C_{gs1} r_{o2} \\ \frac{Y_3}{Y_{d3}^{(2)}} = \frac{s \cdot C_{gs1} (g_{m3} \cdot r_{o2})}{(g_{m1} + g_{m3})} \\ \frac{Y_3}{Y_{d3}^{(1,2)}} = s \cdot C_{gs1} r_{o2} \\ \frac{Y_1}{Y_{n1}} = \frac{s \cdot C_{di}}{g_{m1} A_{o2} g_{m3} (r_{o3} \parallel R_T)} \\ \frac{Y_2}{Y_{n2}} = \frac{s \cdot C_{gs2}}{A_{o2} (g_{m1} \parallel g_{m3})} \\ \frac{Y_3}{Y_{n3}} = \frac{s \cdot C_{gs1}}{g_{m1}} \\ \frac{Y_2}{Y_{n2}^{(1)}} = s \cdot C_{gs2} (r_{o3} \parallel R_T) \\ \frac{Y_3}{Y_{n3}^{(1)}} = s \cdot C_{gs1} r_{o2} \\ \frac{Y_3}{Y_{n3}^{(2)}} = \frac{s \cdot C_{gs1} g_{m3} r_{o2}}{g_{m1} + g_{m3}} \\ \frac{Y_3}{Y_{n3}^{(1,2)}} = s \cdot C_{gs1} r_{o2} \end{array} \right. \quad (4.42)$$

$$TF_{ruido}^{R_X} = H_{ref}^{R_X} \frac{1 + \frac{Y_1}{Y_{n1}} + \frac{Y_2}{Y_{n2}} + \frac{Y_3}{Y_{n3}} + \frac{Y_1 Y_2}{Y_{n1} Y_{n2}^{(1)}} + \frac{Y_1 Y_3}{Y_{n1} Y_{n3}^{(1)}} + \frac{Y_2 Y_3}{Y_{n2} Y_{n3}^{(2)}} + \frac{Y_1 Y_2 Y_3}{Y_{n1} Y_{n2}^{(1)} Y_{n3}^{(1,2)}}}{1 + \frac{Y_1}{Y_{d1}} + \frac{Y_2}{Y_{d2}} + \frac{Y_3}{Y_{d3}} + \frac{Y_1 Y_2}{Y_{d1} Y_{d2}^{(1)}} + \frac{Y_1 Y_3}{Y_{d1} Y_{d3}^{(1)}} + \frac{Y_2 Y_3}{Y_{d2} Y_{d3}^{(2)}} + \frac{Y_1 Y_2 Y_3}{Y_{d1} Y_{d2}^{(1)} Y_{d3}^{(1,2)}}} \quad (4.43)$$

Luego, la PSD del ruido aportado por la resistencia R_{D1} hacia la salida será (4.44).

$$PSD_{R_X} = \frac{4k_B T}{R_X} \cdot |TF_{ruido}^{R_X}|^2 \quad (4.44)$$

La contribución de ruido del transistor M1 hasta la salida aparece en las ecuaciones (4.45) y (4.46); el denominador de esta función de transferencia es el mismo que el de la ecuación (4.43), al igual que el resto de las funciones de transferencia de ruido.

$$\left\{ \begin{array}{l} H_{ref}^{T1} = \frac{-R_X}{g_{m1} A_{o2} R_T} \\ \frac{Y_1}{Y_{d1}} = \frac{s \cdot C_{di}}{g_{m1} A_{o2} g_{m3} (r_{o3} \parallel R_T)} \\ \frac{Y_2}{Y_{d2}} = \frac{s \cdot C_{gs2}}{\left[\frac{1}{R_T} + A_{o2} (g_{m1} \parallel g_{m3}) \right]} \\ \frac{Y_3}{Y_{d3}} = \frac{s \cdot C_{gs1}}{g_{m1}} \\ \frac{Y_2}{Y_{d2}^{(1)}} = s \cdot C_{gs2} (r_{o3} \parallel R_T) \\ \frac{Y_3}{Y_{d3}^{(1)}} = s \cdot C_{gs1} r_{o2} \\ \frac{Y_3}{Y_{d3}^{(2)}} = \frac{s \cdot C_{gs1} (g_{m3} r_{o2})}{(g_{m1} + g_{m3})} \\ \frac{Y_3}{Y_{d3}^{(1,2)}} = s \cdot C_{gs1} r_{o2} \\ \frac{Y_1}{Y_{n1}} = \frac{s \cdot C_{di} (R_T + r_{o3})}{A_{o3}} \\ \frac{Y_2}{Y_{n2}} = s \cdot C_{gs2} R_T \\ \frac{Y_3}{Y_{n3}} = s \cdot C_{gs1} A_{o2} R_T \\ \frac{Y_2}{Y_{n2}^{(1)}} = s \cdot C_{gs2} (r_{o3} \parallel R_T) \\ \frac{Y_3}{Y_{n3}^{(1)}} = s \cdot C_{gs1} r_{o2} \\ \frac{Y_3}{Y_{n3}^{(2)}} = s \cdot C_{gs1} r_{o2} \\ \frac{Y_3}{Y_{n3}^{(1,2)}} = s \cdot C_{gs1} r_{o2} \end{array} \right. \quad (4.45)$$

$$TF_{ruido}^{T1} = H_{ref}^{T1} \frac{1 + \frac{Y_1}{Y_{n1}} + \frac{Y_2}{Y_{n2}} + \frac{Y_3}{Y_{n3}} + \frac{Y_1 Y_2}{Y_{n1} Y_{n2}^{(1)}} + \frac{Y_1 Y_3}{Y_{n1} Y_{n3}^{(1)}} + \frac{Y_2 Y_3}{Y_{n2} Y_{n3}^{(2)}} + \frac{Y_1 Y_2 Y_3}{Y_{n1} Y_{n2}^{(1)} Y_{n3}^{(1,2)}}}{1 + \frac{Y_1}{Y_{d1}} + \frac{Y_2}{Y_{d2}} + \frac{Y_3}{Y_{d3}} + \frac{Y_1 Y_2}{Y_{d1} Y_{d2}^{(1)}} + \frac{Y_1 Y_3}{Y_{d1} Y_{d3}^{(1)}} + \frac{Y_2 Y_3}{Y_{d2} Y_{d3}^{(2)}} + \frac{Y_1 Y_2 Y_3}{Y_{d1} Y_{d2}^{(1)} Y_{d3}^{(1,2)}}} \quad (4.46)$$

Luego, la PSD del ruido aportado por el transistor M_1 hacia la salida será (4.47).

$$PSD_{T1} = 4k_B T \gamma g_{m1} \cdot |TF_{ruido}^{T1}|^2 \quad (4.47)$$

La contribución de ruido del transistor M3 hasta la salida aparece en las ecuaciones (4.48) y (4.49); el denominador de esta función de transferencia es el mismo que el de la ecuación (4.43), al igual que el resto de las funciones de transferencia de ruido.

$$\left\{ \begin{array}{l}
H_{ref}^{T3} = \frac{R_X}{A_{o2}g_{m3}R_T} \\
\frac{Y_1}{Y_{d1}} = \frac{s \cdot C_{di}}{g_{m1}A_{o2}g_{m3}(r_{o3} \parallel R_T)} \\
\frac{Y_2}{Y_{d2}} = \frac{s \cdot C_{gs2}}{\left[\frac{1}{R_T} + A_{o2}(g_{m1} \parallel g_{m3}) \right]} \\
\frac{Y_3}{Y_{d3}} = \frac{s \cdot C_{gs1}}{g_{m1}} \\
\frac{Y_2}{Y_{d2}^{(1)}} = s \cdot C_{gs2}(r_{o3} \parallel R_T) \\
\frac{Y_3}{Y_{d3}^{(1)}} = s \cdot C_{gs1}r_{o2} \\
\frac{Y_3}{Y_{d3}^{(2)}} = \frac{s \cdot C_{gs1}(g_{m3} \cdot r_{o2})}{(g_{m1} + g_{m3})} \\
\frac{Y_3}{Y_{d3}^{(1,2)}} = s \cdot C_{gs1}r_{o2} \\
\frac{Y_1}{Y_{n1}} = -s \cdot C_{di}R_TA_{o2} \\
\frac{Y_2}{Y_{n2}} = s \cdot C_{gs2}R_T \\
\frac{Y_3}{Y_{n3}} = s \cdot \frac{C_{gs1}A_{o2}R_T}{A_{o1}} \\
\frac{Y_2}{Y_{n2}^{(1)}} = 0 \\
\frac{Y_3}{Y_{n3}^{(1)}} = 0 \\
\frac{Y_3}{Y_{n3}^{(2)}} = s \cdot \frac{C_{gs1}r_{o2}}{A_{o1}} \\
\frac{Y_3}{Y_{n3}^{(1,2)}} = s \cdot C_{gs1}r_{o2}
\end{array} \right. \quad (4.48)$$

$$TF_{ruido}^{T3} = H_{ref}^{T3} \frac{1 + \frac{Y_1}{Y_{n1}} + \frac{Y_2}{Y_{n2}} + \frac{Y_3}{Y_{n3}} + \frac{Y_2Y_3}{Y_{n2}Y_{n3}^{(2)}}}{1 + \frac{Y_1}{Y_{d1}} + \frac{Y_2}{Y_{d2}} + \frac{Y_3}{Y_{d3}} + \frac{Y_1Y_2}{Y_{d1}Y_{d2}^{(1)}} + \frac{Y_1Y_3}{Y_{d1}Y_{d3}^{(1)}} + \frac{Y_2Y_3}{Y_{d2}Y_{d3}^{(2)}} + \frac{Y_1Y_2Y_3}{Y_{d1}Y_{d2}^{(1)}Y_{d3}^{(1,2)}}} \quad (4.49)$$

Luego, la PSD del ruido aportado por el transistor M_3 hacia la salida será (4.50).

$$PSD_{T3} = 4k_B T \gamma g_{m3} \cdot |TF_{ruido}^{T3}|^2 \quad (4.50)$$

La contribución de ruido de la resistencia R_{D3} hasta la salida aparece en las ecuaciones (4.51) y (4.52); el denominador de esta función de transferencia es el mismo que el de la ecuación (4.43), al igual que el resto de las funciones de transferencia de ruido.

$$\left\{ \begin{array}{l} H_{ref}^{R_T} = R_X \\ \frac{Y_1}{Y_{d1}} = \frac{s \cdot C_{di}}{g_{m1} A_{o2} g_{m3} (r_{o3} \parallel R_T)} \\ \frac{Y_2}{Y_{d2}} = \frac{s \cdot C_{gs2}}{\left[\frac{1}{R_T} + A_{o2} (g_{m1} \parallel g_{m3}) \right]} \\ \frac{Y_3}{Y_{d3}} = \frac{s \cdot C_{gs1}}{g_{m1}} \\ \frac{Y_2}{Y_{d2}^{(1)}} = s \cdot C_{gs2} (r_{o3} \parallel R_T) \\ \frac{Y_3}{Y_{d3}^{(1)}} = s \cdot C_{gs1} r_{o2} \\ \frac{Y_3}{Y_{d3}^{(2)}} = \frac{s \cdot C_{gs1} (g_{m3} \cdot r_{o2})}{(g_{m1} + g_{m3})} \\ \frac{Y_3}{Y_{d3}^{(1,2)}} = s \cdot C_{gs1} r_{o2} \\ \frac{Y_1}{Y_{n1}} = s \cdot \frac{C_{di}}{g_{m3}} \\ \frac{Y_2}{Y_{n2}} = 0 \\ \frac{Y_3}{Y_{n3}} = -s \cdot \frac{C_{gs1}}{A_{o1} g_{m3}} \\ \frac{Y_2}{Y_{n2}^{(1)}} = 0 \\ \frac{Y_3}{Y_{n3}^{(1)}} = 0 \\ \frac{Y_3}{Y_{n3}^{(2)}} = s \cdot C_{gs1} r_{o2} \\ \frac{Y_3}{Y_{n3}^{(1,2)}} = s \cdot C_{gs1} r_{o2} \end{array} \right. \quad (4.51)$$

$$TF_{ruido}^{R_T} = H_{ref}^{R_T} \frac{1 + \frac{Y_1}{Y_{n1}} + \frac{Y_3}{Y_{n3}}}{1 + \frac{Y_1}{Y_{d1}} + \frac{Y_2}{Y_{d2}} + \frac{Y_3}{Y_{d3}} + \frac{Y_1 Y_2}{Y_{d1} Y_{d2}^{(1)}} + \frac{Y_1 Y_3}{Y_{d1} Y_{d3}^{(1)}} + \frac{Y_2 Y_3}{Y_{d2} Y_{d3}^{(2)}} + \frac{Y_1 Y_2 Y_3}{Y_{d1} Y_{d2}^{(1)} Y_{d3}^{(1,2)}}} \quad (4.52)$$

Luego, la PSD del ruido aportado por la resistencia R_{D3} hacia la salida será (4.53).

$$PSD_{RT} = \frac{4k_B T}{R_T} \cdot |TF_{ruido}^{RT}|^2 \quad (4.53)$$

La contribución de ruido del transistor M2 hasta la salida aparece en las ecuaciones (4.54) y (4.55); el denominador de esta función de transferencia es el mismo que el de la ecuación (4.43), al igual que el resto de las funciones de transferencia de ruido.

$$\left\{ \begin{array}{l} H_{ref}^{T2} = \frac{R_X}{g_{m2}R_T} \\ \frac{Y_1}{Y_{d1}} = \frac{s \cdot C_{di}}{g_{m1}A_{o2}g_{m3}(r_{o3} \parallel R_T)} \\ \frac{Y_2}{Y_{d2}} = \frac{s \cdot C_{gs2}}{\left[\frac{1}{R_T} + A_{o2}(g_{m1} \parallel g_{m3}) \right]} \\ \frac{Y_3}{Y_{d3}} = \frac{s \cdot C_{gs1}}{g_{m1}} \\ \frac{Y_2}{Y_{d2}^{(1)}} = s \cdot C_{gs2}(r_{o3} \parallel R_T) \\ \frac{Y_3}{Y_{d3}^{(1)}} = s \cdot C_{gs1}r_{o2} \\ \frac{Y_3}{Y_{d3}^{(2)}} = \frac{s \cdot C_{gs1}(g_{m3}r_{o2})}{(g_{m1} + g_{m3})} \\ \frac{Y_3}{Y_{d3}^{(1,2)}} = s \cdot C_{gs1}r_{o2} \\ \frac{Y_1}{Y_{n1}} = \frac{s \cdot C_{di}(R_T + r_{o3})}{A_{o3}} \\ \frac{Y_2}{Y_{n2}} = s \cdot C_{gs2}R_T \\ \frac{Y_3}{Y_{n3}} = -s \cdot \frac{C_{gs1}(R_T + r_{o3})}{A_{o1}A_{o3}} \\ \frac{Y_2}{Y_{n2}^{(1)}} = s \cdot C_{gs2}(r_{o3} \parallel R_T) \\ \frac{Y_3}{Y_{n3}^{(1)}} = 0 \\ \frac{Y_3}{Y_{n3}^{(2)}} = -s \cdot \frac{C_{gs1}}{g_{m3}A_{o1}} \\ \frac{Y_3}{Y_{n3}^{(1,2)}} = 0 \end{array} \right. \quad (4.54)$$

$$TF_{ruido}^{T2} = H_{ref}^{T2} \frac{1 + \frac{Y_1}{Y_{n1}} + \frac{Y_2}{Y_{n2}} + \frac{Y_3}{Y_{n3}} + \frac{Y_1 Y_2}{Y_{n1} Y_{n2}^{(1)}} + \frac{Y_2 Y_3}{Y_{n2} Y_{n3}^{(2)}}}{1 + \frac{Y_1}{Y_{d1}} + \frac{Y_2}{Y_{d2}} + \frac{Y_3}{Y_{d3}} + \frac{Y_1 Y_2}{Y_{d1} Y_{d2}^{(1)}} + \frac{Y_1 Y_3}{Y_{d1} Y_{d3}^{(1)}} + \frac{Y_2 Y_3}{Y_{d2} Y_{d3}^{(2)}} + \frac{Y_1 Y_2 Y_3}{Y_{d1} Y_{d2}^{(1)} Y_{d3}^{(1,2)}}} \quad (4.55)$$

Luego, la PSD del ruido aportado por el transistor M_2 hacia la salida será (4.56).

$$PSD_{T2} = 4k_B T \gamma g_{m2} \cdot |TF_{ruido}^{T2}|^2 \quad (4.56)$$

Finalmente, las contribuciones de ruido de todos los componentes anteriores deben combinarse para obtener el ruido a la salida. Los cálculos para ello se hacen con la ayuda de programas computacionales.

4.1.3. Topología usada para el diseño

Ninguna de las dos opciones consideradas conserva la forma de la señal recibida desde el detector cuando la amplitud de esta es muy grande. Esto es debido al efecto de la no linealidad. La no conservación de la forma de señal ocurre porque cuando el circuito de lectura recibe una señal de gran amplitud desde el detector, los voltajes al interior de amplificador de transimpedancia saturan en los rieles de alimentación o tierra. Esto implica que la capacidad para resolver pixeles unitarios se degrada a medida que el TIA reciben señales más grandes. Sin embargo, esto no reviste un inconveniente mayor, pues si se recuerda lo establecido en la sección 2.2 se notará que los SiPM/MPPC también pierden su habilidad para detectar pixeles unitarios a medida que entregan señales más grandes.

Las 2 opciones de TIA analizadas son capaces de resolver pixeles unitarios para señales bajo los 20 pixeles disparados al mismo tiempo, lo cual está en concordancia con los requerimientos iniciales. Por otro lado, ambas opciones de TIA pueden entregar estimaciones gruesas cuando se reciben señales grandes desde el SiPM/MPPC. Dichas estimaciones pueden obtenerse midiendo la amplitud de la señal entregada por el TIA o midiendo el tiempo que duran dichas señales.

La constatación de que ninguna de las 2 topologías de TIA analizadas son capaces de conservar la forma de la señal se ve en los cálculos a continuación. Para el circuito que mantenga la forma de onda se fijaron los criterios establecidos en la tabla 4.1 como desempeños mínimos. Luego se partió desde el *Regulated Common-Gate* (mostrado en la figura 4.1). En las simulaciones se vio que una limitante para el desempeño del circuito era que

Tabla 4.1. Requerimientos mínimos del circuito con comportamiento lineal.

Parámetro	Valor límite
Conservación de forma de onda	Sí
BW	Al menos 60MHz
Corriente máxima por transistor	2mA

el voltaje de *drain* del transistor M2 saturaba cuando las señales provenientes del detector superaban los ≈ 100 pixeles. Ante ello se hicieron cálculos para evitar dicha saturación; se muestran a continuación.

La resistencia de entrada del circuito de la figura 4.1 es (4.57). Luego si se asume que un pixel del SiPM generará $\approx 10^5 e^-$ y lo hará por un tiempo de $\approx 4,5\text{ns}$, entonces 1 pixel de SiPM generará $\approx 35,6\mu\text{A}$. Por otro lado, el voltaje generado en *drain* del transistor M2 (del circuito de la figura 4.1) vendrá dado por (4.58), por tanto el voltaje en *drain* de M₂ será (4.59).

$$R_{in} = \frac{1}{g_{m1} \cdot A_{v2}} = \frac{1}{g_{m1} \cdot g_{m2} \cdot R_{out2}} \quad (4.57)$$

$$v_{o2} = i_{in} \cdot R_{in} \cdot A_{v2} \quad (4.58)$$

$$\begin{cases} v_{o2} = (\# \text{ Píxeles activos}) \cdot i_{Pixel} \cdot R_{in} \cdot A_{v2} \\ v_{o2} = (\# \text{ Píxeles activos}) \cdot i_{Pixel} \cdot \frac{1}{g_{m1}} \end{cases} \quad (4.59)$$

Por tanto, si se quiere que el voltaje de *drain* del transistor M2 esté acotado en un rango determinado de voltajes, se usa la ecuación (4.59) para su cálculo. Por ejemplo si se quiere que el voltaje de M₂ nunca tenga una amplitud mayor o igual a 1 V cuando se recibe

una señal de 3000 pixeles, se puede ver en el cálculo (4.60) que se requiere $gm_1 \approx 0,1 \text{ S}$; ello implicaría corrientes de $\approx 10 \text{ mA}$ por el transistor M1, lo cual es difícilmente factible.

$$\left\{ \begin{array}{l} 1 \geq (\# \text{ Píxeles activos}) \cdot i_{Pixel} \cdot \frac{1}{g_{m1}} \\ 1 \geq 3000 \cdot 35,6 \mu A \cdot \frac{1}{g_{m1}} \\ g_{m1} \geq 0,1068 \text{ S} \end{array} \right. \quad (4.60)$$

Además se ve que una excursión de salida de 1 V aún es difícil para el *drain* del transistor M2, por tanto se prueba una excursión de salida más ajustada a los circuitos ya calculados, que es de 0,3 V, el cálculo del gm_1 necesario para lograr esto se ve en (4.61). Se ve que el valor de gm_1 obtenido es aún menos factible que en el caso anterior.

$$\left\{ \begin{array}{l} 0,3 \geq (\# \text{ Píxeles activos}) \cdot i_{Pixel} \cdot \frac{1}{g_{m1}} \\ 0,3 \geq 3000 \cdot 35,6 \mu A \cdot \frac{1}{g_{m1}} \\ g_{m1} \geq 3,315 \text{ S} \end{array} \right. \quad (4.61)$$

Las conclusiones anteriores también aplican al *Regulated Common-Gate* con prealimentación, pues si se ve la figura 4.2, se puede ver que el transistor M2 ahora saturará aún más fácilmente que para la topología sin prealimentación. Esto sucede porque la señal que ingresa al *gate* del transistor M2 ahora será amplificada por la resistencia que polariza al transistor M3 (resistencia R_{D3}). Luego una mayor amplitud de entrada en el transistor M2, fomentará que este sature en su terminal de salida de *drain*.

Los cálculos anteriores son aproximaciones que consideran a los transistores operando en condiciones ideales. Por esta razón las estimaciones hechas son optimistas y no debiese

extrañar que la deformación de las señales comience ante la recepción de señales provenientes de menos que 100 píxeles disparados en el detector.

Habiendo establecido lo anterior, se procede a decidir la topología para el amplificador de transimpedancia.

En la configuración *Regulated Common-Gate*, como se mencionó antes, es infactible que no sature el voltaje de *drain* del transistor M2. En esta configuración se ve que el transistor M2 (ver figura 4.1) es el dispositivo que ejerce la realimentación sobre el transistor M1, en dicho sentido el transistor M2 debe ser lo suficientemente rápido como para que el margen de fase del sistema no disminuya hasta la inestabilidad. Esto implica que el voltaje de entrada del TIA (V_{G2}) debe ser alto para que el g_m/I_D del transistor M2 sea bajo y que el f_t de M₂ sea suficientemente rápido. Lo anterior generará 2 efectos principales: obligará a que $V_{D2} = V_{G1}$ sea también alto (en torno a 1,4 V), lo que reduce la excursión de salida del transistor M2; y reducirá la excursión de salida del nodo v_{out} .

En adición a lo anterior, se observa que cuando se cambia la carga ideal del transistor M2 por una carga con espejos de corriente, el ancho de banda del circuito cae, quedando en ≈ 60 MHz (dependiendo de la configuración particular y la capacitancia del MPPC). Se conjetura que esto se debe a que el transistor M2 está cumpliendo 2 funciones contrapuestas:

1. Debe ser rápido para mantener un margen de fase seguro en el circuito.
2. Debe amplificar la señal proveniente del detector.

Luego, la señal del detector tiene un *rising edge* de entre 1 ns y 0,5 ns, lo cual está fuera del rango de operación de estos circuitos. Eso genera que siempre la señal de entrada esté a un ancho de banda superior a la frecuencia de corte del circuito completo, por lo cual

el transistor M2 amplifica poco dicha señal. Si se observa la ecuación (4.57) (resistencia de entrada del *Regulated Common-Gate*), se verá que una menor amplificación del transistor M2 hará que esta topología tenga una resistencia muy similar a la del *Common gate* (descartado inicialmente), eliminando los beneficios que se buscaban con él. Este efecto se ve al implementar la carga real, pues la fuente real posee una resistencia en paralelo a la fuente de corriente, lo cual disminuye aún más la amplificación del transistor M2, que a su vez aumenta la resistencia de entrada del TIA.

Por otro lado, en el *Regulated Common-Gate* con prealimentación no se presenta el efecto de que el transistor que actúa como amplificador de voltaje tenga que ser rápido y a la vez tener gran ganancia de voltaje, ello porque se agrega un transistor extra en configuración *Common gate* (el transistor M3 de la figura 4.2). Este transistor extra es un *buffer* de corriente que rápidamente absorbe parte de la señal proveniente desde el detector, pero que además le entrega ganancia a dicha señal. Luego el transistor que hace las veces de amplificador de voltaje (el transistor M2) solo debe cumplir las funciones de ser rápido e invertir la polaridad de la señal. Esto permite que el ancho de banda del circuito se vea incrementado.

Una característica adicional es que, como se puede ver en las ecuaciones del *Regulated Common-Gate* y de su versión con prealimentación, la velocidad del TIA está influida por la capacitancia del detector (que puede tomar valores mayores a 320 pF), luego el voltaje de polarización del transistor M3 ayuda a ajustar el punto de operación del circuito, permitiendo que este pueda leer detectores de un rango amplio de capacitancias manteniendo un margen de fase seguro; en las simulaciones se pudo leer detectores con capacitancias que iban desde los 10 pF hasta más de 300 pF. Ello permite usar el circuito de *Regulated Common-Gate* con prealimentación en detectores de distintas capacitancias. Para generar el voltaje de polarización del transistor M3 se usa el circuito descrito en el anexo F obtenido desde (Jespers y Murmann, 2017), la razón para ello es que dicha configuración

presenta buen desempeño ante variaciones de temperatura y del proceso de fabricación.

Primeras simulaciones con *Regulated Common-Gate* con prealimentación

Habiendo decidido la topología a usar, se hacen simulaciones iniciales del desempeño que tendrá la topología de *Regulated Common-Gate* con prealimentación. Para ellas se usan las ecuaciones de la sección 4.1.2, el método de diseño basado en g_m/I_D y simulaciones en el programa LTspice; los resultados presentados corresponden a simulaciones en este último programa. En la tabla 4.2 se presenta el desempeño general del circuito, mientras que en la tabla 4.3 se presenta el consumo de corriente en cada transistor para voltajes extremos de polarización del transistor M3.

En la tabla 4.2 se aprecia que al disminuir la capacitancia del detector, el ancho de banda del circuito aumenta, pero su margen de fase disminuye. Las simulaciones mostraron que el circuito puede manejar detectores con capacitancias equivalentes de entre ≈ 300 pF y ≈ 10 pF sin desestabilizarse, esto se logra cambiando el voltaje de polarización del transistor M3 de la figura 4.2; este cambio en la polarización es lo que explica que en la tabla 4.2 la estabilidad aumente al disminuir la capacitancia C_d , pues el circuito se configura para compensar la inestabilidad dada por una menor capacitancia C_d . En estas pruebas se modeló a los detectores como una fuente de corriente con una capacitancia en paralelo.

Por otro lado, el cálculo de la mínima amplitud de la señal de salida, se hizo con distintos modelos de SiPM; estos corresponden a modelos circuitales más complejos que los usados en el párrafo anterior. Los valores para cada modelo de SiPM se ven en la tabla 4.4.

Además de lo anterior, se observó que existe un compromiso entre el BW que puede alcanzar el circuito y el ruido de este. Esto viene dado por el transistor M3 de la figura

Tabla 4.2. Desempeño simulado del TIA.

Parámetro del transistor	Valor obtenido con $C_d = 300 \text{ pF}$	Valor obtenido con $C_d = 10 \text{ pF}$
Ganancia	37,44 dB	36,22 dB
Ancho de banda	112,2 MHz	912,01 MHz
Margen de Fase	87,02°	92,2052°
Ruido Integrado Total (RMS)	447,42 μV	293,8 μV

Tabla 4.3. Consumo de corriente por transistor.

Transistor	V_{G3}	Corriente consumida
1	1,2 V	0,335 mA
2	1,2 V	0,972 mA
3	1,2 V	0,774 mA
1	1,6 V	0,195 mA
2	1,6 V	0,624 mA
3	1,6 V	1,03 mA

4.2, pues si este transistor presenta una alta ganancia de voltaje, se incrementa la rapidez del circuito al reducirse la resistencia de entrada del mismo. Sin embargo al aumentar la ganancia del transistor M3, el ruido referido a la entrada del circuito también se amplifica.

Dado que la resistencia R_{D3} de la figura 4.2 está directamente relacionada con el compromiso mencionado en el párrafo anterior, y que el criterio para canjear ancho de banda por ruido es difuso, para estas primeras pruebas se escoge la heurística de que $R_{D3} \approx 10 \cdot R_{D1}$. Se ve que estos valores entregan resultados aceptables, sin embargo se puede modificar según los requerimientos.

Tabla 4.4. Amplitudes mínimas de la señal de salida para distintos detectores.

Modelo de SiPM	Capacitancia equivalente del detector	Mínima amplitud del voltaje de salida
MPPC Hamamatsu S10362-33-25c	≈ 240 pF	$731,37 \mu\text{V}$
MPPC Hamamatsu S10362-11-25u	≈ 28 pF	$1,65$ mV
MPPC Hamamatsu S13360-6075CS	≈ 1280 pF	$2,08$ mV

4.2. Generación del *trigger*

Un discriminador equivale, en el campo de la Física de Partículas, a lo que en Ingeniería Eléctrica se conoce como un comparador. Es decir, un discriminador es un dispositivo capaz de entregar una señal de salida cuando la señal en su entrada supera un umbral definido por el usuario. Los discriminadores son utilizados para saber en qué momento ha ocurrido un evento, en el caso particular de este chip, para saber en qué momento llegó una señal desde el detector.

Existen varios tipos de discriminadores, y se consideran 2 candidatos a implementar: los de tipo *leading edge* y los de tipo *constant fraction*. Los discriminadores del tipo *leading edge* consisten en un umbral de voltaje, y cuando la señal de entrada traspasa dicho umbral, el comparador se disparará. Por otro lado, los discriminadores de tipo *constant fraction* no dependen de un umbral fijo de voltaje, sino más bien se configuran para dispararse cuando la señal de entrada alcanza una proporción preestablecida del máximo de dicha señal; un ejemplo de configuración para un discriminador del tipo *constant fraction* es que siempre se dispare cuando su señal de entrada alcance un 30 % del máximo de dicha señal de entrada.

Luego de estudiar ambas opciones, se decide implementar un discriminador del tipo *leading edge*. Esta decisión se basó en que para el caso particular de los detectores SiPM/MPPC:

- Se recomiendan para cuando se quiere precisión en términos del momento cuando un evento ocurre (Rivetti, 2015, p.357-358).
- En experimentos llevados a cabo comparando los *leading edge* con los *constant fraction*, se vio que los primeros obtenían mejor resolución temporal (Shen, Harion, y Schultz-Coulon, 2010).

La explicación intuitiva de por qué los discriminadores del tipo *constant fraction* tienden a comportarse peor que los *leading edge* es que los primeros dependen de que los *rising time* de la señal entrante sean iguales entre sí (Leo, 2012, p. 327). Sin embargo las señales recibidas desde el SiPM no cumplen esta condición, lo cual lleva a que este discriminador dé mediciones erróneas, las que en el caso de (Shen y cols., 2010) son peores que las del *leading edge*.

Ya habiendo establecido que el discriminador será del tipo *leading edge*, se estudian 3 posibles implementaciones de este tipo (Goll y Zimmermann, 2015):

- Comparadores a base de amplificadores en lazo abierto.
- Comparadores de corriente.
- Latches.

En primer lugar, los latches se descartan porque el clock puede contaminar las señales del circuito de lectura, y el hecho de ser síncrono obliga a activar el clock bastante rápido para alcanzar una precisión de tiempo alta. Luego, la decisión está entre los comparadores basados en amplificadores en lazo abierto y los comparadores de corriente. Se decide implementar un enfoque basado en amplificadores de lazo abierto conectados en cascada, por 2 razones:

1. Este enfoque implica el uso de topologías de circuito ya conocidas, lo que facilita el diseño y disminuye los tiempos del proceso.

2. Para la implementación del bloque de medición del número de pixeles detectados, se requiere un amplificador de voltaje. Por tanto se piensa que una estrategia interesante es aprovechar los amplificadores en cascada del discriminador. De ese modo, los amplificadores usados en el discriminador tendrán una doble función, sirviendo para medir el instante de tiempo en que ocurre una señal y la cantidad de fotones asociados a dicha señal.

Habiendo establecido la topología de discriminador a usar, se procede a calcular el número de etapas de amplificación a usar.

4.2.1. Número de etapas del discriminador

Los amplificadores que se implementarán serán pares diferenciales con transconductores conectados en configuración *Common source*. Esto porque los pares diferenciales entregan las 2 entradas de señal que debe tener un discriminador, y porque las variaciones en los procesos de fabricación hacen impracticable el diseñar bloques de amplificación *single-ended*.

Basándose en lo establecido en (Maloberti, 2006), se parte por considerar un amplificador con un polo dominante, como el mostrado en la figura 4.9.

En el amplificador de la figura 4.9, la respuesta a un escalón de entrada vendrá dada por (4.62).

$$v_o(t) = v_i \cdot G_{meff} \cdot R_L \left(1 - e^{-\frac{t}{R_L C_L}} \right) \quad (4.62)$$

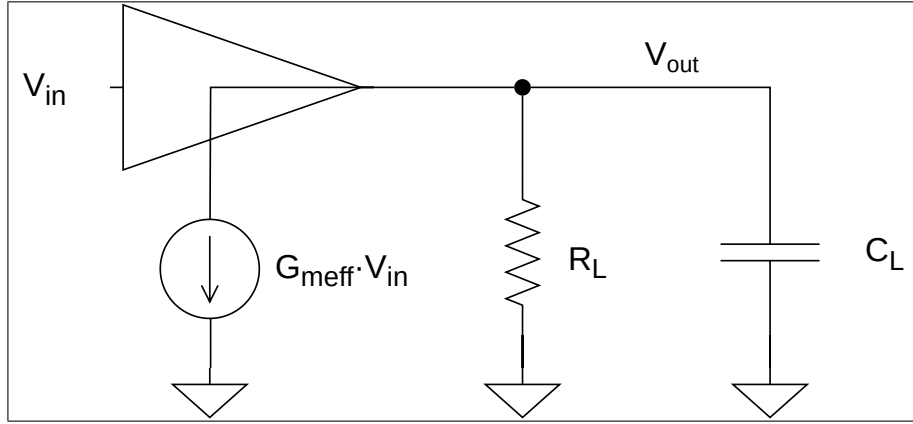


Figura 4.9. Amplificador ideal de un polo.

Si se quiere la mayor velocidad en el circuito, no conviene esperar a que la señal se establezca, en vez de ello se puede considerar solo el comienzo de la señal para comparar. Por tanto si se hace una aproximación de primer orden sobre la primera parte de (4.62), ella se puede aproximar como (4.63).

$$v_o(t) = v_i \frac{G_{meff}}{C_L} t \quad (4.63)$$

Si se ubican 2 bloques como los de la figura 4.9 en cascada, la salida temporal vendrá dada por la convolución de la respuesta al impulso de cada bloque, es decir la convolución entre 2 funciones de la forma (4.63). El resultado de esta operación arroja la función (4.64).

$$v_o(t) = \frac{v_i}{2} \left(\frac{G_{meff}}{C_L} \right)^2 t^2 \quad (4.64)$$

Extendiendo esto a n etapas, la respuesta temporal del sistema vendrá dada por (4.65); notar que G_{meff} es el g_m efectivo de una de las etapas del circuito, no de todo el circuito.

$$v_o(t) = \frac{v_i}{n!} \left(\frac{G_{meff}}{C_L} \right)^n t^n \quad (4.65)$$

Luego, si se establece que todo el discriminador (todos los bloques en cascada) tiene una ganancia de “A”, se cumplirá (4.66).

$$A = \frac{1}{n!} \left(\frac{G_{meff}}{C_L} \right)^n t^n \quad (4.66)$$

Por tanto, si se tiene el dato del voltaje de entrada y salida deseados, se puede determinar el momento en que la salida alcanzará el voltaje deseado como (4.67).

$$t = \frac{C_L}{G_{meff}} \sqrt[n]{A \cdot n!} \quad (4.67)$$

Dado que ya se fijó una ganancia A para el discriminador, en la ecuación (4.67) son incógnitas el tiempo t y el número de etapas n del discriminador. Por tanto, con el objetivo de encontrar el mínimo t dada una ganancia A , se asignan valores enteros a la variable n desde 1 a 10, y se escoge el n que genere el menor tiempo t en la ecuación (4.67).

Las ecuaciones anteriores y los resultados de los códigos se usan como una guía inicial, pues las ganancias y cantidad de etapas podrán depender de factores no considerados en las ecuaciones anteriores, como lo son el espacio en el chip, o que la matemática anterior no toma en cuenta las limitaciones en los voltajes de polarización.

4.2.2. Cálculo del *jitter* del discriminador

Otro parámetro relevante del desempeño del discriminador es el *jitter* que presentará. Como se establece en (Rivetti, 2015), si la señal de subida que sale del amplificador de transimpedancia se modela como (4.68), entonces se puede representar la incertidumbre del voltaje de salida como (4.69). Por tanto, la desviación estándar de la salida del TIA se puede asumir como una medida del Δt típico, lo que se ve en la ecuación (4.70), lo cual permite expresar el *jitter* como la ecuación (4.71).

$$V_{out}(t) = V_{out}(t_0) + \left. \frac{\partial V}{\partial t} \right|_{t=t_0} \cdot \Delta t \quad (4.68)$$

$$\Delta V_{out} = \left. \frac{\partial V}{\partial t} \right|_{t=t_0} \cdot \Delta t \quad (4.69)$$

$$\sigma_v = \left. \frac{\partial V}{\partial t} \right|_{t=t_0} \cdot \sigma_t \quad (4.70)$$

$$\sigma_t = \frac{\sigma_v}{\left. \frac{\partial V}{\partial t} \right|_{t=t_0}} \quad (4.71)$$

En otras palabras, el *jitter* viene dado por el ruido de voltaje del TIA dividido por la pendiente de la señal en torno al *threshold* impuesto en el discriminador posterior (Rivetti, 2015; Blake, 2008). De las ecuaciones anteriores se ve que para mejorar el *jitter* se debe disminuir el ruido electrónico del TIA.

4.2.3. Características particulares del discriminador

Un problema que debe superar el discriminador es que opera con un mismo umbral de lectura para todos los canales del chip, sin embargo dadas las características del *layout* y la fabricación, se puede producir *mismatch* en los voltajes de entrada que recibe el discriminador desde el TIA. Para resolver el problema anterior se implementa una red de realimentación para los amplificadores del discriminador. Tal como se ve en (Rivetti, 2015), esta red consiste en un amplificador diferencial que mide la salida de los amplificadores en cascada y genera una corriente que se aplica a la salida de la primera etapa de amplificación, reduciendo el efecto de las diferencias en el voltaje de entrada.

La forma de evitar que la red de realimentación afecte la señal medida por el discriminador es configurarla para que opere a baja frecuencia, a diferencia del discriminador que opera en alta frecuencia. De ese modo la red de realimentación solo compensará las diferencias en DC a la entrada del discriminador. Un diagrama de este enfoque se puede ver en la figura 4.10, la cual se obtiene desde el libro (Rivetti, 2015).

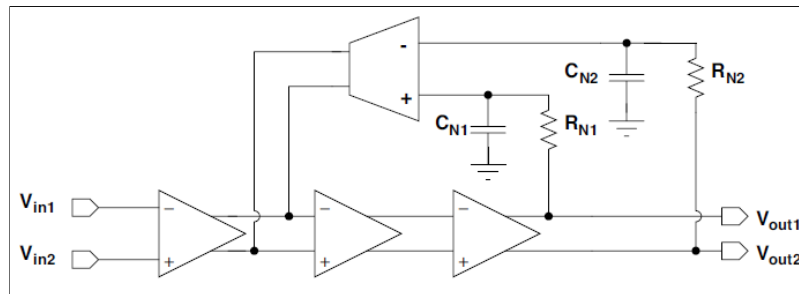


Figura 4.10. Diagrama de bloques del amplificador del discriminador con compensación de *mismatch*.

Otra complicación que debe superar el discriminador son las variaciones en el proceso de fabricación del chip. Estas variaciones se representan mediante las “esquinas del

proceso”, las cuales son puntos extremos de desempeño de los circuitos fabricados y tienen los nombres: TT, FF, SS, SF y FS (Weste y Harris, 2015). El discriminador cuenta con un inversor CMOS a la salida de sus amplificadores en cascada, este es el que genera la señal digital que indica el arribo de una señal desde el detector, sin embargo mediante simulaciones se observa que en la esquina de proceso FF existe la posibilidad de que el inversor CMOS no se dispare cuando se recibe la señal de solo 1 pixel, lo que se debe a que en dicha esquina del proceso el voltaje de *baseline* a la salida de la cascada de amplificadores se aleja del umbral de disparo del inversor. Ello repercute en que la señal generada por 1 pixel disparado en el detector no es capaz de superar el umbral del inversor para activarlo. Para compensar el fenómeno descrito anteriormente se recurre al trabajo (Wang, 1991), en el cual se propone un inversor CMOS capaz de ajustar su umbral de voltaje. El circuito se puede ver en la figura 4.11 extraída del artículo original. El umbral del inversor se puede ajustar al variar el voltaje de *gate* del transistor M_n .

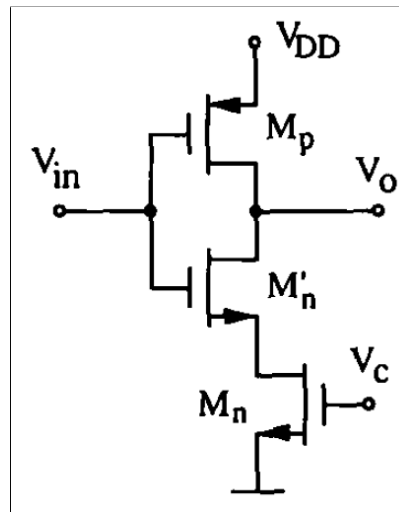


Figura 4.11. Inversor con ajuste de umbral de disparo.

Finalmente, el circuito del discriminador resultante se ve en la figura 4.12. El amplificador de realimentación se dibuja como un amplificador abstracto para evitar sobrecargar el esquemático, sin embargo el detalle del él se puede ver en la figura 4.13. Allí la zona

encerrada en rojo se encuentra dentro del chip, mientras que la zona encerrada en azul es el filtro pasabajos que se implementa fuera del chip. El objetivo de lo anterior es lograr una constante de tiempo suficientemente grande mediante valores de capacitores y resistencias que no pueden alcanzarse en un circuito integrado de este nodo tecnológico. Los nodos llamados “Out fbAmp der” y “Out fbAmp izq” corresponden a salidas del chip, mientras que los llamados “In fbAmp der” e “In fbAmp izq” corresponden a entradas; el detalle del *pinout* del chip se puede ver en el anexo E y los valores recomendados para $R1_{fbk}$, $R2_{fbk}$, $C1_{fbk}$ y $C2_{fbk}$ se pueden encontrar en el anexo C.

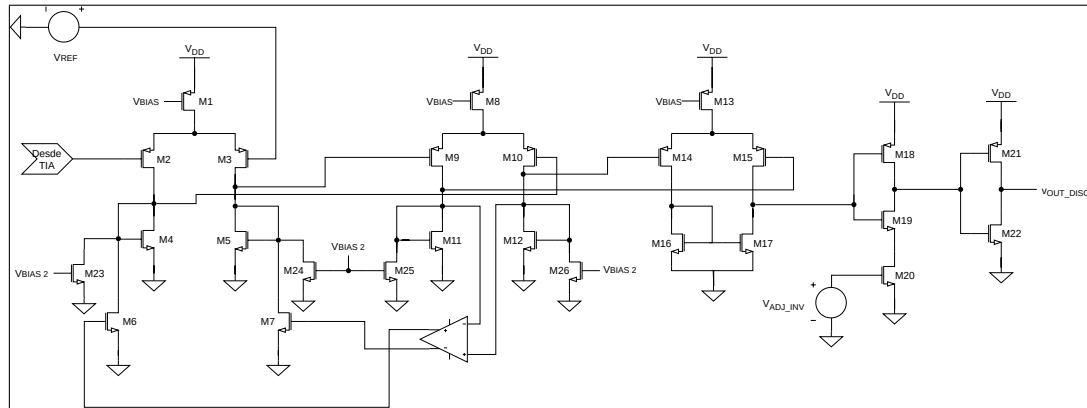


Figura 4.12. Esquemático del discriminador completo.

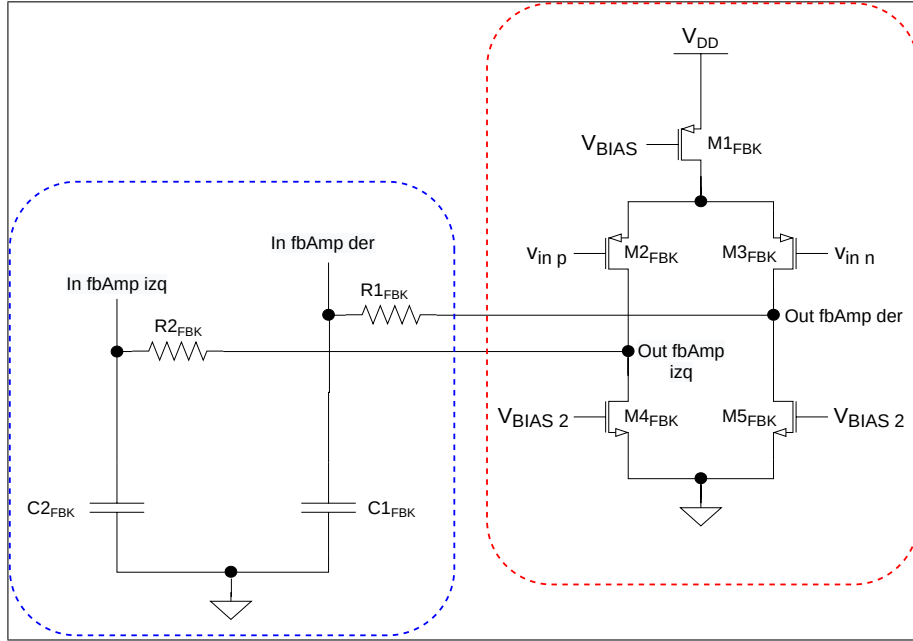


Figura 4.13. Esquemático del amplificador de realimentación del discriminador.

4.3. Medición de la cantidad de pixeles disparados en el detector

Una de las características que debe cumplir el chip a diseñar es indicar al usuario cuántos pixeles se dispararon en el detector, lo cual equivale a saber cuántos fotones fueron detectados por el SiPM/MPPC. Para lograr esto, se exploran 3 opciones: *Time Over Threshold*, *Time Over Threshold* de la derivada de la señal, y un integrador. El detalle de cada opción se entrega a continuación.

4.3.1. *Time Over Threshold*

La técnica de *Time Over Threshold* (ToT) permite conocer la cantidad de pixeles disparados en el detector. Para ello la señal proveniente del SiPM se introduce a un discriminador, para luego medir el ancho del pulso digital generado; el ancho del pulso indicará el número de celdas disparadas en el sensor (Orita, Uenomachi, y Shimazoe, s.f.).

Para ver si es posible medir la cantidad de carga que el detector entrega mediante la técnica de *Time Over Threshold*, se analiza el *jitter* que tendrá la señal del discriminador usado para esta medición. El *jitter* dependerá del ruido integrado total a la salida del TIA y de la pendiente de la señal de entrada al discriminador. Para el cálculo del ruido integrado total a la salida del TIA se utilizó un circuito con la topología de la figura 4.2. Se simuló su ruido integrado total y la pendiente de la señal que entra el discriminador mediante LTspice.

Primero se tiene el modelo circuital de un detector en particular. Con él se hace una simulación transiente de la señal generada por 1 pixel; como se ve en (Fleury y cols., 2014), el máximo *jitter* se obtiene con 1 pixel disparado en el detector. Luego se calcula la capacitancia total que dicho detector carga en la entrada del circuito de *read out*, y se hace una simulación de ruido para obtener el ruido integrado total que se tendrá a la salida del TIA; el detector se representa como la capacitancia equivalente del detector más una fuente de ruido de corriente conectada a tierra.

Se prefiere hacer los pasos anteriores con simulaciones, pues no hay una forma analítica fácil de determinar la forma exacta del flanco de subida de la señal proveniente desde el detector, pues las características del modelo circuital del sensor cambiarán dependiendo de la luz que le llegue. En específico y tal como se afirma en (Huizenga y cols., 2012), la impedancia de salida de los SiPM/MPPC variará según la cantidad de celdas que se activen.

Finalmente se utiliza la fórmula (4.71) para determinar el *jitter* que tendrá este circuito de lectura en el flanco de subida de la señal.

Tabla 4.5. *Jitter* para distintos modelos de SiPM/MPPC

Modelo de SiPM	Tiempo de subida	$\frac{dV_{out}}{dt}$	Ruido integrado total	Jitter de flanco de subida
Hamamatsu S13360-6075CS	873,88784 ps	$4,06979 \cdot 10^6 \frac{V}{s}$	$447,21 \mu V$	109,9 ps
Hamamatsu S10362-11-25C	340,50654 ps	$8,795166 \cdot 10^6 \frac{V}{s}$	$295,76 \mu V$	33,62 ps
Hamamatsu S10362-11-50C	387,85835 ps	$1,33362 \cdot 10^7 \frac{V}{s}$	$295,76 \mu V$	22,17 ps
Hamamatsu S10362-33-25C	695,10269 ps	$2,3864746 \cdot 10^6 \frac{V}{s}$	$447,4 \mu V$	187,47 ps
Hamamatsu S10362-33-50C	534,56998 ps	$5,51758 \cdot 10^6 \frac{V}{s}$	$367,59 \mu V$	66,62 ps

Simulación de *jitter* para varios SiPM polarizados con $V_{over} = 1,5 V$

Los valores de *jitter*, para distintos detectores, se ven en la tabla 4.5. En todas las simulaciones se polarizó el detector con 1,5 V de *over voltage* y $\frac{dV}{dt}$ se calculó, para el pulso de salida generado por 1 pixel de cada detector, como la pendiente en la zona media del pulso de salida generado por el pixel.³⁴

Los resultados de las simulaciones se muestran en la tabla 4.5, estas se hicieron con el mismo voltaje $V_{over} = 1,5 V$, de modo de poder comparar los desempeños. Sin embargo, desde la documentación reciente de Hamamatsu, se ve que para los MPPC con pixeles de $25 \mu m$ de lado se pueden polarizar con $V_{over} = 2,3 V$.

Factibilidad de *Time Over Threshold* para medir cantidad de carga

Para evaluar la factibilidad de la técnica *Time Over Threshold* se hace un análisis consistente en disparar un número creciente de pixeles en un modelo de detector. A la salida

³Es decir, el *jitter* se calculó usando la zona de mayor pendiente del pulso de salida.

⁴Los modelos de los detectores se obtienen desde artículos citados en la sección 2.3 de esta tesis.

de este se ubica un TIA y luego un discriminador ideal. A medida que se vaya disparando una cantidad creciente de pixeles en el SiPM, se medirá la duración de la salida digital del discriminador, pidiéndose determinar si esta información permite saber el número de pixeles disparados o si el *jitter* lo impide.

Siguiendo lo establecido en (Rivetti, 2015) y asumiendo que el ruido de voltaje distribuye Gaussiano, se obtiene el parámetro σ_{jitter} de la ecuación (4.72). σ_{jitter} representa una desviación estándar del momento en que se dispara el discriminador, por tanto se puede ver que está relacionado a la variabilidad en la duración del pulso de salida del mismo.

$$\begin{cases} \sigma_V \sim N(\mu, \sigma) \\ \sigma_{jitter} = \frac{\sigma_V}{\frac{dV}{dt}} \end{cases} \quad (4.72)$$

Según los requerimientos iniciales, el circuito deberá medir como máximo 3000 pixeles de un SiPM. Por ello se conjetura que un buen candidato para SiPM es el modelo Hamamatsu S10362-33-50c, pues cuenta con 3600 pixeles, con lo cual se maximiza el área de cada pixel y por tanto el tamaño de la señal. Luego se realizan pruebas cambiando la polarización del transistor M3 del circuito de lectura (ver figura 4.2), esto con el objetivo de encontrar un punto óptimo de menor *jitter* para el primer cruce por el *threshold*. El menor *jitter* logrado con esta variación fue de: 63,7 ps, con un voltaje $V_{B3} = 1,34$ V.

El *threshold* del discriminador se fija en el punto donde la pendiente de bajada del pulso de salida del TIA es mayor cuando se dispara 1 pixel en el detector. Se hace de este modo para fabricar el mejor escenario posible para esta técnica de medición de carga. Las simulaciones se llevan a cabo con el detector Hamamatsu S10362-33-50c, por las mismas razones explicadas anteriormente. El *threshold* calculado según las simulaciones

es de $V_{thb} = 1,7723 \text{ V}$, el cual se aproxima a $V_{thb} = 1,77 \text{ V}$. Con este valor, se ve que no es posible utilizar el método de *Time Over Threshold*. Esto porque, como se deben leer señales de entrada en un rango dinámico grande (desde 1 pixel hasta 3000 pixeles), el umbral del discriminador debe fijarse suficientemente bajo como para alcanzar a detectar la señal generada por 1 pixel. Por otro lado la pendiente de bajada de la señal v_{out} viene dictada por una constante RC interna del detector. Por tanto es común que el disponer un umbral lo suficientemente bajo como para detectar 1 pixel genere que las señales de mayor amplitud pasen dicho umbral cuando tienen una pendiente muy baja (dada por la constante RC interna del detector); lo que aumenta el *jitter* como se puede ver en la ecuación (4.71), impidiendo que el método de *Time Over Threshold* pueda distinguir amplitudes de señales entrantes.

Lo anterior se puede ver de mejor manera en la figura 4.14, donde se aprecia que si se fija un umbral útil para detectar la señal de 1 pixel (trazo verde), el cruce por dicho umbral de la señal más grande (trazo azul) se produce cuando esta tiene una pendiente mucho menor, en comparación a la señal de 1 pixel, lo cual aumentará el *jitter*.

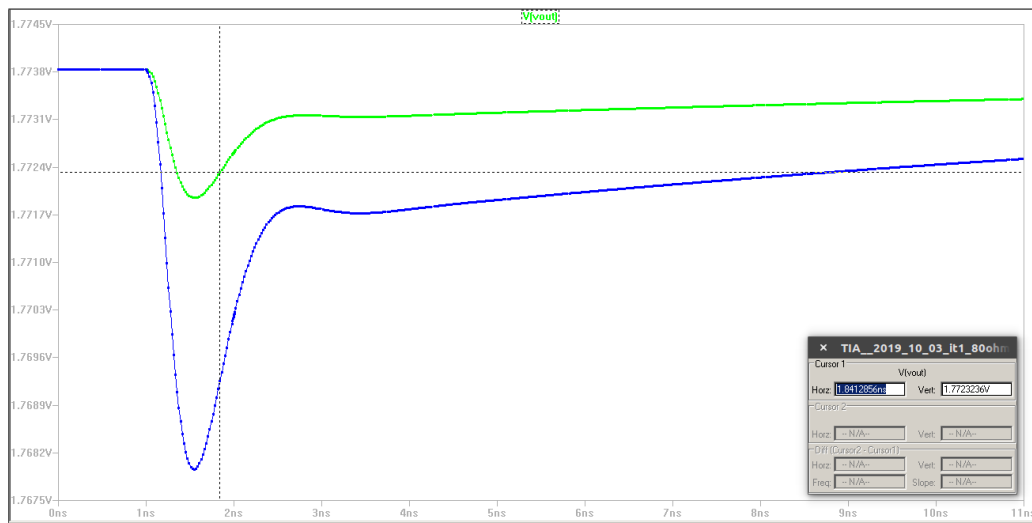


Figura 4.14. Señales v_{out} de TIA para 1 pixel (línea verde) y para 3 pixeles (línea azul).

No obstante lo anterior, aunque *Time Over Threshold* no sirve para medir todo el rango de señales desde 1 pixel hasta 3000 pixeles, sí se puede usar para medir un vecindario acotado de señales.

4.3.2. Uso de *Time Over Threshold* en la derivada del pulso de señal

Ya que el uso del método de *Time Over Threshold* no resultó viable para un rango amplio de pixeles disparados, se decide probar el observar la derivada de la señal obtenida desde el amplificador de transimpedancia (TIA), y a partir de esa señal inferir la carga entregada por el detector mediante *Time Over Threshold*.

Para corroborar esta idea se simula un derivador ideal de la señal que sale desde el TIA; mediante una fuente ideal de voltaje en LTspice. Luego los valores de la derivada de la señal saliente del TIA, obtenidos desde LTspice, se procesan para evaluar la factibilidad de este método.⁵

Al igual que en la sección 4.3.1, si se quiere usar el método de *Time Over Threshold*, se debe medir cuándo la señal cruza un umbral determinado. En este caso, los valores de la derivada son del orden de los $\frac{V}{\mu s}$, sin embargo como se sabe que en la implementación real se tendría como máximo 1,8 V, se fija el umbral en 1,77 V, solo porque es el mismo umbral de la sección 4.3.1 y porque la derivada la señal que pasa por ese umbral es de varios ordenes de magnitud mayor, por lo que su valor específico no debiese afectar.

Se hicieron simulaciones que abarcaban desde el disparo de 1 pixel hasta el disparo de 3000 pixeles. En cada una de esas simulaciones se midió la salida del derivador ideal, registrando el momento en que su salida cruza el umbral fijado anteriormente. El primer

⁵Para estas pruebas se usó el modelo de detector Hamamatsu S10362-33-50c.

cruce por el umbral suele no aportar información relevante, pues ocurre en momentos similares para cualquier cantidad de pixeles disparados. Por otro lado el momento del segundo cruce por el umbral se puede ver en el gráfico 4.15. En el eje X del gráfico 4.15 se encuentra el número de pixeles que fueron activados en el detector y en el eje Y el instante, medido en segundos, en el que ocurre el cruce.

Se puede ver que existen puntos *outliers* en el gráfico 4.15. Estos se atribuyen a errores numéricos en el cálculo de la derivada, pues el método que usa el programa LTspice para resolver circuitos presenta oscilaciones intrínsecamente, y como se mencionó antes, las derivadas resultantes son del orden $\frac{V}{\mu s}$, por tanto tanto existe la posibilidad de que el segundo cruce registrado se deba a un error numérico.

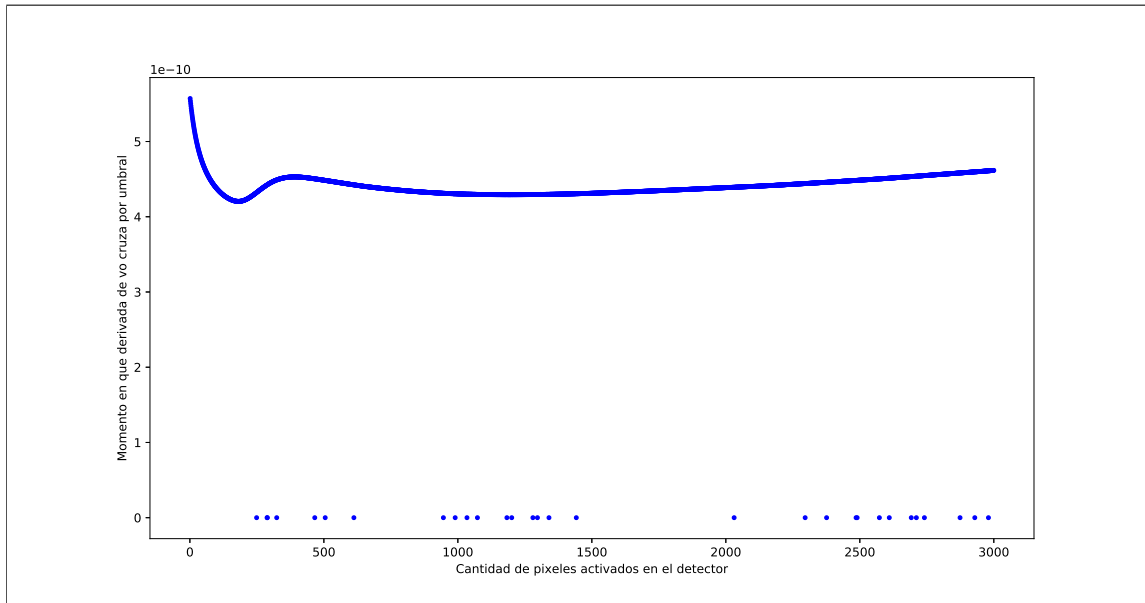


Figura 4.15. Momento del cruce por umbral de la señal dada por la derivada de v_{out} del TIA.

Dado que el primer cruce por el umbral (el cual marca el inicio de la señal) es parecido para cualquier cantidad de pixeles activados, la cantidad de carga que llegue se debería

diferenciar en el umbral de bajada. Sin embargo se ve que el tiempo en el cual ocurre el segundo cruce por el umbral no es monótonico en función del número de pixeles disparados, lo cual impide diferenciar ciertas cantidades de carga unas de otras. Por ejemplo en el gráfico 4.15, se ve que si se mide una señal que tiene su segundo cruce en torno a $\approx 4,4 \cdot 10^{-10}$ s, será difícil distinguir cuántos pixeles (cuánta carga) produjo esa señal; ello se aprecia mejor en la figura 4.16, donde la línea verde indica un tiempo de $4,4 \cdot 10^{-10}$ segundos.

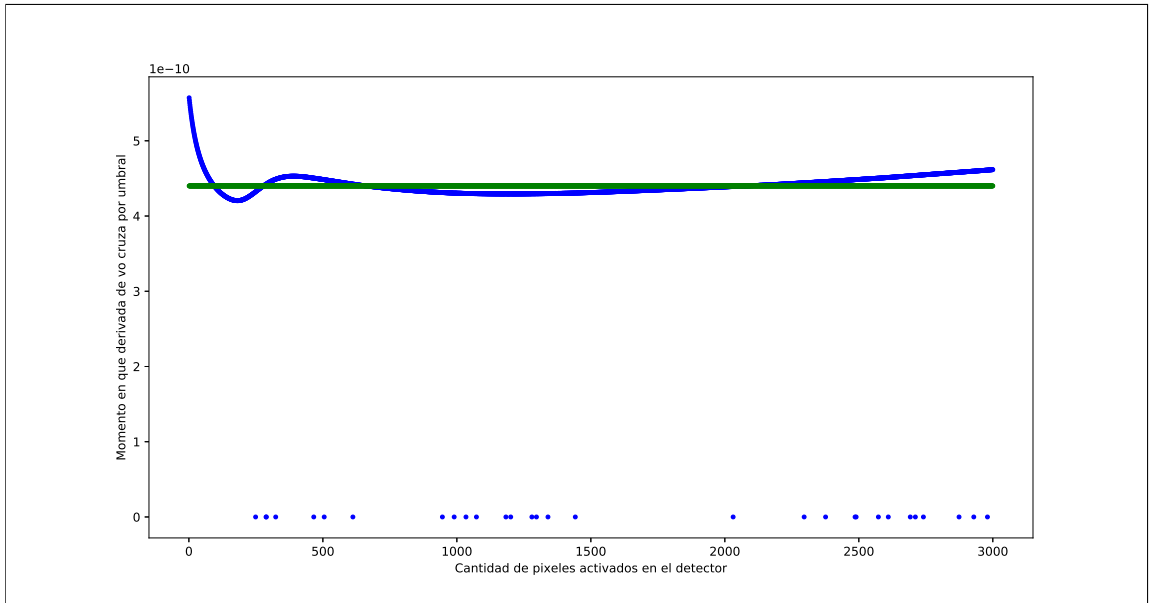


Figura 4.16. Momento del cruce por umbral de la señal dada por la derivada de v_{out} del TIA.

El comportamiento de la derivada de v_{out} observado se puede explicar en 2 fases. Una en la cual los transistores del TIA operan dentro de sus márgenes y otra en la que los transistores del TIA se saturan debido a la gran amplitud de señal proveniente desde el detector. En la primera fase, se observa que a mayor cantidad de pixeles activados, mayor es la amplitud de la señal y más rápidamente se alcanza el *peak* de la misma. Este comportamiento también es reportado en (Villa y cols., 2015), donde se afirma explícitamente, y en (Marano y cols., 2013), donde se ve que a medida que más pixeles se activan

la constante de tiempo del flanco de subida del pulso producido por el detector, se hace más chica. Además de estas referencias, este fenómeno también se ve si se reemplaza el TIA por una resistencia pequeña, lo cual indica que es un fenómeno del detector y no del circuito de lectura. La explicación de este fenómeno está en que a medida que más pixeles del detector se activan, menor es el número de celdas inactivas que actúan como pasabajos de la señal de corriente generada en las celdas activas del detector.

La segunda fase del comportamiento se debe a que los transistores del TIA salen de sus regiones de operación debido a las altas amplitudes de las señales provenientes del SiPM. Esto hace que el comportamiento del TIA empeore, teniendo un peor ancho de banda. Al tener un TIA más lento, el circuito ya no es capaz de procesar rápidamente el *peak* inicial de la señal proveniente del TIA, por lo que a medida que las señales entrantes se hacen más grandes, el voltaje v_{out} del TIA llega a su *peak* cada vez más tarde.

Por las razones anteriores, se descarta la opción de detectar la cantidad de carga (el número de pixeles activados) que se produjo en el detector.

4.3.3. Integrador

Como se puede ver en (Calò y cols., 2019), existen múltiples métodos para medir la carga que entrega en SiPM, entre ellos está: integrador, detector de *peak* o *Time Over Threshold*. Entre estas opciones, ya se vio en la sección 4.3.1 que *Time Over Threshold* no es factible en este caso, mientras que el detector de *peak* puede resultar demasiado complejo de implementar. Por ello se explora el integrador.

Por otro lado, si se ve el capítulo llamado “Time invariant shapers” de (Rivetti, 2015), se aprecia que los *pulse shapers* consisten en un circuito inicial CR (haciendo las veces

de derivador) y luego un circuito RC (cumpliendo la función de integrador). Los *pulse shapers* ayudan a filtrar ruido de un pulso de señal y para obtener una señal con una forma muy bien definida a partir de un pulso de entrada; que la señal de salida del *pulse shaper* tenga una forma muy bien definida ayuda a leer dicha señal en un instante conocido. Luego se ve que cuando entra una señal desde el detector al TIA, la forma de la señal que sale desde el TIA se parece a la forma de la señal que sale desde un derivador CR. A partir de ahí se conjetura que la salida del TIA se puede modelar como la salida de un derivador con constante CR igual a la constante más lenta de la señal que entrega el SiPM (para ver las constantes de tiempo del SiPM ver sección 2.4 de este documento).

Por tanto, bajo el supuesto de que la salida del TIA se puede modelar como la salida de un derivador CR con constante de tiempo dada por la constante de tiempo más lenta del detector, se diseña un integrador que irá conectado a la salida del TIA. Con este integrador se creará un *pulse shaper* que permita tener una forma de onda de salida muy bien definida.

Se sabe que la constante lenta de la señal del TIA corresponde al término $\tau_{lenta} = (C_D + C_Q) \cdot R_Q$. Luego se diseñará un circuito integrador para que tenga la constante de tiempo $\tau_{int} = \tau_{lenta}$. Esta decisión es arbitraria, sin embargo se toma a partir de las recomendaciones en (Rivetti, 2015), donde se establece que fijar las dos constantes de un *pulse shaper* en un mismo valor entrega un buen desempeño. Además de ello, el fijar la constante $\tau_{int} = \tau_{lenta}$ permite que τ_{int} esté en el orden de magnitud de las constantes de los detectores SiPM, por tanto la señal de salida del integrador no corre el riesgo de quedar bajo el piso de ruido.

Es evidente que esto tiene un inconveniente, hace que el diseño del circuito de lectura dependa de constantes de tiempo fijadas por el detector, sin embargo si las constantes de tiempo del detector e integrador no calzan perfectamente, la señal se verá deformada, pero se mantendrá consistente para el mismo modelo de sensor SiPM. En este caso la señal se

deformará, pero seguirá siendo apreciable, pues las constantes de tiempo serán de órdenes de magnitud parecidas.

Dado el ejemplo de la figura 18 del trabajo (Calò y cols., 2019), y la simplicidad del circuito, se optó por una topología consistente en un amplificador (dado por el primer amplificador del discriminador), un integrador con constante de tiempo $RC = \tau_{lenta}$, y un *buffer* de voltaje que separe estas 2 etapas. El esquemático de una de las ramas del integrador se puede ver en la figura 4.17; la otra rama posee la misma estructura. La fuente de corriente I_{BIAS_INT} vista en la figura 4.17 se implementa con un transistor PMOS.

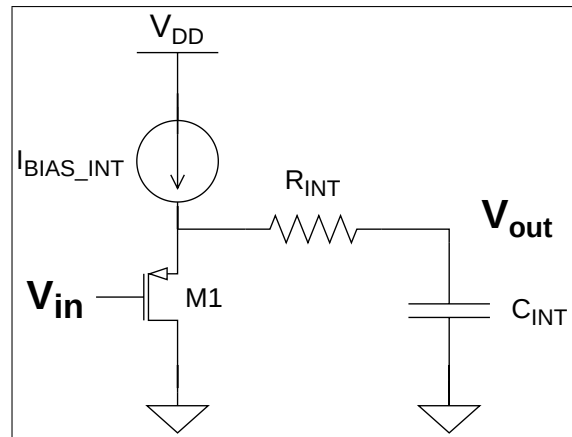


Figura 4.17. Esquemático del integrador.

Además, se debe señalar que se desistió de implementar un integrador construido en torno a un amplificador *single-ended*, pues las variaciones de proceso y la alta ganancia del amplificador harían que esta cambiase su punto de operación dependiendo de en qué esquina del proceso resulta fabricado el chip.

Por otro lado, el integrador está agregando un filtro pasabajos. Esto filtrará altas frecuencias del ruido electrónico, lo que hará que el integrador produzca una señal más lenta que la del TIA, pero con menor ruido que la de este. Es por esta razón que el foco de la

reducción del ruido electrónico se pone en el TIA, ya que el ruido ahí obtenido será el peor escenario del circuito. Las etapas posteriores del circuito podrán mejorar el desempeño de ruido.

CAPÍTULO 5. CONTROL DE GANANCIA DE DETECTORES

5.1. Circuito implementado para control de ganancia

Se debe establecer la resolución del DAC. Los criterios para ello son de resolución suficiente, pero sin incrementar innecesariamente la complejidad del circuito.

5.1.1. Cálculo de la resolución del DAC

En la tabla 1.1 se ve que los DACs usados para controlar la ganancia de los SiPM, y que además se fabrican en tecnología CMOS, tiene 8 bits de resolución. Dados estos datos, se evalúa un dispositivo con dicha cantidad de bits de resolución.

En las hojas de datos de los detectores SiPM/MPPC suele aparecer la curva que relaciona la ganancia del dispositivo con el voltaje de *overdrive*. Un ejemplo de este tipo de curvas se puede ver en la figura 5.1.

De ese modo, si se logra relacionar la cantidad de carga del detector por pixel activado con el voltaje producido a la salida del TIA, se podrá ver el efecto que produce un cambio en el voltaje de *overdrive* del detector en la salida del TIA, y de ese modo juzgar si los pasos de voltaje que entrega el DAC tienen el tamaño suficiente.

Para lo anterior se cuenta con la función de transferencia del TIA, que relaciona i_{in} con v_{out} , y el supuesto de que el pulso recibido desde el MPPC puede modelarse como un impulso de corriente.

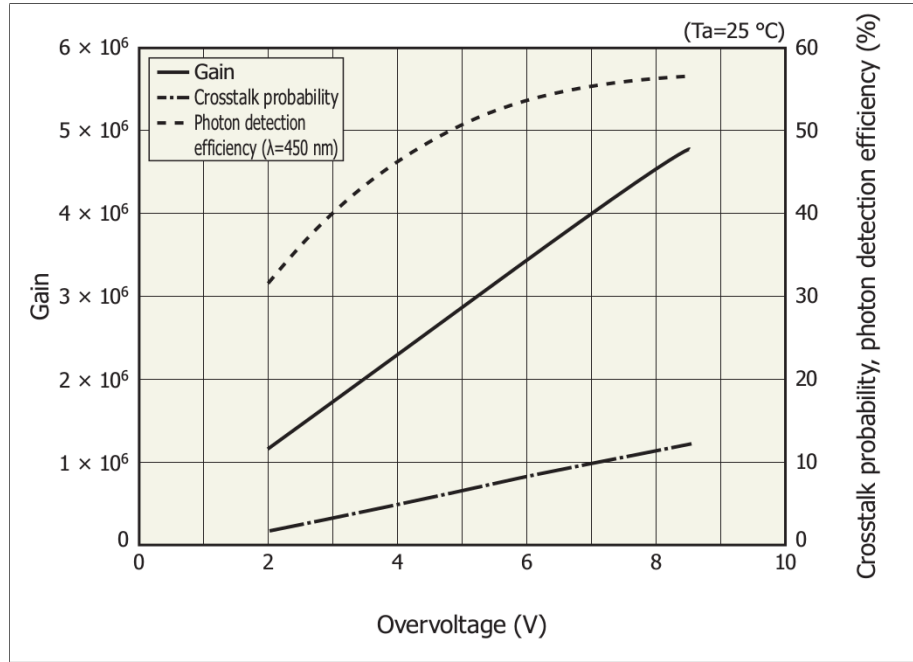


Figura 5.1. Gráfico de ganancia versus V_{ov} del MPPC $S13360 - 3050$ (“ $S13360$ series. MPPCs for precision measurement”, 2016).

El cálculo del efecto de un paso del DAC en la salida del TIA se hace con su función de transferencia y considerando ganancias del TIA del orden de 100 V/I . Esto es un valor aproximado, sin embargo sirve para tener intuición del efecto del DAC en la señal de salida.

El V_{ov} nominal del detector $S13360 - 3050$ ¹ es $V_{ov} = 3 \text{ V}$. A dicho voltaje la ganancia del MPPC es de $1,7 \cdot 10^6$. En la hoja de datos del sensor se cuenta con el gráfico 5.1, desde el cual se puede ver que la pendiente de ganancia respecto a V_{ov} es $n = 575000$. Es posible calcular cuánto influiría una variación de 10 mV en el voltaje de polarización. Esto como una prueba robusta, pues si se tiene un DAC de 8 bits y este tiene un rango de voltaje de salida de $\approx 1 \text{ V}$, cada paso del DAC variará $\approx 3,9 \text{ mV}$ el voltaje de salida. Según dichos cálculos, el efecto de variar 10 mV el voltaje de polarización del MPPC es

¹Se escoge este detector, porque es el modelo de Hamamatsu más reciente del cual se encontró documentación detallada, y posee 3600 píxeles.

de $9,3904\mu\text{V}$ a la salida del TIA, mientras que la salida del pulso equivalente a 1 pixel activado tiene una amplitud de $\approx 2,77\text{ mV}$; esta variación de V_{ov} tiene un efecto ≈ 295 veces más pequeño que la señal producida por 1 pixel disparado en el detector. Además de lo anterior, el ruido a la salida del TIA debiese tener una amplitud de mayor a $250\mu\text{v}$ (RMS).²

El tamaño de los transistores y ganancias del TIA usado para estas simulaciones cambiará respecto al diseño final, sin embargo los órdenes de magnitud de dichos parámetros no cambiarán. Por tanto la conclusión de que un DAC de 8 bits es suficientemente preciso como para modificar la ganancia del detector de forma fina se sigue cumpliendo.

Por el contrario, se podría argumentar que una resolución de 8 bits es innecesariamente alta en este caso. Esto es verdad para el TIA que se diseña en este chip, y viene dado porque para poder leer hasta 3000 pixeles de SiPM, el amplificador de transimpedancia posee poca ganancia en comparación a otros circuitos de lectura de MPPCs. Sin embargo se decide mantener la resolución de 8 bits para el DAC porque eso permite usar esa parte del chip para controlar la polarización de detectores que sean leídos por otros circuitos de mayor ganancia.

5.1.2. DAC diseñado

El conversor de datos a diseñar posee la ventaja de que solo debe desempeñarse bien en DC. Esto facilita el diseño, pues no es necesario que el circuito sea rápido. Por tanto, por simplicidad se decide implementar un DAC consistente en fuentes de corriente conectadas en paralelo y escaladas en potencias de 2. De ese modo se puede traducir una palabra digital de entrada en una corriente representativa generada por dichas fuentes. El diseño se hace siguiendo las recomendaciones establecidas en (Razavi, 2018).

²Número estimado en base a los casos vistos.

Una representación simplificada del DAC se puede ver en la figura 5.2. En ella se aprecian las fuentes de corriente escaladas en potencias de 2 y que se conectan a una resistencia de salida mediante un circuito que actúa de *buffer*.

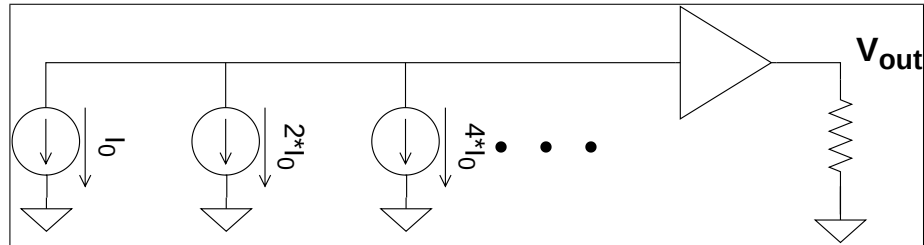


Figura 5.2. Esquema del DAC implementado.

Monotonicidad del DAC

Ya que las fuentes de corriente en la figura 5.2 se escalan en potencias de 2, se toma el enfoque de diseñar una fuente de corriente unitaria y luego replicarla para lograr el escalamiento. Los cálculos presentados consideran una fuente implementada mediante 1 transistor, sin embargo luego se decide mejorar el desempeño agregando un transistor de cascode a esta fuente, sin que ello empeore el desempeño de lo calculado, tal como se recomienda en (Razavi, 2018).

La INL es la diferencia entre el valor ideal que debiese tener la salida del DAC y el valor real que presenta para una entrada digital particular. Los cálculos tienen el objetivo de lograr un DAC monotónico, para lo cual se debe cumplir la restricción de que $|INL| < 0,5 \cdot LSB$, donde LSB es la menor unidad de voltaje que puede variar el conversor diseñado.

Para la fuente de corriente unitaria se sabe que la mayor desviación estándar de la INL ($\sigma_{INL\ max}$) vendrá dada por la ecuación (5.1) (Manganaro, 2011), donde σ_I es la desviación estándar de la corriente y N es el número de bits del conversor.

$$\sigma_{INL\ max} \approx \frac{\sigma_I}{2} \sqrt{2^N} \quad (5.1)$$

Si se ve el trabajo de (Razavi, 2018), se aprecia que para una desviación estándar de INL, la INL máxima esperada vendrá dada por (5.2), donde I_u es la corriente unitaria.

$$INL_{max} = \frac{\sigma_I}{2I_u} \sqrt{2^N} LSB \quad (5.2)$$

Además, desde (Manganaro, 2011) se conocen las relaciones (5.3), (5.4) y (5.5), donde g_m es la transimpedancia del transistor que forma la fuente de corriente unitaria y σ_{V_T} es la desviación estándar del voltaje V_T de dicho transistor. Además se hacen las aproximaciones (5.6) y (5.7).

$$\frac{\sigma_I}{I_u} = \frac{g_m}{I_u} \sigma_{V_T} \quad (5.3)$$

$$\sigma_{V_T} = \frac{A_{V_T}}{\sqrt{WL}} \quad (5.4)$$

$$A_{V_T} \approx 6\text{ mV} \cdot \mu\text{m} \quad (5.5)$$

$$g_m \approx \frac{2I_u}{V_{GS} - V_T} \quad (5.6)$$

$$V_{GS} - V_T \approx 0,2 \text{ mV} - 0,3 \text{ mV} \quad (5.7)$$

Uniendo las expresiones anteriores se obtiene la ecuación (5.8), y si se impone que $INL_{max} < 0,5 \cdot LSB$ se llega a (5.9). Por tanto esta última ecuación es la usada en el diseño para lograr un DAC monotónico.

$$INL_{max} = \left(\frac{g_m}{I_u} \right) \frac{\sqrt{2^N}}{2} \sigma_{V_T} LSB \quad (5.8)$$

$$\left(\frac{g_m}{I_u} \right) \frac{\sqrt{2^N}}{2} \frac{A_{V_T}}{\sqrt{WL}} < 0,5 \quad (5.9)$$

Ruido electrónico a la salida del DAC

Se busca evaluar el efecto en la señal del SiPM el conectar el DAC al mismo nodo que el fotomultiplicador de silicio.

Para los cálculos solo se considera el ruido del espejo de corriente de salida. El primer motivo para esto es que, por simplicidad, se decide fijar el tamaño de los transistores de las fuentes de corriente unitarias solo siguiendo el criterio de monotonicidad. Por tanto el calcular las expresiones de ruido para ellas no afectará el diseño.

El segundo motivo es que se conjetura que parte importante del ruido a la salida del DAC vendrá dado por el espejo de corriente de salida. Se llega a esta conclusión a partir de la figura 5.3 obtenida desde simulaciones de LTspice preliminares. En dicha imagen el trazo verde corresponde a la densidad espectral de potencia del ruido integrado total referido a la salida, el trazo morado corresponde a la densidad espectral de potencia del ruido aportado por el transistor M1, el trazo rojo al del transistor M2 y el azul al de la

resistencia de salida.

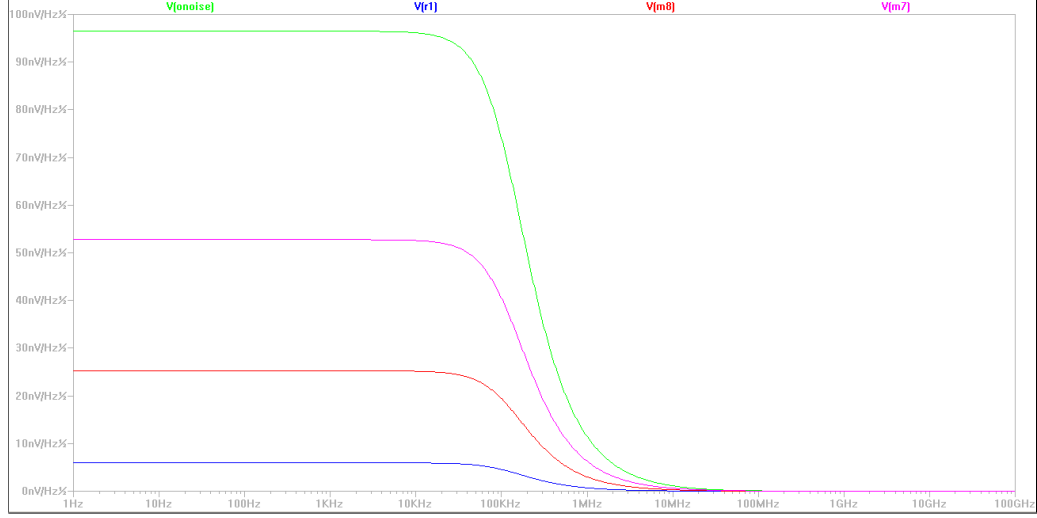


Figura 5.3. Ruido integrado total y aporte de ruido del espejo de corriente.

El tercer motivo es que, en caso de que las simulaciones mostrasen que el ruido generado por el DAC impide detectar la señal proveniente del SiPM, se pueden usar las ecuaciones obtenidas para diseñar un espejo de corriente de menor ancho de banda, lo cual filtrará ruidos de alta frecuencia y reducirá el ruido integrado total referido a la salida del DAC.

El circuito en pequeña señal del espejo de corriente de salida para una rama se puede ver en la figura 5.4, en este caso equivale al formado por los transistores M1 y M2 de la figura 5.5.

Para el cálculo de las expresiones de ruido se comienza por calcular la resistencia de salida del espejo de corriente. Por simplicidad, se calcula primero $Z_{out}^{\tilde{D}AC}$, que representa a todo el circuito de la figura 5.4 menos la resistencia R_s .

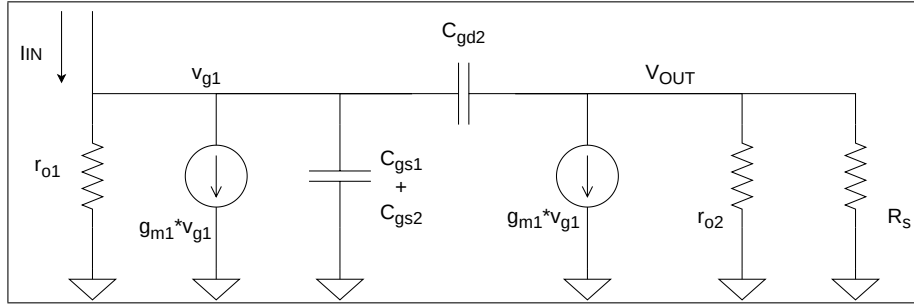


Figura 5.4. Circuito en pequeña señal del espejo de corriente de una rama del DAC.

Haciendo los cálculos correspondientes se llega a que $Z_{out}^{\tilde{DAC}}$ está compuesto por (5.10) y (5.11).

$$Z_{out}^{\tilde{DAC}} = H_{ref} \cdot \frac{1 + a}{1 + b + c + b \cdot d} \quad (5.10)$$

$$\left\{ \begin{array}{l} H_{ref} = r_{o1} \parallel r_{o2} \parallel \frac{1}{g_{m1}} \parallel \frac{1}{g_{m2}} \\ a = \frac{g_{m1}}{s \cdot C_{gd2}} \\ b = s \cdot (C_{gs1} + C_{gs2}) \left(r_{o1} \parallel r_{o2} \parallel \frac{1}{g_{m1}} \parallel \frac{1}{g_{m2}} \right) \\ c = \frac{g_{m1}}{s \cdot C_{gd2} r_{o2} (g_{m1} + g_{m2})} \\ d = \frac{1}{s \cdot C_{gd2} r_{o2}} \end{array} \right. \quad (5.11)$$

Por tanto, la impedancia de salida del DAC vendrá dada por (5.12).

$$Z_{out}^{DAC} = Z_{out}^{\tilde{DAC}} \parallel R_s \quad (5.12)$$

Luego, el aporte de ruido desde el transistor 1 hasta V_{OUT} de la figura 5.4 vendrá dado por (5.13) y (5.14), donde H_{ref} , b , c y d son los indicados en las ecuaciones (5.11).

$$\tilde{H}_{T1} = H_{ref} \cdot \frac{1 - \frac{g_{m2}}{s \cdot C_{gd2}}}{1 + b + c + b \cdot d} \quad (5.13)$$

$$H_{T1} = \frac{\tilde{H}_{T1} \cdot R_s}{Z_{out}^{\tilde{D}AC} + R_s} \quad (5.14)$$

El aporte de ruido desde el transistor 2 hasta V_{OUT} de la figura 5.4 vendrá dado por (5.15) y (5.16), donde H_{ref} , b , c y d son los indicados en las ecuaciones (5.11).

$$\tilde{H}_{T2} = H_{ref} \cdot \frac{1 + \frac{1}{s \cdot C_{gd2}(r_{o1} \parallel \frac{1}{g_{m1}})}}{1 + b + c + b \cdot d} \quad (5.15)$$

$$H_{T2} = \frac{\tilde{H}_{T2} \cdot R_s}{Z_{out}^{\tilde{D}AC} + R_s} \quad (5.16)$$

Mientras que el ruido aportado por la resistencia de salida R_s vendrá dado por las ecuaciones (5.17) y (5.18).

$$\left\{ \begin{array}{l} H_{refRs} = \left(r_{o1} \parallel r_{o2} \parallel R_s \parallel \frac{1}{g_{m1}} \parallel \frac{1}{g_{m2}} \right) \\ a_{Rs} = \frac{1}{s \cdot C_{gd2} (r_{o1} \parallel \frac{1}{g_{m1}})} \\ b_{Rs} = s \cdot (C_{gs1} + C_{gs2}) \left(r_{o1} \parallel r_{o2} \parallel R_s \parallel \frac{1}{g_{m1}} \parallel \frac{1}{g_{m2}} \right) \\ c_{Rs} = \frac{g_{m1}r_{o1} + 1}{s \cdot C_{gd2} (g_{m1}r_{o1}(r_{o2} \parallel R_s)g_{m2}r_{o1}(r_{o2} \parallel R_s) + r_{o1} + (r_{o2} \parallel R_s))} \\ d_{Rs} = \frac{s \cdot (C_{gs1} + C_{gs2}) \left(r_{o1} \parallel r_{o2} \parallel R_s \parallel \frac{1}{g_{m1}} \parallel \frac{1}{g_{m2}} \right)}{s \cdot C_{gd2} (r_{o2} \parallel R_s)} \end{array} \right. \quad (5.17)$$

$$H_{Rs} = H_{refRs} \cdot \frac{1 + a_{Rs}}{1 + b_{Rs} + c_{Rs} + d_{Rs}} \quad (5.18)$$

Simulaciones hechas en el programa LTspice indican que el ruido de voltaje RMS a la salida del DAC es de $\approx 741,45 \mu\text{V}$, sin embargo dicho valor no considera la capacitancia del detector. Según las mismas simulaciones, el detector que se usó para las simulaciones de la sección de resultados y que tiene 500 pF de capacitancia, hace bajar dicho ruido RMS a $\approx 41,88 \mu\text{V}$ y genera una señal con amplitud de 799,1 μV en el nodo V_{OUT} de la figura 5.4; esto sin conectar el TIA al mismo nodo. Lo anterior lleva a concluir que el ruido generado por el DAC no es suficiente como para ocultar la señal proveniente desde el detector.

5.1.2.1. Esquemático del DAC

La figura 5.5 muestra un esquemático de una celda del circuito del DAC donde es posible apreciar dos fuentes de corriente y los espejos de corriente que las separan de la resistencia de salida. Dado que la implementación de las fuentes de corriente es mediante pares diferenciales, la salida es diferencial, sin embargo solo se usa una de las ramas. Las entradas digitales de las fuentes de corriente son diferenciales y se pueden ver en color

verde, mientras que las salidas se pueden ver en color rojo.

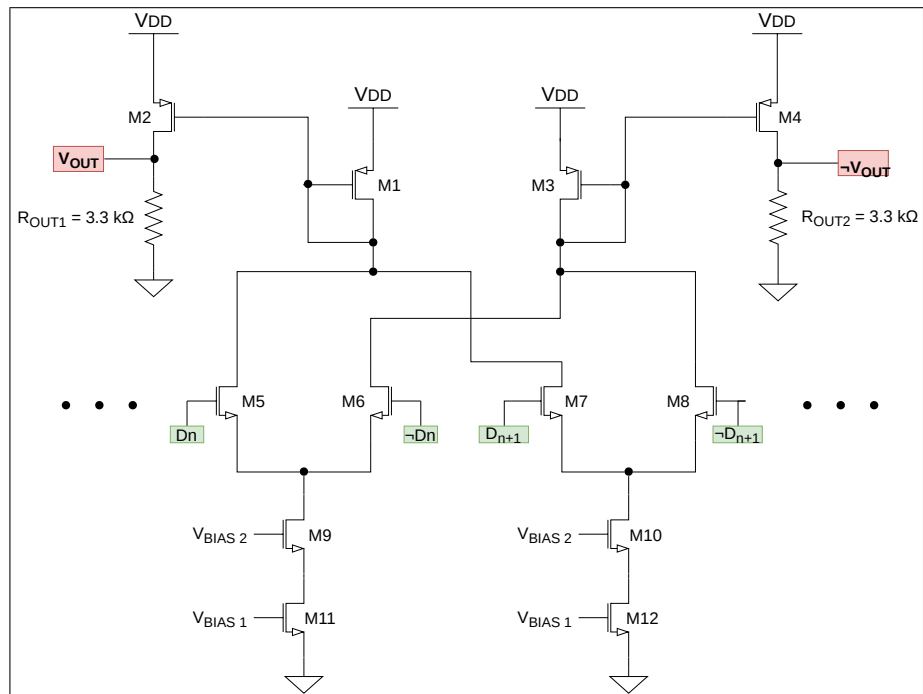


Figura 5.5. Detalle de la implementación de fuentes de corriente y espejo de corriente del DAC.

CAPÍTULO 6. RESULTADOS

6.1. Respuesta ante el disparo de 1 pixel del fotomultiplicador de silicio

Para ver el desempeño del circuito se realizan simulaciones *post layout* del chip. Estas simulaciones son las más exactas posibles, pues el circuito usado para la simulación es extraído directamente del chip ya dibujado. El programa encargado de la extracción obtiene el modelo circuital de todos los componentes dibujados en el chip, junto con las resistencias y capacitancias parásitas.

El programa usado para la extracción del circuito desde el *layout* se llama Calibre, mientras que el programa usado para simular el comportamiento del circuito es Tspice. Ambos pertenecen al grupo de programas de Mentor Graphics.

Aquí se muestran los resultados para la esquina TT del proceso de fabricación, sin embargo también se comprobó el correcto funcionamiento del chip en el resto de las esquinas del proceso. La tabla 6.1 muestra los resultados de las salidas análogas en las simulaciones realizadas.

Como señal de entrada se usó un pulso de corriente de 0,1 ns con una amplitud de 4 mA. Esto porque la carga eléctrica entregada por dicho pulso de corriente es equivalente a la carga que entregaría 1 pixel disparado en el detector Hamamatsu S14160-3050HS (“S14160/S14161 series. Low breakdown voltage type MPPC for scintillation detector”, 2019)¹ a su ganancia nominal de $2,5 \times 10^6$. Se emula su comportamiento con una fuente de corriente y capacitor pues en el momento del diseño del circuito no existía un modelo detallado del detector.

¹Se decide hacer las pruebas finales con este modelo de detector pues el profesor Sergey Kuleshov indicó que dicho modelo era un candidato para usarse en un experimento de física de partículas Na64.

Tabla 6.1. Amplitud y ruido integrado total para salidas analógicas del chip

	Salida de voltaje del TIA	Salida de voltaje de integrador <i>izq</i>	Salida de voltaje de integrador <i>der</i>
Amplitud	14,7 mV	3,58 mV	15,46 mV
Ruido integrado total	354,28 μ V	793,77 μ V	830,65 μ V

Las formas de onda de las salidas analógicas se pueden apreciar en las figuras 6.1 y 6.2, mientras que la salida producida por el discriminador se ve en la figura 6.3.

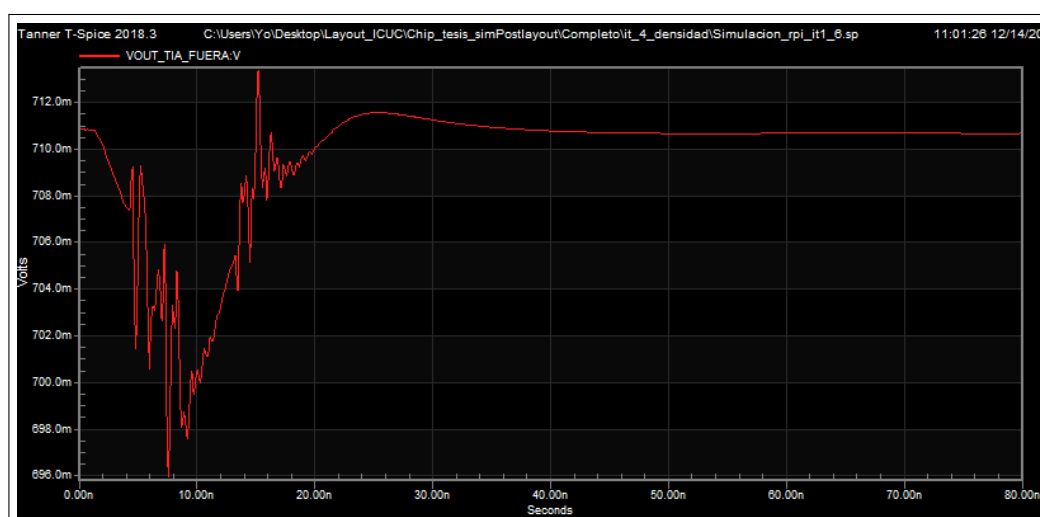


Figura 6.1. Salida del Amplificador de transimpedancia.

La salida digital del discriminador se disparará $\approx 3,28$ ns después de el canal haya recibido un pulso ideal de corriente equivalente a 1 pixel activado en el detector Hamamatsu S14160-3050HS, y su transición desde 1,8 V a 0 V demorará $\approx 0,68$ ns. Estos tiempos podrían cambiar con el detector real, pues la forma de señal entregada por el SiPM no es un pulso ideal y variará dependiendo del MPPC.

Por otro lado, el consumo de corriente del chip se puede separar en sus alimentaciones digital y analógica. La alimentación digital entrega corriente solo al *buffer* digital que ayuda

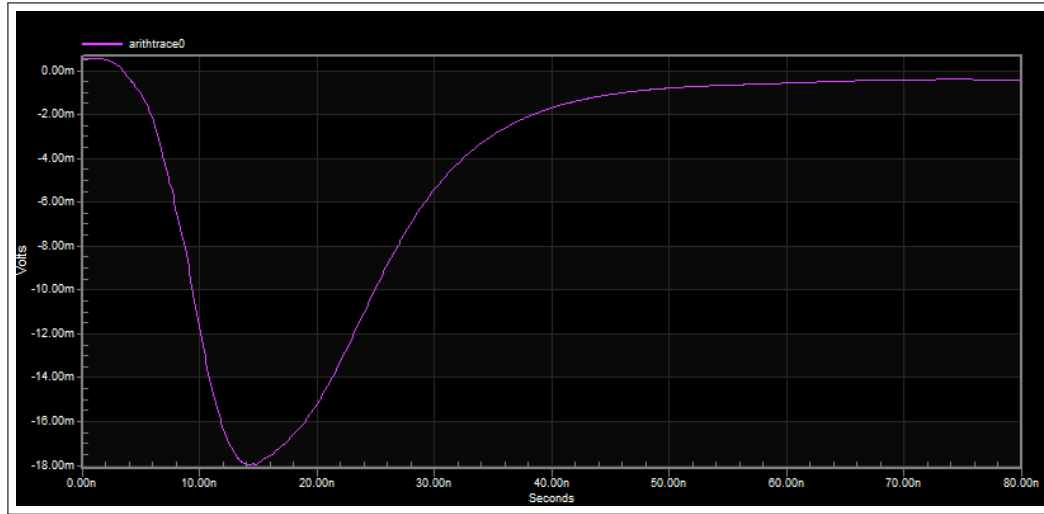


Figura 6.2. Salida diferencial del integrador.

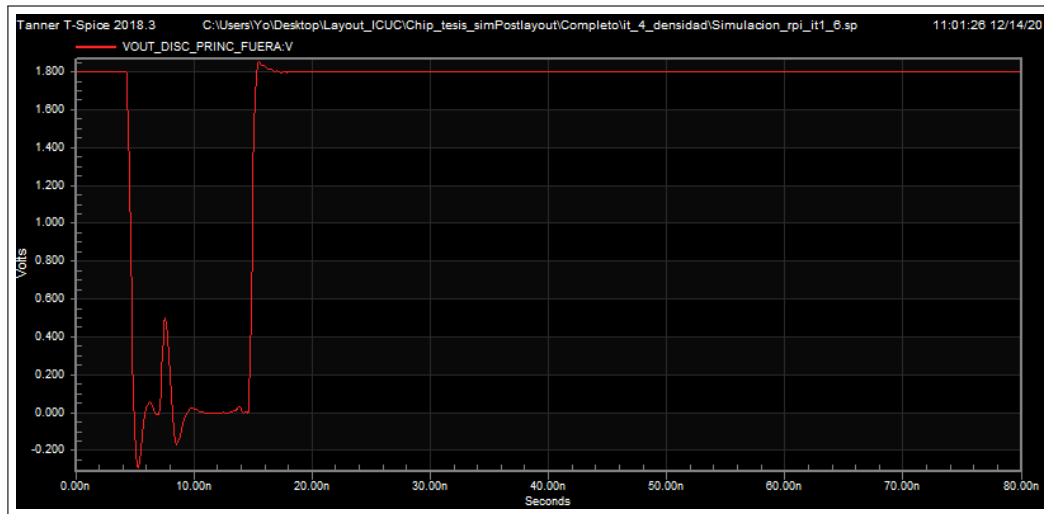


Figura 6.3. Salida digital producida por el discriminador.

a extraer la señal del discriminador, mientras que la alimentación analógica da corriente al resto del chip. Se decidió separar la alimentación del *buffer* digital para disminuir el ruido producido en tierra y V_{DD} cuando se produce una transición entre estados digitales.

En las figuras 6.4 y 6.5 se pueden ver el consumo de corriente del chip cuando recibe una entrada equivalente a 1 pixel disparado en el detector Hamamatsu S14160-3050HS;

los valores expuestos corresponden a la esquina TT del proceso de fabricación. A partir de las imágenes 6.4 y 6.5 se puede afirmar que el consumo en estado de reposo vendrá dado fundamentalmente por la alimentación analógica, teniéndose un consumo de ≈ 41 mA. Por otro lado solo se consume corriente digital durante las transiciones del discriminador, teniéndose un *peak* de hasta 140 mA, con un gasto de 322,81 pJ de energía en la alimentación digital para el escenario simulado.

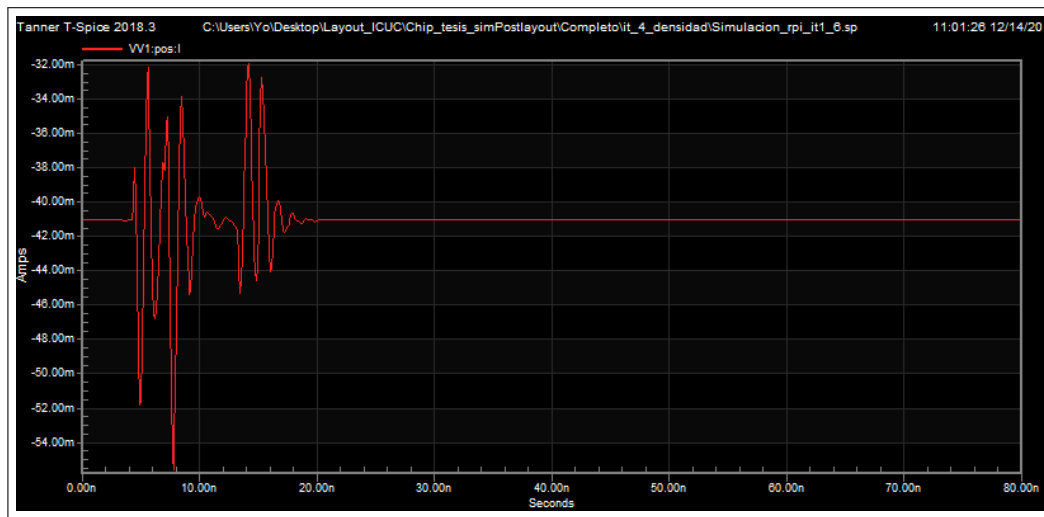


Figura 6.4. Gráfico de la corriente analógica consumida cuando se recibe la señal de 1 pixel.

Finalmente, se calcula el *jitter* a la entrada del discriminador. Para ello se mide el ruido integrado total en dicho nodo y se calcula la pendiente de la señal entrante al discriminador. Para el cálculo de la pendiente se considera el inicio del pulso y su *peak*, antes de que aparezca la distorsión vista en las figuras anteriores. Usando la ecuación (4.71) resulta un *jitter* de 354,71 ps. Este valor irá disminuyendo a medida que se activen más pixeles al mismo tiempo, pues el valor del denominador de la ecuación (4.71) aumentará.

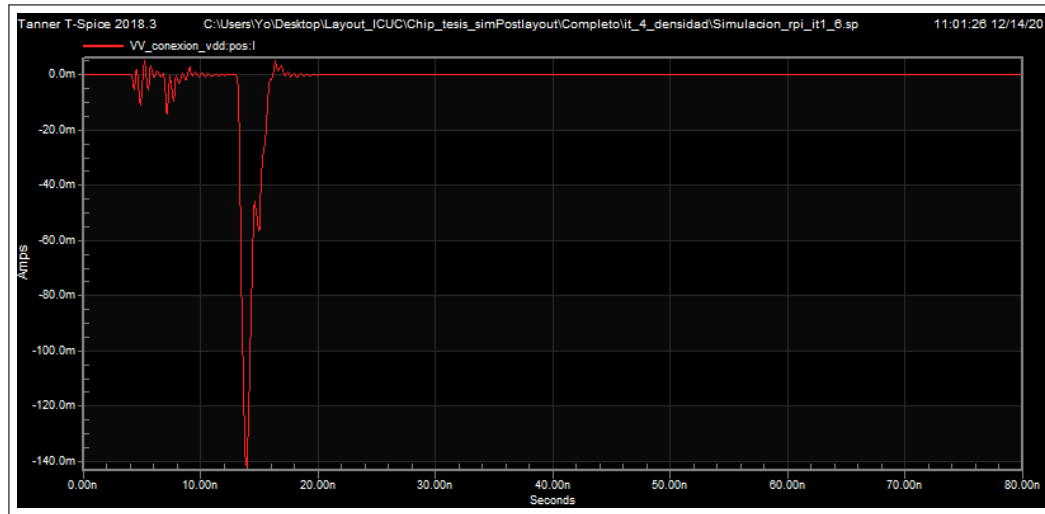


Figura 6.5. Gráfico de la corriente digital consumida cuando se recibe la señal de 1 pixel.

6.2. Respuesta ante el disparo de múltiples pixeles

Para evaluar el desempeño del chip ante múltiples pixeles disparados en el SiPM, se hace crecer la amplitud del pulso de corriente usado en la sección 6.1. De ese modo si se quiere simular la llegada de 2 pixeles se duplica la amplitud del pulso, si se quiere simular el arribo de 3, se triplica, etc.

Dado el tiempo que toma hacer una simulación *post layout*, se decide simular el disparo de algunos pixeles e interpolar la respuesta del chip entre esas muestras. Además de ello, tal como se vio en la sección 2.2, los fotomultiplicadores de silicio poseen mayor resolución para pocos pixeles disparados, por tanto se decide concentrar las simulaciones en pocos pixeles disparados y distanciarlas para una mayor cantidad. Se simuló el disparo de: 1, 2, 3, 7, 11, 29, 47, 199, 521, 2207 y 3000 pixeles, y la respuesta del sistema entre ellos se interpoló de forma lineal.

Se toman 2 enfoques de cómo leer las salidas analógicas del chip. El primero es interpretar que el usuario calibrará el circuito para siempre leer las señales en el mismo instante de tiempo después de que el discriminador se dispare. Se asume que el usuario siempre leerá las señales analógicas en el momento de máxima amplitud para la salida producida por 1 pixel, sin embargo ese punto es arbitrario y se podría escoger otro. El segundo enfoque es asumir que el usuario será capaz de identificar la amplitud máxima de las salidas analógicas, por tanto se registra el valor máximo de dichas señales independientemente del momento en que esto ocurra; ello puede lograrse con un detector de *peak* externo activado cuando el discriminador se dispare. Se hace la distinción de los 2 enfoques anteriores pues a medida que la corriente recibida desde el SiPM crece, el momento de máxima amplitud de las salidas analógicas se retrasa.

El desempeño de ambos enfoques para las salidas del TIA y del integrador se puede ver en las figuras 6.6 y 6.7. La duración de los pulsos del discriminador se pueden ver en la tabla 6.2.

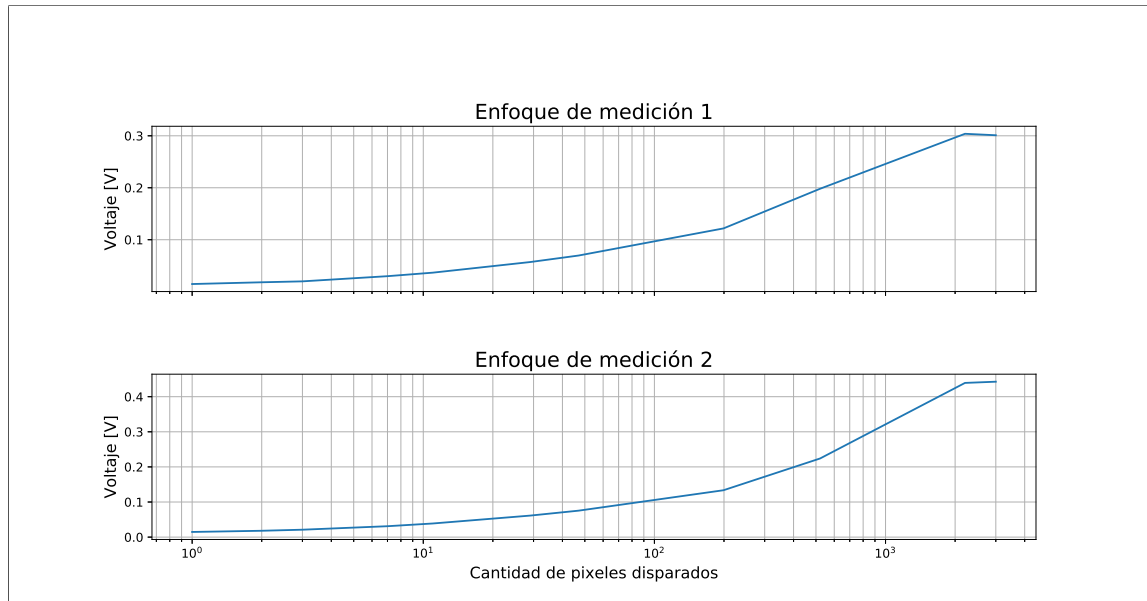


Figura 6.6. Amplitud de la salida de voltaje del TIA

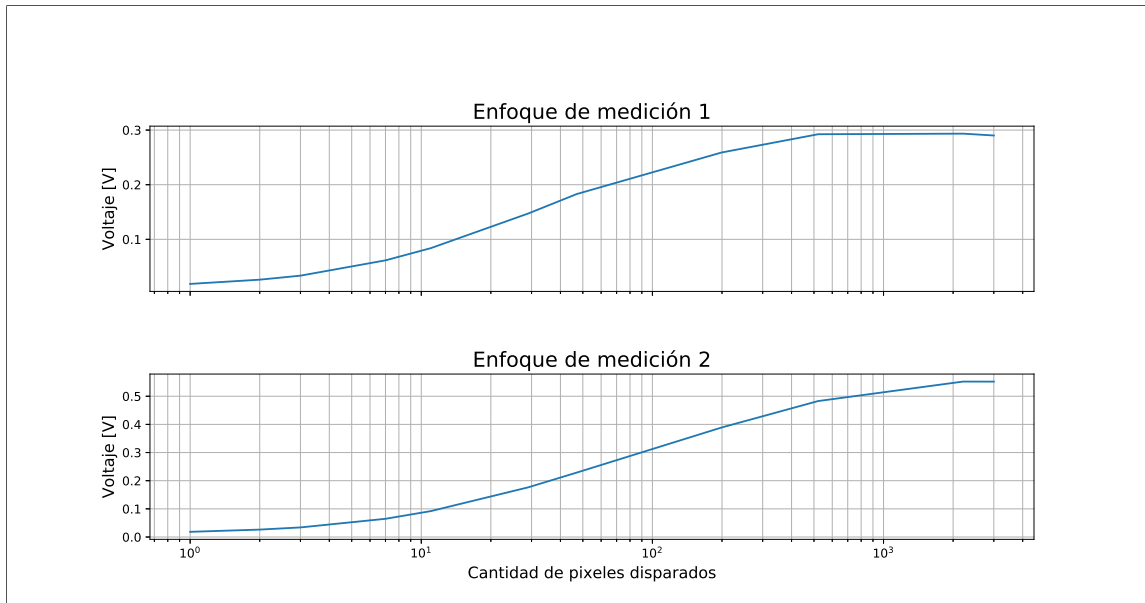


Figura 6.7. Amplitud de la salida diferencial del integrador

Tabla 6.2. Duración de pulsos del discriminador según número de pixeles disparados en el detector

Número de pixeles disparados	Duración de pulso del discriminador
1 pixel	11,4 ns
2 pixeles	17,68 ns
3 pixeles	21,24 ns
7 pixeles	31,65 ns
11 pixeles	38,07 ns
29 pixeles	54,88 ns
47 pixeles	65,88 ns
199 pixeles	> 100 ns

6.3. Discusión

Respecto a las señales vistas en las figuras 6.1, 6.2 y la tabla 6.1, se observan 3 comportamientos llamativos: la presencia de una oscilación de alta frecuencia en el mismo momento en que la señal del discriminador se activa, amplitudes dispares en las salidas diferenciales del integrador, y que el voltaje de *baseline* de la salida diferencial del integrador no está exactamente en 0 V. La explicación para el primer fenómeno es que las

inductancias aportadas por los *wire bond* que conectan las alimentaciones del chip hacen que el ruido generado por la activación del *buffer* digital genere ruido en la alimentación análoga del chip, pues tanto la alimentación digital como análoga deben compartir tierra. Prueba de lo anterior es que las oscilaciones desaparecen cuando no se consideran las inductancias parásitas de los *wire bond* de la alimentación analógica.

En segundo lugar las diferencias en las amplitudes de ambas salidas diferenciales del discriminador, vistas en la tabla 6.1, se explican porque la compensación de *mismatch* está funcionando en las pruebas realizadas. Como se explicó en la sección 4.2.3, la compensación actúa en la salida de la primera etapa de amplificación del discriminador, que es donde se conecta el integrador diferencial. La compensación genera que los voltajes de *baseline* de salida de la primera etapa de amplificación cambien y que alguno de ellos se pueda acercar a los rieles de alimentación. Ello degradará la capacidad de amplificar de esa rama del integrador.

Se podría argumentar que la característica anterior pone en peligro la capacidad de detectar señales del integrador. Esa posibilidad se descarta pues la amplitud de la señal diferencial aún se encuentra lejos del piso de ruido. No obstante lo anterior, sí se recomienda que el usuario calibre el dispositivo y sus 4 canales antes de su uso.

En tercer lugar, que el voltaje de *baseline* del integrador diferencial no esté centrado en cero se debe también a la compensación de *mismatch* que se encuentra operando.

Respecto a las figuras 6.4 y 6.5, las oscilaciones apreciadas se debe a que las tierras análogas y digitales deben unirse en un punto, y por ese punto se introduce ruido producido por el cambio de estado del *buffer* digital. Este fenómeno es causado, principalmente,

por las inductancias parásitas que poseen los *bond wire* que conectan el chip con su encapsulado.

En simulaciones donde se reciben pulsos de corriente que emulan señales de hasta 3000 píxeles, no se notaron cambios significativos en el consumo promedio de la alimentación analógica, ni en el consumo *peak* de la etapa digital. En la imagen 6.8 se puede ver el consumo de corriente analógica cuando con una entrada de carga equivalente a 3000 píxeles.

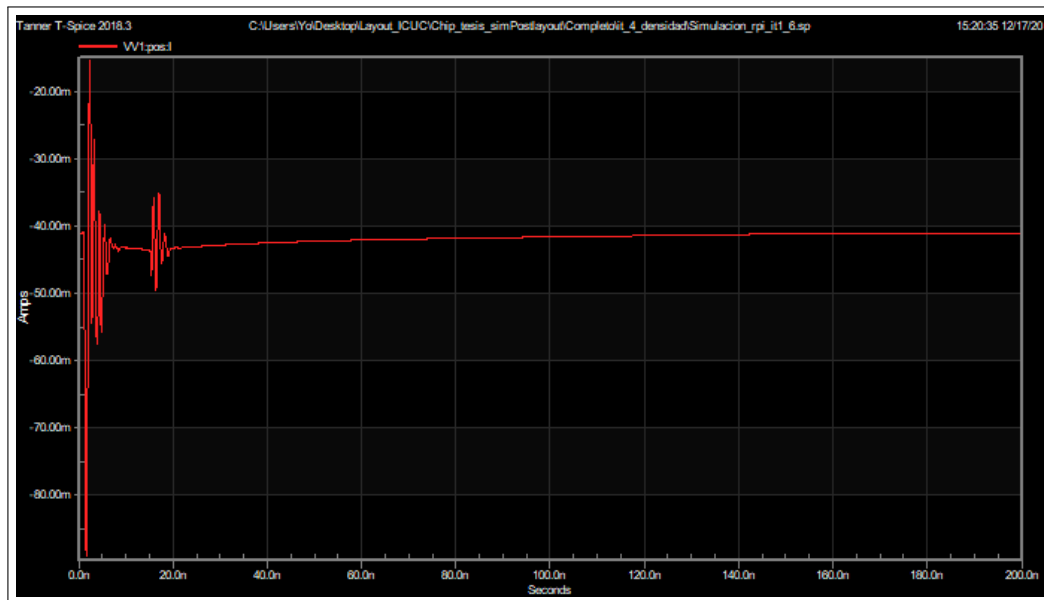


Figura 6.8. Consumo de corriente analógica para una entrada equivalente a 3000 píxeles.

En otro aspecto, se evalúa la capacidad para resolver píxeles del circuito. Se considerará que una señal puede distinguirse de una vecina si están separadas por más de 6σ de ruido entre sí. Si se considera una señal a , se asume que el ruido electrónico generará una zona de incertidumbre de 3σ a cada lado de la señal original, por tanto si se tiene

una señal vecina b , ambas señales se podrán resolver solo si sus respectivas zonas de incertidumbre no se solapan entre sí. De ese modo se llega al criterio de los 6σ de separación.

La forma de aplicar el criterio de los 6σ es primero calcular la pendiente resultante de las interpolaciones mostradas en las figuras 6.6 y 6.7; la pendiente indicará cuánto aumenta la amplitud de la salida cuando se recibe un pixel más de señal desde el detector. Luego se deben sumar los aportes de tantos pixeles como sea necesario para rebasar la barrera de los 6σ correspondiente a dicha salida, cuando se sobrepase dicha barrera, se ha encontrado la capacidad de resolución de dicho tramo de interpolaciones.

Siguiendo la lógica anterior, se puede afirmar que para ambos enfoques de medición del integrador, este no es capaz de resolver diferencias de 1 pixel disparado, pero sí es capaz de resolver diferencias de 2 pixeles disparados. Dicha capacidad se va degradando a medida que se reciben señales más grandes desde el SiPM. Un resumen de la capacidad para resolver pixeles se presenta en la tabla 6.3. Similarmente, para la salida del TIA la tabla resumen es 6.4. Se debe notar que los datos del TIA no son confiables con pocos pixeles, pues allí las oscilaciones causadas por el *buffer* digital aumentan de forma anómala la amplitud de la señal. Recordar que la salida del TIA está pensada para entregar información de cientos o más pixeles.

A la luz de los datos anteriores, cobra importancia la opción de usar la técnica de *Time over threshold* para resolver señales de pocos pixeles. Si se ve la tabla 6.2 y el *jitter* calculado al final de la sección 6.1, se nota que mediante esta técnica sí se debiese poder resolver la llegada de 1, 2 o 3 pixeles. Se debe recordar que el desempeño exacto del discriminador dependerá del detector particular que se conecte al chip, sin embargo tal como mostraron las simulaciones de la sección 4.3.1, la capacidad de resolver las señales de pocos pixeles debiese permanecer intacta.

Tabla 6.3. Capacidad para resolver pixeles del integrador.

Número de pixeles disparados en el detector	Capacidad de resolución de pixeles midiendo máximo de señal	Capacidad de resolución de pixeles midiendo en instante de máxima señal para 1 pixel.
1 - 11	2	2
11 - 29	3	3
29 - 47	4	6
47 - 199	10	20
199 - 521	35	100
521 - 2207	250	Indistinguible
2207 - 3000	Indistinguible	Indistinguible

Tabla 6.4. Capacidad para resolver pixeles del TIA.

Número de pixeles disparados en el detector	Capacidad de resolución de pixeles midiendo máximo de señal	Capacidad de resolución de pixeles midiendo en instante de máxima señal para 1 pixel.
1 - 2	1	1
2 - 3	1	2
3 - 7	1	1
7 - 11	2	2
11 - 29	3	3
29 - 47	4	4
47 - 199	7	8
199 - 521	9	11
521 - 2207	20	40
2207 - 3000	575	Indistinguible

CAPÍTULO 7. CONCLUSIÓN

A partir de los resultados obtenidos se puede concluir que se lograron los objetivos planteados inicialmente, aunque con ciertas condiciones. El circuito es capaz de leer señales provenientes desde un detector SiPM/MPPC en un rango que va desde 1 fotón detectado hasta 3000, sin embargo pierde resolución a medida que recibe señales de mayor amplitud. Esto es esperable pues tal como se mostró en la sección 4.1.3, no es factible diseñar un circuito, en esta tecnología, en donde los transistores no saturen al recibir demasiada carga desde un SiPM. Por otro lado, como se vio en el capítulo 2, los mismos detectores pierden precisión a medida que disparan más pixeles simultáneamente.

Debe señalarse que la capacidad de leer hasta 3000 pixeles se alcanza solo cuando se registra el valor de la amplitud máxima para las salidas analógicas, por tanto el instrumento o el circuito usado para leer las salidas del chip debe aumentar en complejidad. Si por otro lado se decide siempre leer las salidas analógicas en un mismo instante de tiempo, por ejemplo en el momento de máxima amplitud cuando se ha recibido solo 1 pixel, la capacidad de leer hasta 3000 pixeles se degrada respecto al caso anterior, tal como se expuso en la sección 6.2.

Para algunas esquinas del proceso de fabricación, la amplitud de la señal producida desde el TIA y los integradores se encuentra cerca del piso de ruido cuando en el sensor se dispara solo 1 pixel. Sin embargo es de esperar que el discriminador continúe operando en dichos casos.

En referencia al aporte de este trabajo respecto al estado del arte, se pueden citar 5 chips que cumplen funciones similares al aquí presentado: SPIROC, MUSIC, EASIROC,

PETIROC y VATA64HDR16, todos ellos referenciados en el estado del arte de la introducción. Respecto a los primeros 4, resulta compleja una comparación directa, pues dichos circuitos integrados no están diseñados en tecnologías CMOS, sino que en SiGe. No obstante se debe afirmar que poseen un desempeño que parece sobrepasar al del circuito presentado en esta tesis, sin embargo es probable que los costos de fabricación en tecnología SiGe sobrepasen a los de CMOS.

Por otro lado, el chip VATA64HDR16 (Meier y cols., 2010; Bagliesi y cols., 2011) se fabrica con tecnología CMOS de $0,35\ \mu\text{m}$, por tanto aquí las comparaciones sí pueden hacerse más directamente. Como se puede ver en (Meier y cols., 2010; Bagliesi y cols., 2011), dentro de las ventajas del VATA64HDR16 se cuenta su linealidad, la cual se mantiene hasta recibir 12 pF, y su capacidad para recibir señales de polaridad positiva o negativa; a diferencia del chip diseñado en esta tesis, que está optimizado para solo recibir señales con polaridad negativa. Adicionalmente, si se quiere sacar el máximo provecho al chip propuesto, se debe leer siempre el punto máximo de sus señales, lo cual implica agregar complejidad a la placa PCB donde irá soldado.

Por otro lado, dentro de las desventajas de VATA64HDR16 respecto al chip aquí presentado, se cuentan que solo maneja detectores con capacitancia máxima de 300 pF, que como máximo puede recibir 50 pC de carga, y que la constante de tiempo más rápida que posee el circuito es de 50 ns. Por el contrario el circuito aquí propuesto se ha simulado conectado a fuentes de corriente y capacitancias que emulan detectores de 500 pF, recibiendo carga de hasta 1,2 nC.

Otra diferencia que se puede citar entre VATA64HDR16 y el circuito aquí diseñado es que el primero posee 64 canales, mientras que la alternativa propuesta solo posee 4. Este es un aspecto que se puede mejorar en futuras iteraciones.

Por otro lado, según la búsqueda bibliográfica realizada hasta la fecha, no se reportan otros trabajos en donde se use la topología de RC-G con prealimentación para la lectura de detectores SiPM/MPPC.

7.1. Trabajo futuro

Como trabajo futuro queda la prueba del chip diseñado. Para ello se debe desarrollar una placa PCB específica para el chip. Para apoyar dicho esfuerzo, en el anexo de este documento se encuentran lineamientos que se deben seguir para que el circuito funcione adecuadamente.

Por otro lado, para iteraciones futuras del chip se puede recomendar el aumentar el número de canales. Para ello quizá sea necesario explorar formas alternativas a los *wire bonds* para conectar el chip a su empaquetado. Otros cambios posibles son el explorar transmitir la salida del TIA al discriminador e integrador mediante corriente, usando espejos de corriente por ejemplo. Se conjetura que de ese modo se podrían lograr velocidades mayores.

REFERENCES

- Abusleme, A., Barraza, R., y Kuleshov, S. (2018). A baseline restorer for charge-sensitive amplifiers in a 500-nm cmos process. En *2018 ieee 9th latin american symposium on circuits systems (lascas)* (p. 1-4).
- Acerbi, F., Ferri, A., Gola, A., Cazzanelli, M., Pavesi, L., Zorzi, N., y Piemonte, C. (2014). Characterization of single-photon time resolution: From single spad to silicon photomultiplier. *IEEE Transactions on Nuclear Science*, 61(5), 2678-2686.
- Acerbi, F., Ferri, A., Zappala, G., Paternoster, G., Picciotto, A., Gola, A., ... Piemonte, C. (2015). Nuv silicon photomultipliers with high detection efficiency and reduced delayed correlated-noise. *IEEE Transactions on Nuclear Science*, 62(3), 1318-1325.
- Acerbi, F., y Gundacker, S. (2019). Understanding and simulating sipms. *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment*, 926, 16–35.
- Andreas, S., Donskov, S. V., Crivelli, P., Gardikiotis, A., Gninenko, S. N., Golubev, N. A., ... Zioutas, K. (2013). *Proposal for an experiment to search for light dark matter at the sps*.
- Avella, P., Santo], A. D., Lohstroh, A., Sajjad, M. T., y Sellin, P. J. (2012). A study of timing properties of silicon photomultipliers. *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment*, 695, 257 - 260. Descargado de <http://www.sciencedirect.com/science/article/pii/S0168900211020912> (New Developments in Photodetection NDIP11) doi: <https://doi.org/10.1016/j.nima.2011.11.049>
- Axani, S. N. (2019). The physics behind the cosmicwatch desktop muon detectors. *arXiv*

preprint arXiv:1908.00146.

Bagliesi, M., Avanzini, C., Bigongiari, G., Cecchi, R., Kim, M., Maestro, P., . . . Morsani, F. (2011). A custom front-end asic for the readout and timing of 64 sipm photosensors. *Nuclear Physics B-Proceedings Supplements*, 215(1), 344–348.

Banerjee, D., Burtsev, V., Chumakov, A., Cooke, D., Depero, E., Dermenev, A., . . . others (2018). Performance of multiplexed xy resistive micromegas detectors in a high intensity beam. *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment*, 881, 72–81.

Bingefors, N., Bouvier, S., Gadomski, S., Hall, G., Høgh, T., Jalocho, P., . . . others (1993). A novel technique for fast pulse-shaping using a slow amplifier at lhc. *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment*, 326(1-2), 112–119.

Blake, K. (2008). Op amp precision design: random noise. *Application Note AN1228, Microchip Technology*.

Briggl, K., Shen, W., Harion, T., Hagdorn, R., Eckert, P., Klapdor-Kleingrothaus, T., . . . Schultz-Coulon, H. (2013). Characterization results and first applications of klaus - an asic for sipm charge and fast discrimination readout. En *2013 ieee nuclear science symposium and medical imaging conference (2013 nss/mic)* (p. 1-4).

Buzhan, P., Dolgoshein, B., Ilyin, A., Kaplin, V., Klemin, S., Mirzoyan, R., . . . Teshima, M. (2009). The cross-talk problem in sipms and their use as light sensors for imaging atmospheric cherenkov telescopes. *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment*, 610(1), 131 - 134. Descargado de <http://www.sciencedirect.com/science/article/pii/S0168900209010456> (New Developments In Photodetection NDIP08) doi: <https://doi.org/10.1016/j.nima.2009.05.150>

Callier, S., Dulucq, F., Fabbri, R., de La Taille, C., Lutz, B., Martin-Chassard, G., ... Shen, W. (2009, Oct). Silicon photomultiplier integrated readout chip (spiroc) for the ilc: Measurements and possible further development. En *2009 ieee nuclear science symposium conference record (nss/mic)* (p. 42-46). doi: 10.1109/NSSMIC.2009.5401891

Callier, S., Taille, C. D., Martin-Chassard, G., y Raux, L. (2012). Easiroc, an easy & versatile readout device for sipm. *Physics Procedia*, 37, 1569–1576.

Calò, P., Ciciriello, F., Corsi, F., Marzocca, C., Matarrese, G., y Bisogni, M. G. (2016). Basic64: A new mixed-signal front-end asic for sipm detectors. En *2016 ieee nuclear science symposium, medical imaging conference and room-temperature semiconductor detector workshop (nss/mic/rtsd)* (p. 1-5).

Calò, P. P., Ciciriello, F., Petrignani, S., y Marzocca, C. (2019). Sipm readout electronics. *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment*, 926, 57 - 68. Descargado de <http://www.sciencedirect.com/science/article/pii/S0168900218311756> (Silicon Photomultipliers: Technology, Characterisation and Applications) doi: <https://doi.org/10.1016/j.nima.2018.09.030>

Castilla, J., Cela, J., Comerma, A., Fernández-Varea, J., Freixas, L., Garrido, L., ... Sarasola, I. (2013). Evaluation of the flextot asic on the readout of sipm matrices and scintillators for pet. En *2013 ieee nuclear science symposium and medical imaging conference (2013 nss/mic)* (p. 1-4).

Comerma, A., Gascón, D., Freixas, L., Garrido, L., Graciani, R., Marín, J., ... Sarasola, I. (2013). Flextot - current mode asic for readout of common cathode sipm arrays. En *2013 ieee nuclear science symposium and medical imaging conference (2013 nss/mic)* (p. 1-2).

Corsi, F., Dragone, A., Marzocca, C., Del Guerra, A., Delizia, P., Dinu, N., ... Dalla Betta, G. F. (2007). Modelling a silicon photomultiplier (sipm) as a signal source for optimum

front-end design. *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment*, 572(1), 416–418.

Corsi, F., Foresta, M., Marzocca, C., Matarrese, G., y Del Guerra, A. (2009). Asic development for sipm readout. *Journal of Instrumentation*, 4(03), P03004.

Corsi, F., Marzocca, C., Perrotta, A., Dragone, A., Foresta, M., Del Guerra, A., ... others (2006). Electrical characterization of silicon photo-multiplier detectors for optimal front-end design. En *2006 ieee nuclear science symposium conference record* (Vol. 2, pp. 1276–1280).

Cova, S., Ghioni, M., Lacaita, A., Samori, C., y Zappa, F. (1996, Apr). Avalanche photodiodes and quenching circuits for single-photon detection. *Appl. Opt.*, 35(12), 1956–1976. Descargado de <http://ao.osa.org/abstract.cfm?URI=ao-35-12-1956> doi: 10.1364/AO.35.001956

C-series low noise blue-sensitive silicon photomultipliers [Manual de software informático]. (2014).

Dastgheib, A., y Murmann, B. (2008). Calculation of total integrated noise in analog circuits. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 55(10), 2988–2993.

Di Francesco, A., Bugalho, R., Oliveira, L., Rivetti, A., Rolo, M., Silva, J. C., y Varela, J. (2016). Tofpet 2: A high-performance circuit for pet time-of-flight. *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment*, 824, 194–195.

Di Lorenzo, S. C., Callier, S., Fleury, J., Dulucq, F., De la Taille, C., Chassard, G. M., ... Seguin-Moreau, N. (2013). Spiroc: design and performances of a dedicated very front-end electronics for an ilc analog hadronic calorimeter (ahcal) prototype with sipm read-out. *Journal of Instrumentation*, 8(01), C01027.

Dinu, N., Battiston, R., Boscardin, M., Collazuol, G., Corsi, F., Dalla Betta, G., ... Zorzi, N. (2007). Development of the first prototypes of silicon photomultiplier (sipm) at itc-irst. *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment*, 572(1), 422 - 426. Descargado de <http://www.sciencedirect.com/science/article/pii/S0168900206021462> (Frontier Detectors for Frontier Physics) doi: <https://doi.org/10.1016/j.nima.2006.10.305>

d. M. Silva, M., y Oliveira, L. B. (2014). Regulated common-gate transimpedance amplifier designed to operate with a silicon photo-multiplier at the input. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 61(3), 725-735.

Dorosz, P., Baszczyk, M., Kucewicz, W., y Mik, L. (2018). Low-power front-end asic for silicon photomultiplier. *IEEE Transactions on Nuclear Science*, 65(4), 1070-1078.

Electronics, I. D. (s.f.). *Integrated circuits products*, howpublished = <https://ideas.no/ideas-ic-products/>, year = 2018, note = Accedido el: 2020-09-30.

Fleury, J., Callier, S., de La Taille, C., Seguin, N., Thienpont, D., Dulucq, F., ... Martin, G. (2013). Petiroc, a new front-end asic for time of flight application. En *2013 ieee nuclear science symposium and medical imaging conference (2013 nss/mic)* (pp. 1–5).

Fleury, J., Callier, S., de La Taille, C., Seguin, N., Thienpont, D., Dulucq, F., ... Martin, G. (2014). Petiroc and citiroc: front-end asics for sipm read-out and tof applications. *Journal of Instrumentation*, 9(01), C01049.

French, M., Jones, L., Morrissey, Q., Neviani, A., Turchetta, R., Fulcher, J., ... Marseguerra, G. (2001). Design and results from the apv25, a deep sub-micron cmos front-end chip for the cms tracker. *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment*, 466(2), 359 - 365. Descargado de <http://www.sciencedirect.com/science/article/pii/>

S0168900201005897 (4th Int. Symp. on Development and Application of Semiconductor Tracking Detectors) doi: [https://doi.org/10.1016/S0168-9002\(01\)00589-7](https://doi.org/10.1016/S0168-9002(01)00589-7)

Ghassemi, A., Sato, K., Kobayashi, K., Ohashi, Y., Enomoto, Y., y Adachi, Y. (2018). *Mppc* (Inf. Téc.). Hamamatsu Photonics.

Ghimouz, A., Rarbi, F., Gallin-Martel, L., y Rossetto, O. (2018). A preamplifier-discriminator circuit based on a common gate feedforward tia for fast time measurements using diamond detectors. En *2018 25th ieee international conference on electronics, circuits and systems (icecs)* (pp. 281–284).

Gil, A., Rodriguez, J., Alvarez, V., Diaz, J., Gómez-Cadenas, J., y Lorca, D. (2011). Programmable power supply system for sipm bias. En *2011 ieee nuclear science symposium conference record* (pp. 787–790).

Gninenko, S. (2014, Apr). Search for mev dark photons in a light-shining-through-walls experiment at cern. *Physical Review D*, 89(7). Descargado de <http://dx.doi.org/10.1103/PhysRevD.89.075008> doi: 10.1103/physrevd.89.075008

Goll, B., y Zimmermann, H. (2015). *Comparators in nanometer cmos technology*. Springer.

Gómez, S., Gascón, D., Fernández, G., Sanuy, A., Mauricio, J., Graciani, R., y Sanchez, D. (2016). Music: An 8 channel readout asic for sipm arrays. En *Optical sensing and detection iv* (Vol. 9899, p. 98990G).

Harion, T., Briggel, K., Chen, H., Fischer, P., Gil, A., Kiworra, V., ... Stankova, V. (2014). Stic—a mixed mode silicon photomultiplier readout asic for time-of-flight applications. *Journal of Instrumentation*, 9(02), C02003.

Huizenga, J., Seifert, S., Schreuder, F., van Dam, H., Dendooven, P., Löhner, H., ... Schaart, D. (2012). A fast preamplifier concept for sipm-based time-of-flight pet detectors. *Nuclear Instruments and Methods in Physics Research Section A*:

Accelerators, Spectrometers, Detectors and Associated Equipment, 695, 379 - 384.
Descargado de <http://www.sciencedirect.com/science/article/pii/S0168900211020468> (New Developments in Photodetection NDIP11) doi: <https://doi.org/10.1016/j.nima.2011.11.012>

Jespers, P. G., y Murmann, B. (2017). *Systematic design of analog cmos circuits*. Cambridge University Press.

Klanner, R. (2019). Characterisation of sipms. *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment*, 926, 36–56.

Klanner, R., y Sauli, F. (2019). *Silicon photomultipliers: Technology, characterisation and applications*. ELSEVIER SCIENCE BV PO BOX 211, 1000 AE AMSTERDAM, NETHERLANDS.

Lauritzen, M. E. (2017). *A silicon photomultiplier based readout system for a cosmic muon telescope; design and implementation* (Tesis de Master no publicada). The University of Bergen.

Leo, W. R. (2012). *Techniques for nuclear and particle physics experiments: a how-to approach*. Springer Science & Business Media.

Liu, F. Y., Patil, D., Lexau, J., Amberg, P., Dayringer, M., Gainsley, J., ... Ho, R. (2012). 10-gbps, 5.3-mw optical transmitter and receiver circuits in 40-nm cmos. *IEEE Journal of Solid-State Circuits*, 47(9), 2049-2067.

Lorenzo, S. C. D., Callier, S., Fleury, J., Dulucq, F., la Taille, C. D., Chassard, G. M., ... Seguin-Moreau, N. (2013, jan). SPIROC: design and performances of a dedicated very front-end electronics for an ILC analog hadronic CALorimeter (AHCAL) prototype with SiPM read-out. *Journal of Instrumentation*, 8(01), C01027–C01027. Descargado de <https://doi.org/10.1088%2F1748-0221%2F8%2F01%2Fc01027> doi:

10.1088/1748-0221/8/01/c01027

Lutz, B., collaboration, C., y cols. (2012). Upgrade of the cms hadron outer calorimeter with sipm sensors. En *Journal of physics: Conference series* (Vol. 404, p. 012018).

Maloberti, F. (2006). *Analog design for cmos vlsi systems* (Vol. 646). Springer Science & Business Media.

Manganaro, G. (2011). *Advanced data converters*. Cambridge University Press.

Marano, D., Belluso, M., Bonanno, G., Billotta, S., Grillo, A., Garozzo, S., ... others (2013). Silicon photomultipliers electrical model extensive analytical analysis. *IEEE Transactions on Nuclear Science*, 61(1), 23–34.

Marano, D., Bonanno, G., Garozzo, S., Grillo, A., y Romeo, G. (2016). A new simple and effective procedure for sipm electrical parameter extraction. *IEEE Sensors Journal*, 16(10), 3620–3626.

Meier, D., Mikkelsen, S., Talebi, J., Azman, S., Mæhlum, G., y Patt, B. E. (2010). An asic for sipm/mppc readout. En *Ieee nuclear science symposium medical imaging conference* (p. 1653-1657).

Middlebrook, R. (1989). Null double injection and the extra element theorem. *IEEE Transactions on Education*, 32(3), 167–180.

Middlebrook, R. D., Vorpérian, V., y Lindal, J. (1998). The n extra element theorem. *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications*, 45(9), 919–935.

Nemallapudi, M., Gundacker, S., Lecoq, P., y Auffray, E. (2016, oct). Single photon time resolution of state of the art SiPMs. *Journal of Instrumentation*, 11(10), P10016–P10016. Descargado de <https://doi.org/10.1088%2F1748-0221%2F11%2F10%2Fp10016> doi: 10.1088/1748-0221/11/10/p10016

Orita, T., Uenomachi, M., y Shimazoe, K. (s.f.). Development of time-over-threshold asics for radiation sensors.

Piemonte, C., y Gola, A. (2019a). Overview on the main parameters and technology of modern silicon photomultipliers. *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment*, 926, 2 - 15. Descargado de <http://www.sciencedirect.com/science/article/pii/S0168900218317716> (Silicon Photomultipliers: Technology, Characterisation and Applications) doi: <https://doi.org/10.1016/j.nima.2018.11.119>

Piemonte, C., y Gola, A. (2019b). Overview on the main parameters and technology of modern silicon photomultipliers. *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment*, 926, 2–15.

Powolny, F., Auffray, E., Brunner, S., Garutti, E., Goettlich, M., Hillemanns, H., ... others (2011). Time-based readout of a silicon photomultiplier (sipm) for time of flight positron emission tomography (tof-pet). *IEEE Transactions on Nuclear Science*, 58(3), 597–604.

Powolny, F., Auffray, E., Brunner, S. E., Garutti, E., Goettlich, M., Hillemanns, H., ... Williams, M. C. S. (2011). Time-based readout of a silicon photomultiplier (sipm) for time of flight positron emission tomography (tof-pet). *IEEE Transactions on Nuclear Science*, 58(3), 597-604.

Razavi, B. (2018). The current-steering dac [a circuit for all seasons]. *IEEE Solid-State Circuits Magazine*, 10(1), 11–15.

Renker, D. (2006). Geiger-mode avalanche photodiodes, history, properties and problems. *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment*, 567(1), 48 - 56. Descargado de <http://www.sciencedirect.com/science/article/pii/S0168900206008680> (Proceedings of the 4th International Conference on New Developments in Photodetection) doi: <https://doi.org/10.1016/j.nima.2006.05.060>

Rivetti, A. (2015). *Cmos: front-end electronics for radiation sensors*. CRC press.

Rychter, A. (2016). *Vol. 42-measurement based characterisation and modeling of micro-pixel avalanche photodiodes* (Tesis Doctoral no publicada). Warsaw U. of Tech.

S10362-11 series. new type of si photon-counting device, active area: 1x1 mm [Manual de software informático]. (2009).

S13360 series. mppcs for precision measurement [Manual de software informático]. (2016).

S14160/s14161 series. low breakdown voltage type mppc for scintillation detector [Manual de software informático]. (2019).

Sadygov, Z., Olshevski, A., Chirikov, I., Zheleznykh, I., y Novikov, A. (2006). Three advanced designs of micro-pixel avalanche photodiodes: Their present status, maximum possibilities and limitations. *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment*, 567(1), 70 - 73. Descargado de <http://www.sciencedirect.com/science/article/pii/S0168900206008795> (Proceedings of the 4th International Conference on New Developments in Photodetection) doi: <https://doi.org/10.1016/j.nima.2006.05.215>

Seguin-Moreau, N., Cizel, J., Dulucq, F., Martin-Chassard, G., De La Taille, C., Callier, S., y Raux, L. (2013). *Roc chips for imaging calorimetry at the international linear collider* (Inf. Téc.).

Seifert, S., Van Dam, H. T., Huizenga, J., Vinke, R., Dendooven, P., Lohner, H., y Schaart, D. R. (2009). Simulation of silicon photomultiplier signals. *IEEE Transactions on Nuclear Science*, 56(6), 3726–3733.

SEMICONDUCTOR, M. (s.f.). *Tsmc mpw shared tapeouts, howpublished = <https://www.musesemi.com/shared-block-tapeout-pricing>, year = 2019, note =* *Accedido el: 2020-09-30.*

Semiconductor Components Industries, L. S. (2018). *And9770/d introduction to the silicon photomultiplier (sipm)* (Inf. Téc.). ON Semiconductor.

Shen, W., Harion, T., y Schultz-Coulon, H.-C. (2010). Stic—an asic chip for silicon-photomultiplier fast timing discrimination. En *Ieee nuclear science symposium & medical imaging conference* (pp. 406–408).

Spieler, H. (2005). *Semiconductor detector systems* (Vol. 12). Oxford university press.

Stankova, V., Shen, W., Briggl, K., Chen, H., Fischer, P., Gil, A., ... Schultz-Coulon, H.-C. (2015). Stic3 – silicon photomultiplier timing chip with picosecond resolution. *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment*, 787, 284 - 287. Descargado de <http://www.sciencedirect.com/science/article/pii/S0168900214015332> (New Developments in Photodetection NDIP14) doi: <https://doi.org/10.1016/j.nima.2014.12.073>

Säckinger, E. (2017). *Analysis and design of transimpedance amplifiers for optical receivers*. John Wiley & Sons.

Trigilio, P., Quaglia, R., Schembari, F., y Fiorini, C. (2014). Angus: A multichannel cmos circuit for large capacitance silicon photomultiplier detectors for spect applications. En *2014 ieee nuclear science symposium and medical imaging conference (nss/mic)* (p. 1-4).

Villa, F., Zou, Y., Dalla Mora, A., Tosi, A., y Zappa, F. (2015). Spice electrical models and simulations of silicon photomultipliers. *IEEE Transactions on Nuclear Science*, 62(5), 1950–1960.

Wang, Z. (1991). Novel cmos inverter with linearly adjustable threshold voltage using only three mos transistors. *Microelectronics journal*, 22(5-6), 75–79.

Weste, N. H., y Harris, D. (2015). *Cmos vlsi design: a circuits and systems perspective*. Pearson Education India.

Xu, T., Fan, P., Ma, T., Wang, S., Deng, Z., Lu, L., y Liu, Y. (2011). Design and initial performance evaluation of a novel pet detector module based on compact sipm arrays. En *2011 ieee nuclear science symposium conference record* (pp. 3038–3041).

Zhu, X., Deng, Z., Chen, Y., Liu, Y., y Liu, Y. (2016). Development of a 64-channel readout asic for an 8×8 sspm array for pet and tof-pet applications. *IEEE Transactions on Nuclear Science*, 63(3), 1327-1334.

APÉNDICE

A. CÁLCULO DEL RUIDO ELECTRÓNICO DE LAS DISTINTAS TOPOLOGÍAS DE TIA

A.1. Cálculo de la Transimpedancia de la topología basada en realimentación

El circuito utilizado para el cálculo de esta topología es el de la figura A.1.

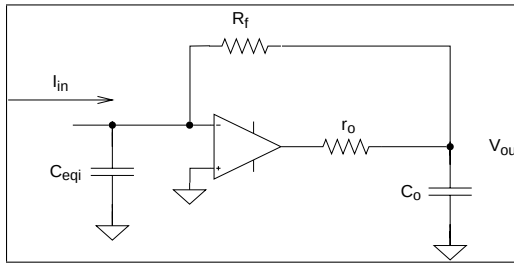


Figura A.1. Amplificador Operacional conectado en configuración inversora.

Los elementos en la figura A.1 son:

- C_{eqi} : Capacitancia total del nodo de entrada al Amplificador Operacional.
- C_o : Capacitancia total del nodo de salida al Amplificador Operacional.
- r_o : Resistencia de salida del Amplificador Operacional.
- R_f : Resistencia de realimentación del TIA.

Para el cálculo de la transimpedancia se hacen los supuestos de:

- La impedancia de entrada al amplificador es $Z_{in} = \frac{1}{sC_{eqi}}$.
- Dada la realimentación negativa, habrá tierra virtual a la entrada del amplificador.

Planteando las ecuaciones en los nodos del circuito de la figura A.1, y resolviendo el sistema de ecuaciones, se llega a que la transimpedancia vendrá dada por la ecuación (A.1).

$$\frac{v_o}{i_{in}} = \left(\frac{R_f \cdot A}{A+1} \cdot \frac{r_o}{A+1} \right) \cdot \frac{1}{s^2 \cdot \left(\frac{C_{eqi} C_o r_o R_f}{A+1} \right) + s \cdot \left(\frac{C_{eqi}(r_o + R_f) + C_o r_o}{A+1} \right) + 1} \quad (\text{A.1})$$

A la expresión (A.1) se le aplican las aproximaciones:

- La resistencia de salida del amplificador (r_o) es pequeña.
- La ganancia A es suficientemente grande

Con lo cual la ecuación (A.1) se puede escribir como la ecuación (A.2).

$$\frac{v_o}{i_{in}} \approx R_f \cdot \frac{1}{s^2 \left(\frac{C_{eqi} C_o r_o R_f}{A+1} \right) + s \left(\frac{C_{eqi}(r_o + R_f) + C_o r_o}{A+1} \right) + 1} \quad (\text{A.2})$$

A.2. Cálculo del ruido electrónico de la topología basada en realimentación

En primer lugar, para simplificar las expresiones matemáticas de esta sección (sección A.2), se representa el denominador de la función de transferencia (A.2) en la forma típica de $s^2 + 2\xi\omega_n s + \omega_n^2$. Por tanto, los símbolos ω_n y ξ posteriores provienen de esta nueva representación.

Para el cálculo de ruido se hicieron las siguientes simplificaciones:

- Por considerarlas como las principales, solo se toman en cuenta las fuentes de ruido:
 - Resistencia de realimentación.
 - El transistor de entrada del amplificador visto en la figura 1.4.
- El ruido $1/f$ se ignora.
- El ruido *shot* se ignora; tal como queda establecido en (Liu y cols., 2012).

Luego, se calcula la ENC siguiendo lo indicado en (Spieler, 2005); allí se dan las siguientes instrucciones para el cálculo de la ENC:

1. Indicar las fuentes de ruido y referirlas a la entrada. Para cada fuente “k” de ruido, determinar la distribución espectral $v_{ni,k}^2(f)$. Cabe señalar que lo anterior es lo que se indica en (Spieler, 2005), sin embargo para el cálculo expresado en este informe, se refirió el ruido directamente a la salida sin antes referirlo a la entrada.
2. Calcular el ruido total a la salida del circuito.

$$V_{no} = \sqrt{\int_0^\infty |G(f)|^2 \left(\sum_k v_{ni,k}^2(f) \right) df}$$

3. Determinar el *peak* de la señal a la salida (V_{so}) para una carga entrante conocida (Q_s).

4. Calcular el ENC:

$$Q_n = \frac{V_{no}}{V_{so}} \cdot Q_s$$

Siguiendo los pasos anteriores, se llega a la expresión (A.3).

$$ENC = \frac{\sqrt{4kT \frac{\omega_n}{8\xi} \left(R_f \left(1 + \left(\frac{\omega_n C_{eqi} r_o}{A} \right)^2 \right) \right) + \gamma g_m \left(\frac{\omega_n r_o C_{eqi} R_f}{A} \right)^2}}{\frac{A}{C_{eqi} C_o r_o}} \quad (A.3)$$

Cabe señalar que para llegar a (A.3), se hicieron las aproximaciones:

- $\frac{r_o^2}{(A+1)^2} \approx 0$, ya que r_o se considera suficientemente chico.
- $\frac{R_f A - r_o}{C_{eqi} C_o r_o R_f} \approx \frac{A}{C_{eqi} C_o r_o}$, porque r_o se considera suficientemente chico.

A.3. Cálculo de la Transimpedancia de la topología de lazo abierto

El circuito utilizado para el cálculo de esta topología es el de la figura A.2.

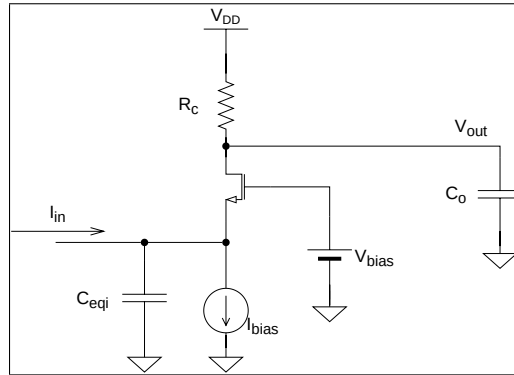


Figura A.2. TIA de lazo abierto.

Esta topología consisten, básicamente, en un transistor conectado como *buffer* de corriente.

Como se expresa en el libro (Säckinger, 2017): Este tipo de TIA se conoce como “feedforward TIA” u “open-loop TIA”. A pesar de su simplicidad, es útil para aplicaciones que no requieren bajo ruido, pero sí requieren bajo consumo de potencia.

Al igual que para el análisis del shunt-feedback TIA, C_{eqi} viene a representar la suma de todas las capacitancias conectadas en el nodo de entrada al TIA; se incluye a la capacitancia del detector en esta variable. Por otro lado, r_o representa el r_o del transistor.

Luego, la expresión para la transimpedancia de esta topología se puede ver en la ecuación (A.4).

$$\frac{v_o}{i_{in}} = R_c \cdot \frac{1}{s^2 \left(\frac{C_{eqi} C_o r_o R_c}{A+1} \right) + s \left(\frac{R_c (C_{eqi} + C_o) + r_o (C_o g_m R_c + C_{eqi})}{A+1} \right) + 1} \quad (\text{A.4})$$

A.4. Cálculo del ruido electrónico de la topología de lazo abierto

En primer lugar, para simplificar las expresiones matemáticas de esta sección (sección A.4), se representa el denominador de la función de transferencia (A.4) en la forma típica de $s^2 + 2\xi\omega_n s + \omega_n^2$. Por tanto, los símbolos ω_n y ξ posteriores provienen de esta nueva representación.

En este caso, se siguió el mismo procedimiento indicado en la sección A.2, pero ahora sin considerar el ruido de la resistencia de realimentación (pues no existe), pero sí el ruido de la resistencia R_C , del transistor, y del mecanismo de polarización.

Para este caso, se juzgó que la ecuación de ruido que resultaría desde el Open-loop TIA polarizado con una resistencia de degeneración sería engorrosa y aportaría poca intuición del comportamiento del circuito. Por ello solo se calculó la ENC para el open-loop TIA polarizado con una fuente de corriente.

Para esta expresión, se incluyó la contribución que tendría el ruido generado por la fuente de polarización en el *source* del transistor; esta contribución aparece en la expresión $\gamma g_m R_c^2$ de la ecuación A.5. Además se hizo la aproximación: $A + 1 \approx A$.

$$ENC = \frac{\sqrt{4kT \frac{\omega_n}{8\xi} \left(R_c \left(1 + \left(\frac{\omega_n C_{eqi} r_o}{A} \right)^2 \right) \right) + \gamma g_m \left(1 + \frac{\omega_n r_o C_{eqi} R_c}{A} \right)^2 + \gamma g_m R_c^2}}{\frac{A}{C_{eqi} C_o r_o}} \quad (\text{A.5})$$

A.5. Comparación de ruido de ambas opciones

Se puede ver que ambas expresiones tienen una estructura parecida, lo cual también se afirma en (Säckinger, 2017, p.305). Sin embargo se notan 2 diferencias fundamentales:

1. La expresión de ruido para el TIA de lazo abierto posee una componente extra en el numerador, que no está presente en la ecuación de ruido de la otra opción de topología. Esta componente extra proviene del ruido agregado por la fuente de corriente de polarización, dicho ruido ensucia la señal de corriente proveniente del detector.
2. En la ecuación del TIA de lazo abierto (A.5), las variables r_o representan la resistencia parásita del transistor que actúa como *buffer*, la cual tiene un valor de varias decenas de kilo Ohms, típicamente. Por otro lado, en la ecuación de ruido del TIA con realimentación (A.3), r_o representa a la resistencia de salida del Amplificador Operacional usado, la cual es típicamente baja (bajo 1 kilo Ohm).

Luego es directo ver que, dada la estructura de las ecuaciones, un r_o mayor incrementará el valor del ruido, lo cual refuerza lo dicho anteriormente.

B. EJEMPLO DE DIAGRAMA DE BODE DEL *REGULATED COMMON-GATE*

En la figura B.1 la línea continua representa la ganancia en decibeles y la línea punteada la fase en grados

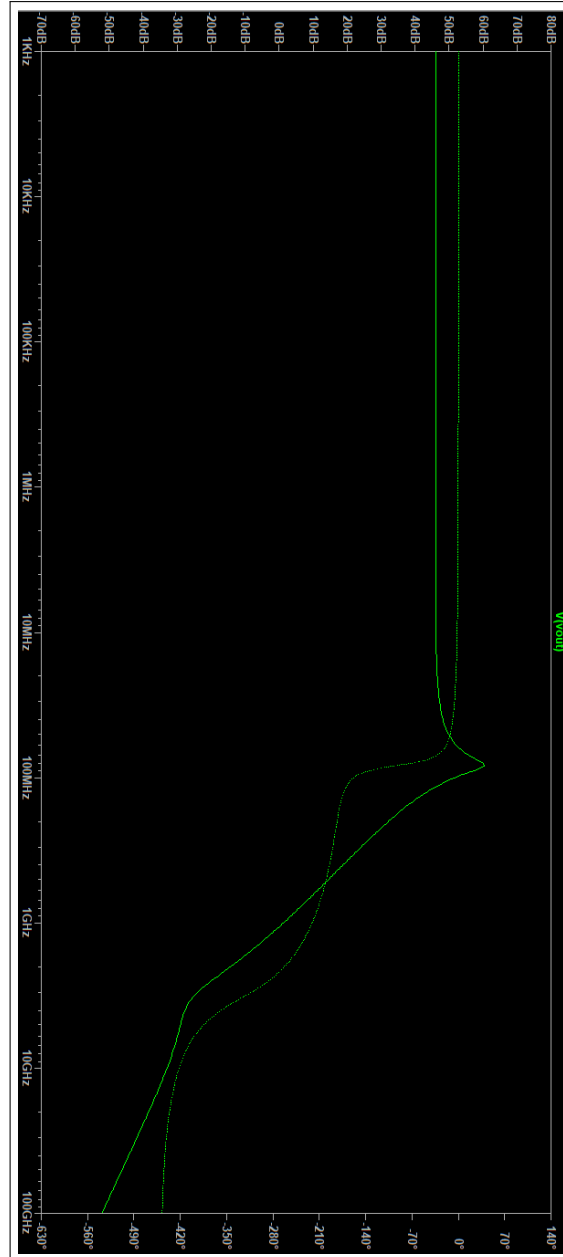


Figura B.1. Ejemplo de diagrama de Bode producido por el *Regulated Common-Gate*

C. INSTRUCCIONES PARA EL USO DEL CHIP

C.1. Descripción general del chip

Cada uno de los canales del chip se puede dividir en 2 bloques fundamentales: un circuito encargado de la lectura de las señales entregadas por el detector y un DAC para ajustar la polarización del SiPM/MPPC.

C.1.1. Circuito para lectura de SiPM/MPPC

Este bloque tiene el objetivo de indicar la cantidad de carga que entrega el detector y en qué instante. Para saber en qué instante se recibe una señal, se debe observar la salida Vout_disc del canal al cual está conectado el detector.

La salida digital Vout_disc se disparará $\approx 3,28$ ns después de el canal haya recibido un pulso ideal de corriente equivalente a 1 pixel disparado en el detector Hamamatsu S14160-3050HS (“S14160/S14161 series. Low breakdown voltage type MPPC for scintillation detector”, 2019), y su transición desde 1,8 V a 0 V demorará $\approx 0,68$ ns. Estos tiempos podrían cambiar para un detector real, pues la forma de señal entregada por el SiPM no es un pulso ideal y variará dependiendo del detector.

Para medir la cantidad de pixeles que se han disparado en el detector se deben observar las salidas: Vout_disc, Vout_int_der, Vout_int_izq y Vout_tia.

La salida Vout_disc es digital, siendo su estado de reposo el voltaje “HIGH”. Esta señal puede usarse para resolver un pequeño número de pocos pixeles, por ejemplo diferenciar

entre el disparo de 1, 2 o 3 pixeles. Para ello se debe usar el método de *Time Over Threshold*.

Vout_int_der y Vout_int_izq son las salidas del integrador diferencial y son útiles para resolver desde 2 hasta varias decenas de pixeles disparados. Para conocer la cantidad de pixeles disparados se debe medir la amplitud de esta salida diferencial. El integrador cuenta con una constante de tiempo fija y para un mismo detector dicha constante permite que el máximo de la señal siempre se alcance en el mismo instante de tiempo¹. Por tanto se recomienda que el usuario calibre el circuito para el detector que quiere leer, de modo de saber cuánto tiempo después de activado el discriminador deberá leer el integrador. Otra alternativa es detectar el voltaje *peak* de esta salida mientras el discriminador esté activado; se ha visto que esta última alternativa es la que mejores resultados entrega.

Vout_tia es útil para resolver desde cientos hasta miles de pixeles disparados; es una señal *single ended*. Se recomienda que el usuario siempre lea esta salida en un momento fijo después de que se active el discriminador o que detecte el voltaje *peak* en el intervalo en que el discriminador esté activado. Dado que Vout_tia está destinada a leer grandes señales provenientes desde el SiPM, es probable que la señal vista se distorsione a medida que los transistores salen de sus regiones de operación debido a la magnitud de la señal entrante.

Para el correcto funcionamiento del discriminador, la entrada que ajusta el umbral de su inversor CMOS debe estar en $V_{adj_inv} = 1,8 \text{ V}$, salvo para la esquina del proceso FF, en donde el umbral debe subir de voltaje. Para ello la entrada se debe ajustar a $V_{adj_inv} = 0,5 \text{ V}$.

¹Esto siempre y cuando los transistores del integrador sigan operando en su región activa.

C.1.2. DAC

Este bloque tiene la tarea de alterar el voltaje de polarización del detector. Para configurar el DAC se dispone de un *shift-register* controlado mediante los pines llamados: “clk”, “rst” y “data_in”. Por tanto las salidas Vout_DAC se controlan mediante las 3 entradas antes mencionadas.

C.1.3. Alimentación del chip

El circuito integrado funciona con voltajes de alimentación de 1,8 V, lo cual es válido tanto para voltajes analógicos como digitales.

La función de la alimentación digital es energizar el *buffer* digital necesario para la salida Vout_disc. Para minimizar la posible contaminación de las señales analógicas con las señales digitales, se recomienda generar V_{DD} analógico y digital con fuentes separadas.

Por otro lado, las tierras digital y análoga deben unirse. Para minimizar el ruido que el *buffer* digital pueda inducir en el circuito analógico se sugiere tener especial cuidado al diseñar la tierra en la placa PCB donde irá soldado el chip, procurando implementar un plano de tierra de la menor impedancia posible.

En las figuras C.1 y C.2 se pueden ver el consumo de corriente del chip cuando recibe una entrada equivalente a 1 pixel disparado en el detector Hamamatsu S14160-3050HS (“S14160/S14161 series. Low breakdown voltage type MPPC for scintillation detector”, 2019); los valores expuestos corresponden a la esquina TT del proceso de fabricación. A partir de las imágenes C.1 y C.2 se puede afirmar que el consumo en estado de reposo vendrá dado fundamentalmente por la alimentación analógica, teniéndose un consumo de ≈ 41 mA. Por otro lado, solo se consume corriente digital durante las transiciones del

discriminador, y su *peak* puede alcanzar hasta 140 mA para el escenario simulado.



Figura C.1. Consumo de corriente analógica ante una señal entrante.

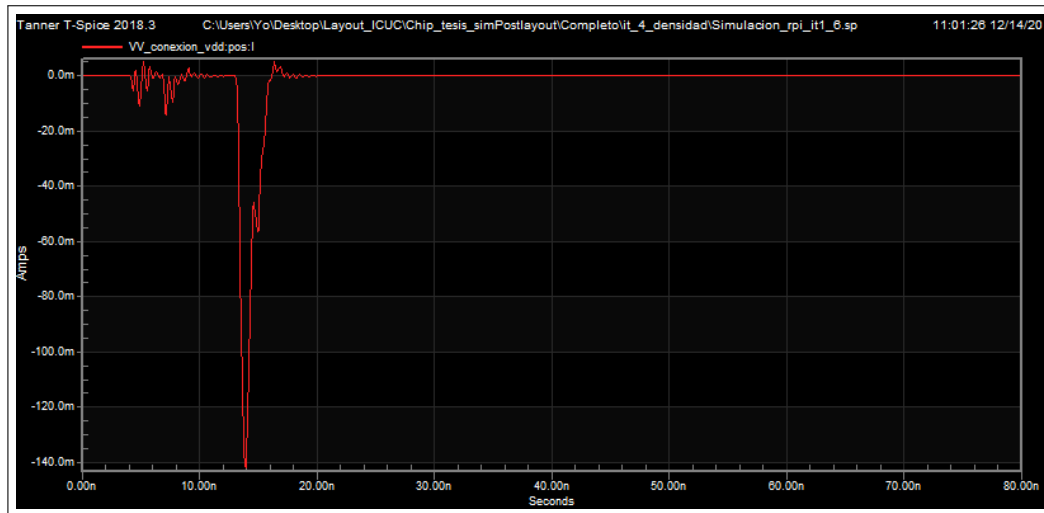


Figura C.2. Consumo de corriente digital ante una señal entrante.

Por otro lado, para que el circuito funcione se deben disponer los resistores mostrados en la figura C.3 en los pines con los nombres correspondientes. De la figura C.3, solo los resistores con nombres $R_{pol\ TIA}$ pueden cambiar su valor, esto porque ellos fijan la polarización del transistor de prealimentación del TIA, y cambiando su valor se puede ajustar

el TIA a detectores con distintas capacitancias. Para la lectura de detectores con capacitancias de entre 300 pF y 500 pF, se ha observado que $973\ \Omega$ es un valor óptimo, el cual permite que en el resistor haya una caída de voltaje de $\approx 0,65\text{ V}$. No obstante lo anterior, dado que $973\ \Omega$ es un valor difícil de lograr con componentes discretos, las recomendaciones detalladas de polarización del TIA se encuentran en el anexo F.

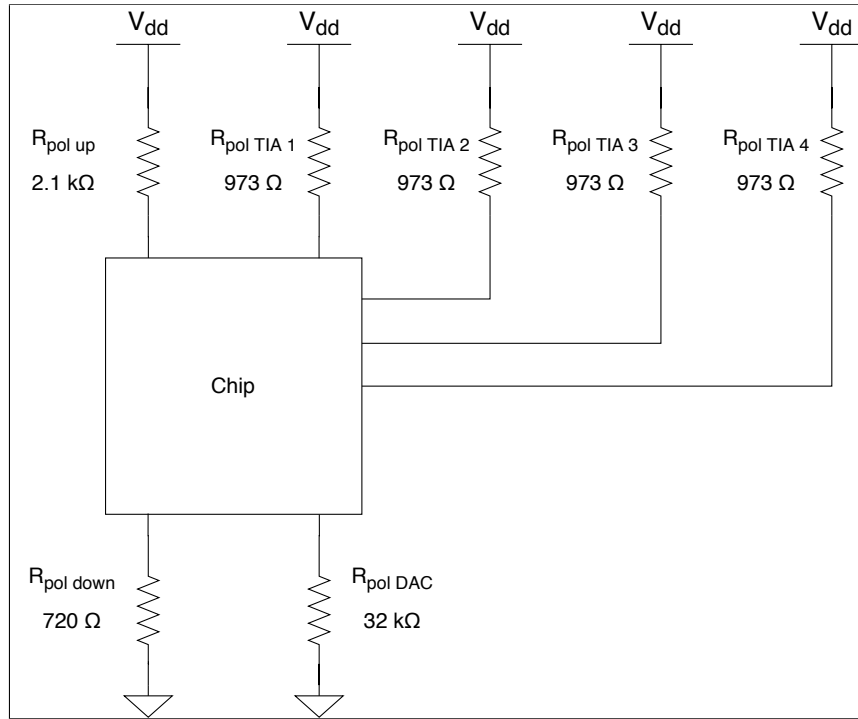


Figura C.3. Resistencias que permiten polarizar el circuito.

C.1.4. Consideraciones sobre conexión del chip

1. Capacitor de acoplamiento para detector

Si se usa un DAC del chip para ajustar la polarización del SiPM que se está leyendo con alguno de los canales, se debe ubicar un capacitor de acoplamiento que separe los voltajes DC de la salida del DAC respecto del voltaje de entrada del TIA. El valor de capacitor de desacoplamiento debe ser de $0,5\ \mu\text{F}$. Un diagrama de la ubicación del capacitor se puede ver en la figura C.4, en ella los bloques

encerrados por una línea punteada roja se encuentran dentro del chip, lo encerrado por una línea punteada azul corresponde al SiPM y el capacitor de acoplamiento es el ubicado entre los nodos $V_{IN_TIA_EXT}$ y $V_{IN_TIA_INT}$.

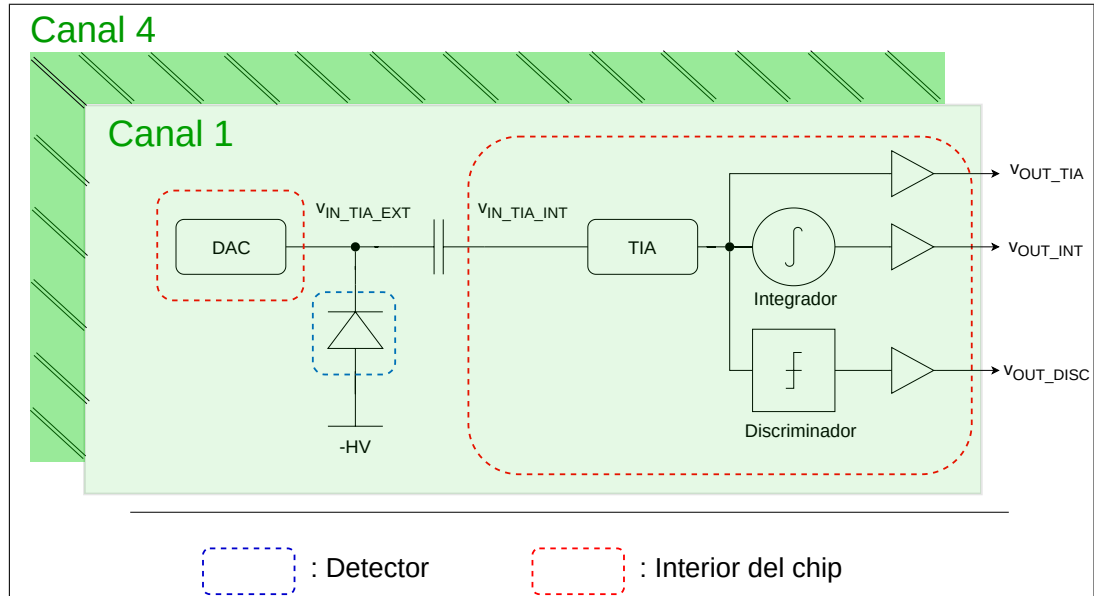


Figura C.4. Ubicación del capacitor de acoplamiento en uno de los 4 canales del chip.

2. Capacitores para resistencias de polarización

Para minimizar las oscilaciones en las caídas de voltaje de las resistencias de polarización, se recomienda ubicar capacitores de $10 \mu F$ entre los pines del chip asociados a cada una de las resistencias y tierra.

3. Circuito pasabajos para realimentación del discriminador

Para que el amplificador del discriminador pueda compensar el *mismatch* en su entrada, es necesario conectar los pines del chip destinados a la realimentación del amplificador. Esta conexión debe hacerse para cada canal de la forma que se ve en la figura C.5.

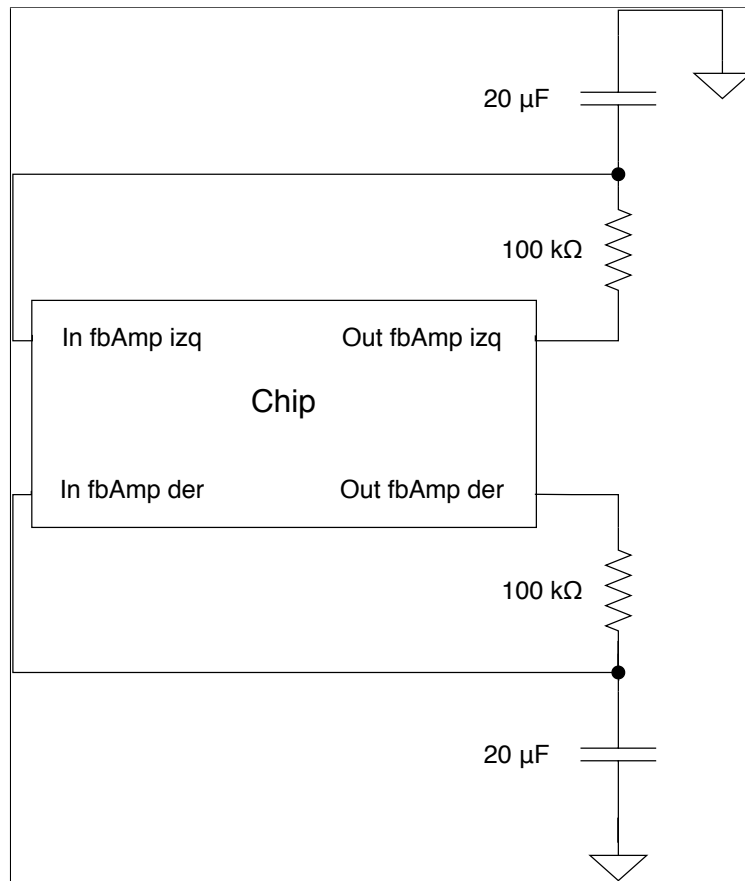


Figura C.5. Esquema de realimentación del discriminador.

4. Plano de tierra

El circuito analógico es sensible a ruido en V_{DD} o tierra, por ello se sugiere que la placa PCB donde vaya soldado el chip debe tener un plano de tierra de baja impedancia y fuentes de alimentación separadas para V_{DD} analógico y V_{DD} digital.

D. PROTOCOLO DE COMUNICACIÓN CON *SHIFT-REGISTER*

D.1. Consideraciones previas importantes

- **Polaridad del clock:** La polaridad del clock es muy importante, pues la máquina de estados del *shift-register* está configurada para hacer cosas distintas en el flanco de subida y en el flanco de bajada. La máquina de estados cambia de estado en el flanco de bajada del clock, mientras que las operaciones al interior de los estados se realizan en el flanco de subida.
- **Cambio de entrada “data_in” antes de flanco de clock:** A partir de simulaciones, se recomienda la siguiente operación de clock y “data_in”:
 - Clock con periodo de $20\ \mu\text{s}$ y *duty cycle* de 50 %.
 - Cambios en entrada “data_in” se deben ejecutar al menos $5\ \mu\text{s}$ antes de cualquier flanco del clock.
- **Las salidas del *shift-register* solo son distintas de cero cuando su máquina de estados se encuentra en el estado *idle*.**
- **Comportamiento de “data_in”:** La entrada “data_in” es síncrona siempre, salvo en el estado *idle*, donde se comporta de forma asíncrona. Se recomienda que si se quiere permanecer en el estado *idle*, se haga $\text{data_in} = HIGH$ al menos $5\ \mu\text{s}$ antes de cualquier flanco de clock.
- **Salida de estado *idle*:** Para salir del estado *idle*, hacer $\text{data_in} = LOW$ antes de un flanco de bajada del clock, pues es en el flanco de bajada cuando se saldrá de dicho estado y se pasará al de recibir la dirección del DAC que se quiere escribir.

D.2. Pasos para introducir información al *shift-register*

1. El clock se encuentra operando.
2. $\text{rst} = LOW$. Esto hace entrar a la máquina de estados en *reset*.
3. $\text{data_in} = HIGH$. La máquina de estados entra en estado *idle*.

4. $rst = HIGH$. La máquina de estados queda habilitada para operar, pero permanece en estado *idle*.
5. $data_in = LOW$. En el siguiente flanco de bajada, la máquina de estados saldrá del estado *idle* y pasará al estado en que recibe la dirección del DAC que se escribirá.
6. A través de $data_in$ enviar de forma serial la dirección del DAC que se desea escribir.
 - El *shift-register* registra cada bit enviado en los flancos de subida del clock.
 - Se envía primero el bit menos significativo.
 - La dirección del DAC se describe mediante una palabra binaria de 3 bits.
7. Mediante $data_in$ enviar de forma serial la palabra digital que se quiere ingresar al DAC indicado en el paso anterior.
 - El *shift-register* registra cada bit enviado en los flancos de subida del clock.
 - Se envía primero el bit menos significativo.
 - La palabra enviada es binaria de 8 bits.
8. $data_in = HIGH$. Esto lleva a la máquina de estados a su estado *idle*.
9. Para repetir la escritura, hacer $data_in = LOW$. Esto nos llevará nuevamente al paso 5 de esta lista de instrucciones.

D.3. Estados permitidos de la máquina de estados

Existen 3 estados en este *shift-register*, los cuales son:

- Estado *idle*.
- Estado de introducción de la dirección del DAC que se escribirá.
- Estado de introducción de la palabra digital que se escribirá en el DAC seleccionado.

E. PINOUT DEL CHIP

El *pinout* del chip se presenta en la imagen E.1.

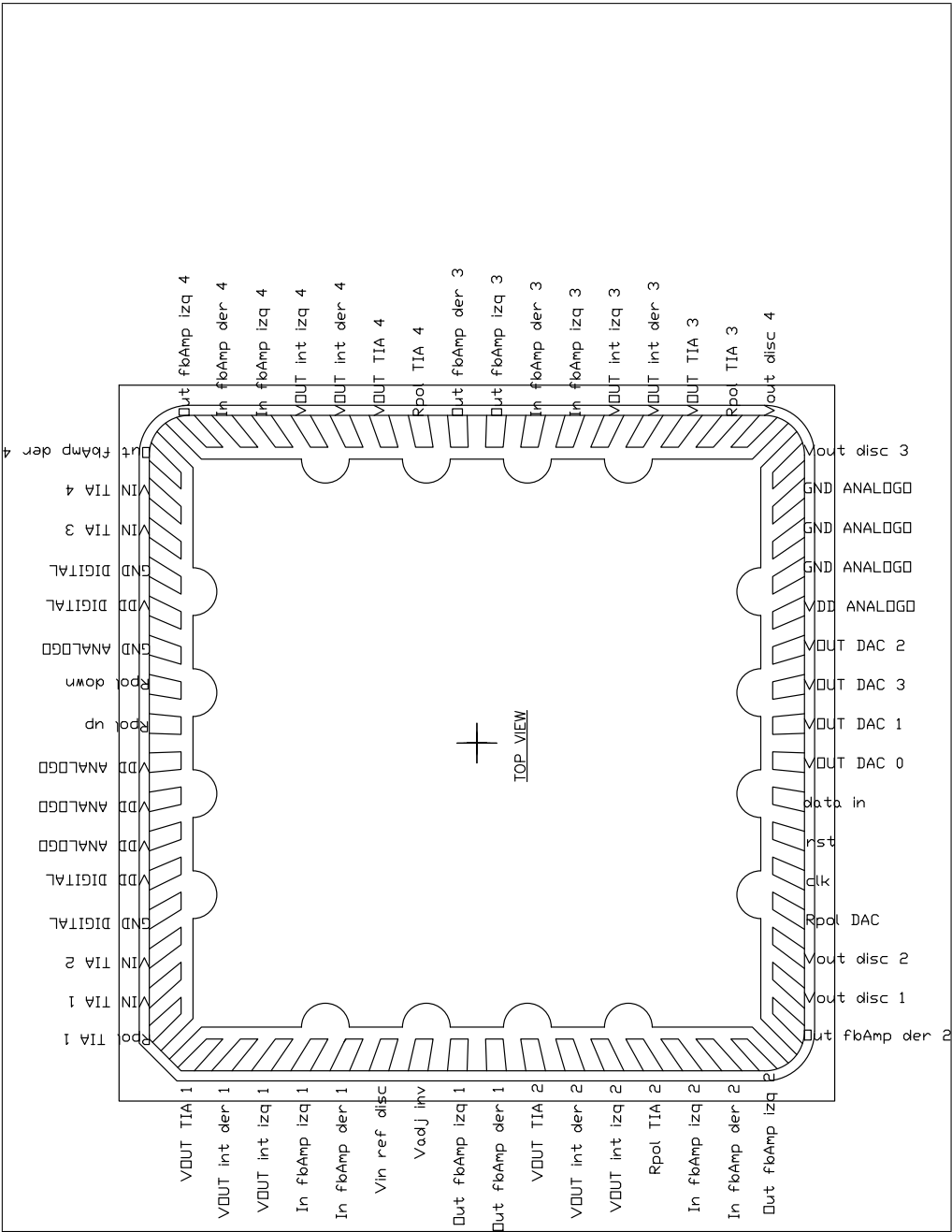


Figura E.1. *Pinout* del chip.

F. CIRCUITO DE POLARIZACIÓN DE TRANSISTOR M3 DEL TIA

El circuito usado para polarizar al transistor M3 del TIA de la figura 4.2 es el que se muestra en la figura F.1. La topología y flujo de diseño se pueden encontrar en la sección 5.2 de (Jespers y Murmann, 2017). La resistencia R_{POL_TIA} es una resistencia externa y se debe variar para ajustar el TIA a la capacitancia del detector leído. Para detectores con capacitancias de entre 300 pF y 500 pF, se ha observado que 973Ω es un valor óptimo, el cual permite que en el resistor haya una caída de voltaje de $\approx 0,65$ V. Dado que dicho valor es complicado de alcanzar con resistores discretos, se recomienda polarizar mediante un resistor de 950Ω con un error no superior al 2 %.

El usuario debe tomar en cuenta que el valor del resistor R_{POL_TIA} podrá afectar la estabilidad del circuito para detectores con baja capacitancia. En caso de presentar problemas de estabilidad, se recomienda disminuir el valor de R_{POL_TIA} ; ello mejorará la estabilidad pero reducirá la amplitud de las señales analógicas de salida. Por otro lado, para detectores con alta capacitancia, el usuario puede aumentar el valor del resistor R_{POL_TIA} para mejorar el desempeño del circuito, lo cual disminuirá el margen de fase del TIA.

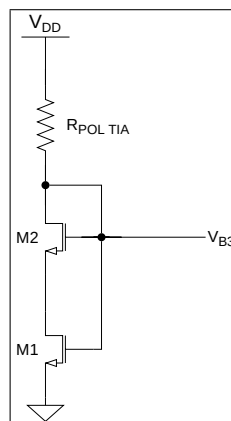


Figura F.1. Circuito de polarización de M3 del TIA.