

筆答専門試験科目(午前)

31 大修

情報工学系

時間 9:30~12:30

注意事項

1. 各解答用紙に受験番号を記入せよ.
  2. 次の5題のうち、1番～3番の3題は必ず解答し、4番と5番からは1題を選び解答すること.
  3. 解答は1題ごとに別々の解答用紙に、問題番号を明記した上で記入せよ. 必要であれば、解答用紙の裏面に記入して良いが、解答用紙の表面にその旨を明記すること.
  4. 1枚の解答用紙に2題以上の解答を記入した場合はそれらの解答を無効とすることがある.
  5. 1題の解答を2枚以上の解答用紙に記入した場合はその解答を無効とすることがある.
  6. 電子式卓上計算機等の使用は認めない.
-

1. 以下の間に答えよ.

1) 次の行列式を計算せよ. ただし, c) の解答は  $x$  の多項式で示せ.

$$\text{a)} \begin{vmatrix} 3 & -1 \\ 2 & 5 \end{vmatrix} \quad \text{b)} \begin{vmatrix} 2 & -1 & 0 \\ 2 & 3 & -1 \\ 1 & -2 & -1 \end{vmatrix} \quad \text{c)} \begin{vmatrix} 1 & 1 & 1 & 1 \\ 1 & -1 & x & 2 \\ 1 & 1 & x^2 & 4 \\ 1 & -1 & x^3 & 8 \end{vmatrix}$$

2) 実計量ベクトル空間の部分空間  $\mathbf{W}$  の基底が  $(1, 1, 0, 1)^\top, (0, 1, -1, 0)^\top$  であるとする.  $\mathbf{W}$  の直交補空間  $\mathbf{W}^\perp$  の基底を 1 つ求めよ. ただし,  $x^\top$  はベクトル  $x$  の転置を示し, ベクトル  $(x_1, x_2, \dots, x_n)^\top$  と  $(y_1, y_2, \dots, y_n)^\top$  の内積を  $\sum_{i=1}^n x_i y_i$  と定義する.

3)  $x$  を実変数とする.

a) 関数  $f(x) = \log_e(1+x)$  の 1 次導関数  $f^{(1)}(x)$  を求めよ. ただし,  $x > -1$  とする.

b) 関数  $f(x) = \log_e(1+x)$  の  $k$  次導関数  $f^{(k)}(x)$  を求めよ. ただし,  $x > -1$  とする.

c) 関数  $g(x) = \log_e(1-x^2)$  をマクローリン展開したとき,  $x^n$  の項の係数を  $n \geq 1$  の場合について示せ. ただし,  $-1 < x < 1$  とする.

4) 0 または 1 の値をとる確率変数  $X, Y$  について考える.  $X$  の値が 0 および 1 である確率をそれぞれ  $P_X(0) = p$  および  $P_X(1) = 1 - p$  とする. ただし,  $0 < p < 1$  とする.  $X$  の値  $x \in \{0, 1\}$  が与えられたとき,  $Y$  の値が  $y \in \{0, 1\}$  である条件付き確率を次式で定めるとする.

$$P_{Y|X}(y|x) = \begin{cases} 1 - q & (x = y) \\ q & (x \neq y) \end{cases}$$

ただし,  $0 < q < 1$  とする. このとき,  $Y$  の値が与えられたときの  $X$  の条件付き確率  $P_{X|Y}(1|0)$  を求めよ.

## 2. 以下の問いに答えよ.

- 1) 次の真理値表を完成させよ.

P	Q	R	$(\neg P \vee Q) \rightarrow (P \wedge R)$
T	T	T	(a)
T	T	F	(b)
T	F	T	(c)
T	F	F	(d)
F	T	T	(e)
F	T	F	(f)
F	F	T	(g)
F	F	F	(h)

- 2) 論理式 P と論理式 Q の NAND(否定論理積) を  $P|Q$  と表記する.  $P|Q$  は P と Q の論理積の否定であるため, その真理値表は  $\neg(P \wedge Q)$  と等しい. 多くの論理式は NAND のみで表現することが可能であり, 例えば,  $\neg P$  は  $P|P$  に,  $P \vee Q$  は  $(P|P)|(Q|Q)$  と書き直すことができる. NAND のみを利用し,  $P \rightarrow Q$  を書き直せ.
- 3) 次の表はチョムスキーの分類による文法, 文法の生成規則の例, その文法から生成された言語を認識する計算モデルの関係を示したものである. 下の表中の(a)～(h)に対応する用語を用語群から選択し回答せよ. ただし, 用語群の用語は一度しか使用できないものとする.

文法分類	文法	生成規則の例	計算モデル
0型文法	句構造文法	(c)	(f)
1型文法	(a)	$bS \rightarrow bb$	線形有界オートマトン※
2型文法	文脈自由文法	(d)	(g)
3型文法	(b)	(e)	(h)

用語群 :

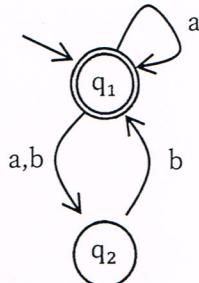
- (ア) 文脈依存文法 (イ) 正規文法 (ウ) 接辞文法 (エ)  $S \rightarrow aSa$  (オ)  $S \rightarrow aA$
- (カ)  $AS \rightarrow b$  (キ) チューリングマシン (ク) プッシュダウン・オートマトン
- (ケ) 有限オートマトン

※線形有界オートマトン(linear bounded automaton)は線形拘束オートマトンと訳される場合もある.

(次ページにつづく)

(前ページのつづき)

- 4) 次に示す非決定性有限オートマトン( $Q, \Sigma, \delta, q_1, F$ )を考える。ここで、状態の集合 $Q = \{q_1, q_2\}$ 、アルファベット $\Sigma = \{a, b\}$ 、受理状態の集合 $F = \{q_1\}$ であり、初期状態は $q_1$ とする。また、 $\delta$ は遷移関数を意味するものとする。



- a) 次の文字列ア)～キ)のうち受理するものの記号をすべて答えよ。  
ア) ab イ) abbb ウ) bbba エ) aaab オ) aaabba カ) bbabb キ) aabaa
- b) この非決定性有限オートマトンが受理する言語の正規表現を与えよ。ただし、選択には+、Kleene閉包には\*の記号を用い、連接を表現する記号は省略して良い。
- c) この非決定性有限オートマトンと等価な決定性有限オートマトンを構成せよ。

### 3.

- 1)  $N$  個の品物の集合を  $G$  とし, 品物  $g \in G$  の体積を  $\text{volume}(g)$ , 値値を  $\text{value}(g)$  とする.  $G$  の要素を体積の小さい順に並べた列を  $(g_1, g_2, \dots, g_N)$ , つまり  $1 \leq i < i' \leq N$  のとき  $\text{volume}(g_i) \leq \text{volume}(g_{i'})$  とする. ここで容積  $W$  のナップザックが与えられたとき,  $W$  の範囲内で価値の総和が最大となる品物の集合  $S \subseteq G$  を見つけることを考える. 以下,  $S$  を  $G$  と  $W$  に対するナップザック問題解と呼ぶ.

$G_0$  を空集合  $\emptyset$  とし,  $1 \leq i \leq N$  であるような  $i$  について  $G_i = G_{i-1} \cup \{g_i\}$  とする. 次に 0 個以上の品物の体積の合計となり得る値の集合  $\{\sum_{g \in X} \text{volume}(g) \mid X \subseteq G\}$  の要素の値を小さい順に並べた列を  $W_0, W_1, \dots, W_j, \dots$  とする. ただし  $W_0$  は品物が 0 個の時の合計体積をあらわす.

このとき, 品物の集合  $G_i$  と容積  $W_j$  のナップザックに対するナップザック問題解  $S_{i,j}$  の価値の総和  $T_{i,j}$  は下記の式で与えられる: ただし  $\max U$  は実数の有限集合  $U$  の最大値を返す.

$$\begin{aligned} T_{0,0} &= 0 \\ T_{0,j} &= \textcircled{1} \quad (\text{ただし } 1 \leq j) \\ T_{i,0} &= \textcircled{2} \\ T_{i,j} &= \begin{cases} T_{i-1,j} & (W_j < \text{volume}(g_i) \text{かつ } 1 \leq j) \\ \max\{T_{i-1,j}, T_{i-1,h} + \text{value}(g_i)\} & (W_j \geq \text{volume}(g_i) \text{かつ } 1 \leq j) \end{cases} \\ &\text{ただし } h = \max\{k \mid W_k \leq (W_j - \text{volume}(g_i))\} \end{aligned}$$

具体的に  $G = \{g_1, g_2, g_3, g_4\}$  とし, それぞれの品物の体積と価値を表 3.1 で与える. この  $G$  における  $G_i$  と  $W_j$  に対するナップザック問題解  $S_{i,j}$  を計算するための  $T_{i,j}$  の値の表の一部を表 3.2 に示す. この表の  $i$  行  $j$  列に  $T_{i,j}$  の値を入れる.

(次ページにつづく)

(前ページのつづき)

表 3.1 : 各品物の体積と価値

品物	volume	value
$g_1$	10	5
$g_2$	15	6
$g_3$	20	7
$g_4$	30	8

表 3.2 :  $T_{i,j}$  の値の表

$T_{i,j}$	$W_0$	$W_1$	$W_2$	$W_3$	$W_4$	$W_5$	$W_6$	$W_7$	$W_8$
$G_0$	0	①	①	①	①	①	①	①	①
$G_1$	②	5	5	5	5	5	5	5	5
$G_2$	②	5	6	6	11	11	11	11	11
$G_3$	②	5	6	7	11	③	④	⑤	⑥
$G_4$	②	5	6	7	11				

以下の問い合わせよ.

- $G_1, G_2, G_3, G_4$  の要素をそれぞれ列挙せよ.
- $W_j (j = 0, \dots, 8)$  の各値を示せ.
- 表 3.2 の①~⑥の中に当てはまる値を記せ.
- $G_4$  と  $W_5, W_6, W_7, W_8$  に対するナップザック問題解  $S_{4,5}, S_{4,6}, S_{4,7}, S_{4,8}$  の品物の組み合わせと価値の合計をそれぞれ求めよ.

(次ページにつづく)

(前ページのつづき)

2) 言語  $\omega$  の項を以下のように帰納的に定義する.

- 定数記号  $S, K, I$  は  $\omega$  の項である.
- $x, y$  が  $\omega$  の項のとき,  $(x \cdot y)$  は  $\omega$  の項である.
- 以上のようにして定義されるもののみが  $\omega$  の項である.

この演算子  $\cdot$  は左結合的であり, 記述を簡潔にするために演算子  $\cdot$  は省略できるものとする. すなわち  $x, y, z \in \omega$  のとき  $((x \cdot y) \cdot z)$  は  $xyz$ ,  $(x \cdot (y \cdot z))$  は  $x(yz)$  と書くことができる.

次に  $x, y, z \in \omega$  に対して,  $S, K, I$  それぞれの計算規則 (左辺から右辺への変換規則) を以下のように定義する.

$$\begin{array}{lll} Ix & \Rightarrow & x \\ Kxy & \Rightarrow & x \\ Sxyz & \Rightarrow & xz(yz) \\ x \Rightarrow x' & \text{ならば} & xy \Rightarrow x'y \\ y \Rightarrow y' & \text{ならば} & xy \Rightarrow xy' \end{array}$$

上記の計算規則を用いて  $\omega$  の項を変換することをリダクションと呼ぶ. リダクションはそれ以上変換できないとき停止するものとする. これ以上リダクションできない項は正規形と呼ばれる. リダクションの例を以下に示す.

$$\begin{aligned} SIIx &\Rightarrow Ix(Ix) \Rightarrow x(Ix) \Rightarrow xx \\ S(K(SI))Kxy &\Rightarrow K(SI)x(Kx)y \Rightarrow SI(Kx)y \Rightarrow Iy(Kxy) \Rightarrow y(Kxy) \Rightarrow yx \end{aligned}$$

- a) 任意の  $x \in \omega$  について  $SKKx$  と  $Ix$  のリダクションの結果が同じとなることを示せ.  
b)  $T, F$  を以下のように定義する.

$$\begin{array}{lll} T & = & K \\ F & = & KI \end{array}$$

このとき, 以下の式 (i)(ii) を正規形までリダクションせよ. ただし,  $x, y$  は正規形とする. また, リダクション結果とともに正規形を求めた過程を示すこと.

- (i)  $Txy$   
(ii)  $Fxy$

(次ページにつづく)

(前ページのつづき)

c) さらに  $\vee$ ,  $\wedge$ ,  $\neg$  を以下のように定義する.

$$\begin{aligned}\vee &= SI(KT) \\ \wedge &= SS(K(KF)) \\ \neg &= S(SI(KF))(KT)\end{aligned}$$

これより, 任意の  $x, y \in \omega$  に対して,

$$\begin{aligned}\vee xy &= SI(KT)xy \Rightarrow Ix(KTx)y \Rightarrow x(KTx)y \Rightarrow xTy \\ \wedge xy &= SS(K(KF))xy \Rightarrow Sx(K(KF)x)y \Rightarrow xy(K(KF)xy) \Rightarrow xy(KFy) \Rightarrow xyF \\ \neg x &= S(SI(KF))(KT)x \Rightarrow SI(KF)x(KTx) \Rightarrow Ix(KFx)(KTx) \Rightarrow x(KFx)(KTx) \\ &\Rightarrow xF(KTx) \Rightarrow xFT\end{aligned}$$

となる. このとき, 以下の式 (iii)(iv)(v)(vi) を正規形までリダクションせよ. また, リダクション結果とともに正規形を求めた過程を示すこと.

- (iii)  $\vee(\neg T)T$
- (iv)  $\vee(\neg T)F$
- (v)  $\wedge(\neg F)T$
- (vi)  $\wedge(\neg F)F$

## 4.

実数 $t$ を変数とする実関数 $f(t)$ のラプラス変換 $F(s)$ を、式(4.1)で定義する。ここで、 $s$ は複素変数で、かつ実部が正であるとする。以下の問い合わせに答えよ。

$$F(s) = \int_0^\infty f(t) e^{-st} dt \quad (4.1)$$

1) 次の関数のラプラス変換の結果を記せ。

a)  $f(t) = t \quad b) \quad f(t) = \sin \omega t \quad (\omega \text{は実定数})$

2) 単位ステップ関数 $u(t)$ のラプラス変換 $U(s)$ は、 $U(s) = 1/s$ である。幅 $T_1$ で高さ 1 のパルス波 $p(t)$ は、単位ステップ関数 $u(t)$ を用いて

$$p(t) = u(t) - u(t - T_1) \quad (4.2)$$

と表すことができる。 $p(t)$ のラプラス変換 $P(s)$ を求めよ。

3) 実数 $t$ を変数とする実関数 $g(t)$ のラプラス変換を $G(s)$ とする。

$$\int_0^\infty g(t-T)u(t-T) e^{-st} dt$$

を、 $G(s)$ を用いて表せ。ただし、 $T$ は正定数とする。

4) 時刻 $t$ において、容量 $C$ のコンデンサに流れ込む電流 $i_C(t)$ とコンデンサの両端の電位差 $v_C(t)$ を、図 4.1 のように定義すると、 $i_C(t)$ と $v_C(t)$ の間には式(4.3)の関係が成立する。

$$i_C(t) = C \frac{d}{dt} v_C(t) \quad (4.3)$$

式(4.3)より、 $i_C(t)$ のラプラス変換 $I_C(s)$ と $v_C(t)$ のラプラス変換 $V_C(s)$ との間に成り立つ関係式を導出せよ。ここで、 $|v_C(t)| < \infty$ であるとする。

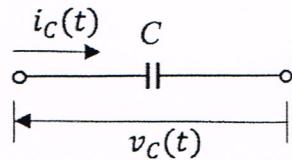


図 4.1 コンデンサ

(次ページにつづく)

(前ページのつづき)

- 5) 図 4.2 に示すように抵抗値  $R$  の抵抗と容量  $C$  のコンデンサが接続された回路がある。入力を電圧  $e(t)$ 、出力をコンデンサ両端の電圧  $v_c(t)$  とする。問 5)においては、 $t=0$  で回路は静止状態にあるものとする。静止状態とは、すべての素子に流れる電流、及び素子両端間の電位差が 0 である状態をいう。
- a) この回路の入出力間の伝達関数  $H(s) = V_c(s)/E(s)$  を求めよ。ここで、 $V_c(s)$ 、 $E(s)$  は、それぞれ、 $v_c(t)$  と  $e(t)$  のラプラス変換である。
- b) この回路に入力として、高さ  $v_0$  のステップ電圧  $e(t) = v_0 u(t)$  を与えた時の出力  $v_c(t)$  を求め、さらに図示せよ。ただし、 $v_0 > 0$  とする。
- c) この回路に入力として、パルス幅  $T_1$  で高さ  $v_0$  のパルス電圧を与えた時の出力  $v_c(t)$  を求め、さらに図示せよ。このとき、入力  $e(t)$  は、式(4.2)で定義したパルス波  $p(t)$  を用いて、 $e(t) = v_0 p(t)$  と表すことができる。

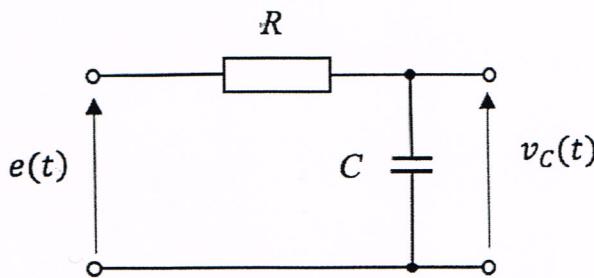


図 4.2  $RC$  回路

- 6) 図 4.2 の回路の入力として、パルス幅  $T_1$  で高さ  $v_0$  のパルス電圧を周期  $T$  で繰り返し与える。ただし、 $T > T_1$  とする。十分に遠い過去から入力が与えられ、 $t \geq 0$  では回路が定常状態に達しているとする。定常状態では、 $v_c(t) = v_c(t + T)$  となっている。このとき、 $0 \leq t \leq T$  の 1 周期の出力を求めたい。
- a) 図 4.2 の回路で、 $v_c(0) \neq 0$  の場合の、 $E(s)$  と  $V_c(s)$  の間に成り立つ関係式を求めよ。ここで、 $V_c(s)$ 、 $E(s)$  は、それぞれ、 $v_c(t)$  と  $e(t)$  のラプラス変換である。
- b) 上記 a) で求めた関係式を用いて、入力  $e(t)$  として  $v_0 p(t)$  を与えた時の出力  $v_c(t)$  を求めよ。ただし、 $v_c(0)$  は未知数として残したままで解くこと。
- c) 上記 b) で求めた式で、 $v_c(0) = v_c(T)$  の関係を用いて  $v_c(0)$  を求めよ。

## 5.

- 1) 論理回路について、空欄(A)～(N)に最も適切な語句を図 5.1 の選択群から選んで、その番号を回答せよ。ただし、同一の語句を何回用いても良い。

0 または 1 の値を取る変数を (A) と呼ぶ。 (B) とは、 (A) を AND, OR, NOT などの基本論理演算で結合して得られる式のことである。基本論理演算において、NAND や (C) は一種類の演算ですべての論理式を表すことができる。

(B) を実際に実現する回路を論理回路という。論理回路には、 (D) と (E) がある。 (D) は出力がその時点の入力の組合せだけで定まる回路であり、 (E) は出力がその時点の入力の組合せだけで定まらず、過去から現在までの入力の系列によって定まる回路である。

フリップフロップは、 (F) 個の安定状態をもつことで (G) ビットの状態を表現することができる (E) の基本要素である。論理回路において、フリップフロップなどにより状態を保持する装置を (H) と呼ぶ。コンピュータの (H) は、情報を保持するために電力供給が必要である (I) メモリと電力を供給しなくとも格納した情報を保持できる (J) メモリに分類される。現代の多くのコンピュータで (I) メモリとして用いられている (K) は、 (G) ビットの情報を保持する素子として (L) を用いている。 (L) は時間の経過とともに自然放電するために、 (M) 動作と呼ばれる定期的な書き込みが必要である。一方、 (N) はフリップフロップを用いており電力供給がある限り同じ情報を保持でき、 (M) 動作は不要である。

- (1)リフレッシュ, (2)DRAM, (3)組合せ回路, (4)SRAM, (5)演算装置, (6)不揮発性, (7)局所性, (8)論理変数, (9)1, (10)2, (11)3, (12)コンデンサ, (13)LRU, (14)AND, (15)昇順, (16)標準形, (17)水晶振動子, (18)ド・モルガンの定理, (19)ランダム, (20)記憶装置, (21)論理式, (22)極小万能, (23)順序回路, (24)ダイオード, (25)NOR, (26)揮発性, (27)二次電池, (28)NOT, (29)コイル, (30)多機能, (31)結合的, (32)OR

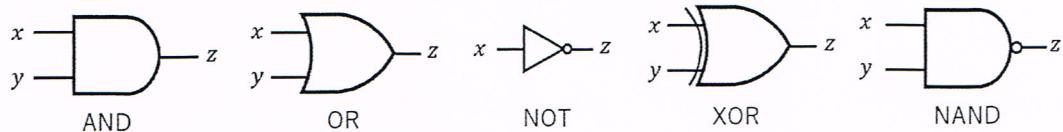
図 5.1 選択群

(次ページにつづく)

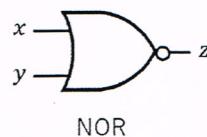
(前ページのつづき)

2) 次の問い合わせに答えよ.

- a) 図 5.2(a)に示す論理ゲート AND, OR, NOT, XOR, NAND を図 5.2(b)に示す 2 入力の NOR ゲートのみで実現したい. その際, AND は 3 個, OR は 2 個, NOT は 1 個, XOR は 5 個, NAND は 4 個の NOR ゲートのみを用いて実現せよ.



(a)



(b)

図 5.2 論理ゲート

- b) 論理変数  $A, B, X, Y, Z$  について,  $A$  と  $B$  の論理和(OR)を  $A+B$ , 論理積(AND)を  $AB$ ,  $A$  の否定(NOT)を  $\bar{A}$  と表現する. 複数の入力の大小を比較し, その結果を出力する機能を持った回路について考える. 1 ビットの 2 つの入力を  $A, B$  とし 3 つの出力を  $X, Y, Z$  とする. ビットの大小関係を  $0 < 1$  であると定義する.

(ア)  $A > B$  のとき  $X=1, Y=0, Z=0$ ,  $A=B$  のとき  $X=0, Y=1, Z=0$ ,  $A < B$  のとき  $X=0, Y=0, Z=1$  となる比較器の真理値表を表 5.1 にならい書け.

(イ) (ア) で完成させた真理値表について,  $X, Y, Z$  それぞれを入力  $A, B$  を用いて論理式として表せ.

(ウ) 1 ビット比較器を (イ) で求めた 3 つの論理式に基づき 1 つの論理回路で実現する. 図 5.3 の(i)~(iii)のそれぞれに図 5.4 の選択群から適切なゲート素子を 1 つ選択し, その番号を回答せよ. ただし, 同一のゲート素子を何回用いても良い.

表 5.1 1 ビット比較器の真理値表

A	B	$X(A > B)$	$Y(A=B)$	$Z(A < B)$
0	0			
0	1			
1	0			
1	1			

(次ページにつづく)

(前ページのつづき)

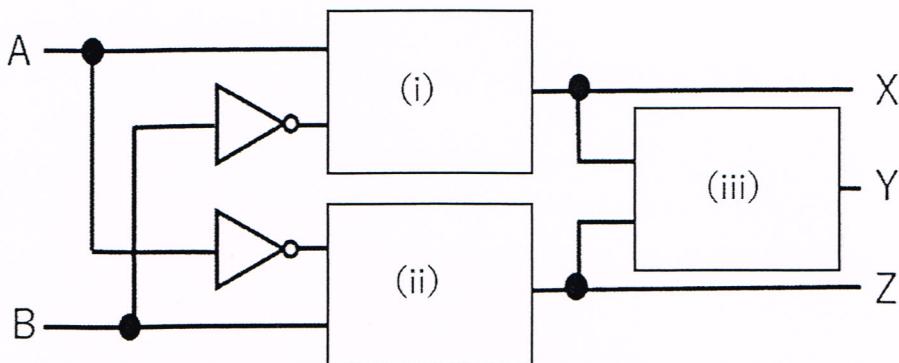


図 5.3 1 ビット比較器の論理回路

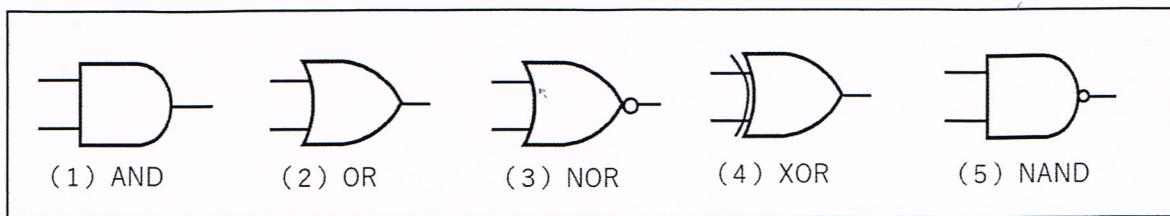


図 5.4 選択群

- c) 2 ビットの入力  $A = A_1A_0$ ,  $B = B_1B_0$  は, 最下位ビットを  $A_0, B_0$ , 最上位ビットを  $A_1, B_1$  とする. 2 ビットの大小関係を,  $00 < 01 < 10 < 11$  であると定義し,  $A$  と  $B$  の比較結果を  $X, Y, Z$  に出力する比較器を考える.

(ア)  $A > B$  のとき  $X=1, Y=0, Z=0$ ,  $A=B$  のとき  $X=0, Y=1, Z=0$ ,  $A < B$  のとき  $X=0, Y=0, Z=1$  であるとする.  $X$  と  $Y$  それぞれについて図 5.5 の形式でカルノ一図を完成させよ.

(イ) (ア) で求めたカルノ一図を利用して,  $X, Y$  それぞれについて入力  $A_1, A_0, B_1, B_0$  を用いて積和標準形 (積項の和形式, NOT-AND-OR 形式) で項数が最少となるように簡単化し, 論理式で表せ.

$B_1B_0 \backslash A_1A_0$	00			
00				
01				
10				
11				

図 5.5 カルノ一図

(次ページにつづく)

(前ページのつづき)

3) 次の問い合わせに答えよ.

$2^5$  のアドレス空間のメモリを持つコンピュータにおける、8 ブロックからなるダイレクト・マップ方式のキャッシュメモリ（以下、キャッシュと略す）を考える。ブロックの大きさは 1 語であるとする。メモリ・アドレスの下位 3 ビットがキャッシュのブロック番号を表すものとする。表 5.2 におけるインデックスおよびタグの欄は 2 進数で表す。キャッシュの初期状態は空であり、キャッシュの有効ビット（表 5.2 の「有効」欄）はすべて N に設定されている。キャッシュのブロックが有効な場合は Y が設定される。タグにはキャッシュされている情報を指示するのに必要十分である当該アドレスの上位 2 ビットを用いるものとする。2 進数表記を行う際は、 $1001_2$  のように右下に小さく 2 を添え字として書く。メモリ中の各アドレスのデータは、そのアドレスと一致するものとする。例えば、アドレス  $10110_2$  には語  $10110_2$  が入っている。ここで A を 10 進数表記でのメモリ・アドレスの参照系列とし、系列 A : 10, 15, 2, 15, 10, 2 とする。

表 5.2 キャッシュの状態表

インデックス	有効	タグ	データ
$000_2$			
$001_2$			
$010_2$			
$011_2$			
$100_2$			
$101_2$			
$110_2$			
$111_2$			

表 5.3 6 回のメモリ参照が行われたときの一連の動作

参照先アドレスの 10 進数表記	参照先アドレスの 2 進数表記	ヒット/ミスの別	割り当てられる キャッシュ・ブロック番号
10			
15			
2			
15			
10			
2			

(次ページにつづく)

(前ページのつづき)

- a) 初期状態のキャッシュに対して、メモリ・アドレスの参照系列 A の左から順に 6 回のメモリ参照が行われたとき、一連の動作を示すよう表 5.3 を埋めよ。この一連の動作が行われた後のキャッシュの状態を表 5.2 の形式で示せ。
- b) a)で使用したダイレクト・マップ方式のキャッシュをブロック数を維持したまま 2 ウェイ・セット・アソシアティブ方式に変更した。置換アルゴリズムは LRU(Least Recently Used)法とする。このキャッシュの初期状態は空である。系列 A の左から順に 6 回のメモリ参照が行われたとき、キャッシュミスが何回発生するか答えよ。
- c) a)と b)の結果について、ダイレクト・マップ方式とセット・アソシアティブ方式のキャッシュのヒット率が異なる理由を 100 字以内で述べよ。