

CPU的四个功能

指令控制、操作控制、时间控制、数据加工。

CPU的基本组成

控制器，运算器（ALU）

CPU中的主要寄存器

- 1、数据缓冲寄存器（DR）
- 2、指令寄存器（IR）
- 3、程序计数器（PC）
- 4、数据地址寄存器（AR）
- 5、通用寄存器
- 6、程序状态字寄存器（PSWR）

第二章

一个定点数由符号位和数值域两部分组成。按小数点位置不同，定点数有**纯整数**和**纯小数**两种表示方法

指令周期由**取值周期**和**执行周期**组成

时序信号和多级时序信号

时序信号产生器：**时钟源**，**环形脉冲发生器**，**节拍脉动**和**存储器读/写时序**，**启停控制逻辑**

控制方式：**同步控制方式**，**异步控制方式**，**联合控制方式**??？。

微程序：

微指令和微操作

指令

一个比较完善的指令系统，应当具备**数据传送**、**算术运算**、**逻辑运算**、**程序控制**和输入输出五大类指令。

形成操作数地址的方式，称为**数据寻址**方式，操作数可位于**CPU**的寄存器、**I/O**接口****的寄存器、主存和指令中。

复杂指令系统计算机：CISC

精简指令系统计算机：RISC

指令的系统的性能要求：完备性，有效性，规整性，兼容性。

指令系统体系结构：ISA

指令格式

操作码，地址码，指令字长度，指令助记符

三种指令

存储器存储器（SS）型指令。

寄存器存储器（RS）型指令。

寄存器寄存器（RR）型指令。

指令字长度一个指令字中包含的二进制代码的位数。

机器字长：计算机能处理的二进制数据的位数

操作数类型：地址数据，数值数据，字符数据，逻辑数据。

指令的寻址方式

顺序寻址方式，跳跃寻址方式

操作数寻址方式：

隐含寻址，立即寻址，直接寻址，间接寻址，寄存器寻址，寄存器间接寻址，偏移寻址（相对寻址，基址寻址，变址寻址）。段寻址。堆栈寻址。

指令的分类：数据处理，数据存储，数据传送，程序控制。

十进制数在计算机内有**字符串形式**和**压缩BCD码**两种表示形式。

第五章 CPU

CPU的功能：指令控制，操作控制，时间控制，数据加工。

CPU的基本组成：

控制器（程序计数器，指令寄存器，指令译码器，时序发生产生器，操作控制器）。

运算器（ALU，通用寄存器，数据缓冲寄存器（DR）和程序状态字寄存器组成）。

CPU的主要寄存器：数据缓冲寄存器，指令寄存器（IR），程序计数器（PC），数据地址寄存器（AR），通用寄存器，程序状态字寄存器（PSWR）

指令周期：用若干个CPU周期表示，CPU周期又叫做机器周期。取值周期+执行周期。

微程序：微命令，微操作。相容性微操作，互斥性微操作。

微指令：在机器的一个CPU周期中，一组实现一定操作功能的微命令的组合，构成一条微指令。

微程序：由微指令序列组成。

控制存储器：微指令存储器，微指令寄存器（微地址寄存器和微命令寄存器），地址转移逻辑。

微指令周期：微指令的时间加上执行该条指令的时间。

微地址的形成方法：计数器方式，多路转移方式。

水平型微指令：一次能定义并执行多个并行操作微命令的微指令。

垂直型微指令：微指令中设置微操作码字段，采用微操作码编译法，由微操作码规定微指令的功能。

并行处理技术：时间并行，空间并行，时间并行+空间并行。

流水线中的相关问题：资源相关，数据相关，控制相关。

RISC：一个有限的简单的指令系统，CPU配备大量的通用寄存器，强调对流水线的优化。

CPU从主存取出一条指令并执行该指令的时间称为****指令周期****，它常用若干个机器周期（CPU周期） 来表示。

第六章 总线

总线的基本概念：内部总线（各个寄存器和运算部件之间），系统总线（CPU和其他高速功能部件，存储器，通道等）和I/O总线（中、低速I/O设备之间互相连接的总线）

特征：物理，功能，电气，时间

衡量总线的重要指标是总线带宽。

单总线结构和多总线结构

总线有3类信号线（数据传送总线）：地址线（单项），数据线和控制线（对每根线都是单向的）。

仲裁总线：包括总线请求线和总线授权线。

中断和同步总线

CPU总线：也叫做CPU-存储器总线

PCI总线：用于连接高速的I/O设备模块。

ISA总线：pentium机使用该总线和低配I/O设备连接。

北桥：CPU总线-PCI总线叫北桥

南桥：PCI总线-ISA总线叫南桥

总线接口：串行传送，并行传送。

总线接口的基本概念：外围设备带有自己的设备控制器，外围设备与它的控制电路画在一起，称为外围设备。

I/O接口模块分为：串行数据接口和并行数据接口两大类。

I/O接口的典型功能：控制，数据缓冲，状态，数据转换，接口整理，程序中断

多总线结构：CPU总线，系统总线，高速总线，扩充总线。

总线仲裁：主方（设备）和从方（设备），多个主设备提出的占用总线请求，一般采用优先级或则公平策略进行仲裁。主方控制总线的时间称为总线占用期。

集中式仲裁：

链式查询方式，距离仲裁器最近的设备具有最高的优先级。优点：少几根线就能按一定优先次序实现总线仲裁。对询问线故障很敏感。

计数器定时查询方式：不太懂

独立请求方式：响应时间快，不必进行设备查询；对优先次序的控制灵活；可以用屏蔽某个请求的方法，拒绝相应某个设备接口的请求。

对于单处理器来说：总线仲裁器又称总线控制器。

分布式仲裁：是以优先级仲裁策略为基础的。

总线的信息传送过程：大致可分为五个阶段：**请求总线，总线仲裁，寻址（目的地址），信息传送，状态返回（或错误报告）**

同步总线定时协定：一次I/O传送被称为时钟周期和总线周期，适用于总线长度较短、各功能模块存取时间比较接近的情况。同步方式对任何两个功能模块的通信都给予同样的时间安排。由于同步总线必须按最慢的模块来设计公共时钟，当各功能模块存取时间相差较大的时候，会大大损失总线效率。

异步总线定时协定：总线周期长度可变，不把相应时间强加到功能模块上，但会增加总线的复杂性和成本为代价。

半同步总线协定：同步操作方式，半同步总协定在同步总线协定的基础上增加了一点成本，但适应能力大大提升。也就是多了一个信号表示要延长周期。

周期分裂式总线定时协定

多总线结构：HOST总线（宿主总线）该总线有CPU总线，系统总线，主存总线，前端总线等多种名称，HOST总线不仅连接主存，还可以连接多个CPU。CPU有HOST总线的控制权，但必要时可以放弃。

LAGACY总线：可以是ISA,EISA, MCA等这类性能较低的传统总线，以便能够充分利用市场上丰富的适配器卡。

PCI总线：是连接各种高速的PC设备的局部总线，是一个于处理器无关的高速外围总线。采用同步时序协议和集中式仲裁策略，具有自动配置能力，PCI设备可以是主设备，也可以是从设备，没有DMA的概念，但支持无限的猝发式传送。允许有多条PC总线，通过PCI-PCI桥与已和HOST总线相连PCI总线相连，从而得以扩充PCI总线负载能力。采用集中式仲裁方式，每个PCI主设备。

第八章 输入输出

CPU的输入/输出操作实际上分为两个传输阶段：I/o接口与外设间的数据传送，以及CPU与I/O接口间的数据传送

端口：命令口，状态口，数据口。

端口的两种编址方式，统一编址和I/O独立编址

I/O接口与外设间的数据传送方式

速度极慢或简单的外围设备：无条件传送方式。

慢速或中速的外围设备：应答方式（异步传送方式）

高速的外围设备：同步传送方式

CPU与I/O之间的数据传送

无条件传送方式，程序查询（轮询）方式，直接内存方式（DMA）方式，通道和输入/输出处理器。

查询查询方式

- 1、输入/输出指令
- 2、程序查询方式的接口：设备选择电路，数据缓冲寄存器，设备状态标志。
- 3、程序查询方式的输入/输出方式

中断是一种程序随机切换的方式也叫做异常

- （1）实现CPU与外界进行信息交换的握手联络
- （2）故障处理
- （3）实时处理
- （4）程序调度
- （5）软中断（程序自愿中断）

中断的三个问题，保存现场，中断前先执行完当前指令，中断屏蔽，中断的隐操作，内中断和外中断。

中断方式：向量中断，查询中断。

中断的基本I/O接口：准备就绪触发器（RD），允许中断触发器（EI），中断请求触发器（IR），中断屏蔽触发器（IM）。

单级中断和多级中断

中断类型

中断又称外部中断。

异常称为异常中断。

中断服务子程序进入过程

1、指令给出。2、外部提供。3、CPU识别错误。

实模式下使用中断向量表（IVT）。

保护模式下使用中断描述符（IDT）。

DMA（直接内存访问）

主要优点是速度快。

DMA的传送方式

成组连续传送方式：优点：控制简单，缺点，内存没有充分发挥。

周期挪用方式：优点：发挥了内存和CPU和效率。适用于I/O设备读写周期大于内存存储周期的情况。

透明DMA方式

DMA控制器的基本组成

内存地址计数器，字计数器，数据缓冲寄存器，DMA请求状态，控制/状态逻辑，中断机构。

DMA数据传送过程

传送前预处理，正式传送，传送后处理。

选择型DMA控制器

多路型DMA控制器

通道的类型：选择通道（高速通道）、多路通道（多路转换通道）又分为数组多路通道和字节多路通道。

两种计算机I/O系统结构：输入输出处理器（IOP），外围处理机（PPU）

I/O系统设计要考虑的两种主要规范：时延约束和带宽约束