

**ĐẠI HỌC QUỐC GIA TP.HỒ CHÍ MINH**  
**TRƯỜNG ĐẠI HỌC BÁCH KHOA**  
**KHOA ĐIỆN – ĐIỆN TỬ**  
**BỘ MÔN ĐIỆN TỬ**

-----o0o-----



**BÁO CÁO TIỂU LUẬN**  
**THIẾT KẾ VI MẠCH SỐ**

**GVHD: TS. Trần Hoàng Linh**  
**SVTH: Nguyễn Đức Chính\_2012739**  
**Nguyễn Nhu Trinh \_2014837**

**TP. HỒ CHÍ MINH, THÁNG 5 NĂM 2024**



## MỤC LỤC

I.	LABORATORY 1: MOS TRANSISTOR CHARACTERIZATION .....	1
	Experiment 1: Hiểu được hoạt động của NMOS và đặc tính I-V .....	1
	Experiment 2: Xem xét sự ảnh hưởng của Vgs, Width và Length lên đặc tuyến I-V .....	4
	Experiment 3: Hiểu được các hiệu ứng thứ cấp của MOS transistor trong thư viện đang sử dụng .....	6
	Experiment 4 Tạo layout cho MOS.....	14
	Experiment 5 OPTIONAL .....	2
II.	LABORATORY 2: DIGITAL LOGIC CIRCUITS.....	3
	Experiment 1: Hoàn thành bảng chân trị của NAND-2, NOR-2, EX-OR2, sau đó xác minh bằng cách chạy mô phỏng .....	3
	Experiment 2: Thực hiện một số tổ hợp cơ bản .....	18
	Experiment 3: Triển khai mạch tuần tự cơ bản – latch và flip flop (D Latch và D Flip Flop).....	21
	Experiment 4: Khái quát hoạt động của Pass Transistor, Transmission Gate và Tristate Inverter .....	24
III.	LABORATORY 3: COMBINATIONAL AND SEQUENTIAL CIRCUIT .....	29
	Experiment1: Thiết kế một mạch tổ hợp – Bộ cộng Full-Adder 1-bit .....	29
	Experiment 2: Biết thiết kế mạch tuần tự cơ bản .....	32
IV.	LABORATORY 4: ARITHMETIC LOGIC UNIT &REGISTER FILE.....	35
	Experiment 1: Triển khai bộ Arithmetic Logic Unit (ALU) đơn giản thực hiện tám chức năng với đầu ra Cờ 4 bit (N, Z, C, V). Chi tiết hoạt động của ALU được thể hiện như sau:.....	35
	Experiment 2: Triển khai 1 bộ 8x8 Register File .....	41
V.	LABORATORY 5: INTRODUCTION TO MEMORY CIRCUIT DESIGN.....	45
	Experiment 1: Biết được cấu trúc cụ thể của bộ nhớ khả biến (RAM) - SRAM 6-transistor. ....	45

## DANH SÁCH HÌNH MINH HỌA

Hình 1. Test setup for the NMOS transistor .....	1
Hình 2. $I_{ds} = f(V_{ds})$ khi giữ nguyên $V_{gs} = 1V$ .....	1
Hình 3. $I_{ds} = f(V_{gs})$ khi giữ nguyên $V_{ds} = 1.5V$ . ....	2
Hình 4. Test setup for the PMOS transistor. ....	2
Hình 5. $I_{sd} = f(V_{sd})$ khi giữ nguyên $V_{sg} = 1V$ .....	3
Hình 6. $I_{sd} = f(V_{sg})$ khi giữ nguyên $V_{sd} = 1.5V$ .....	3
Hình 7. Đặc tuyến $I_{ds} = f(V_{ds})$ khi $V_{gs} = [0,1] V$ với step 0.25V .....	4
Hình 8. Đặc tuyến $I_{ds} = f(V_{ds})$ khi $W = [30,210] nm$ với step 30nm.....	5
Hình 9. Đặc tuyến $I_{ds} = f(V_{ds})$ khi $L =[30,240]nm$ với step 30nm .....	5
Hình 10. Đặc tính $I_{ds} = f(V_{gs})$ khi giữ nguyên $V_{ds} = 1V$ , $V_{bs} = \{0.1 0.55 0.9\}V$ và sweep $V_{gs}$ từ 0 đến 1V với step bằng 10mV.....	7
Hình 11. Vẽ đặc tính $I_{ds} = f(V_{gs})$ khi giữ nguyên $V_{ds} = 1V$ , $V_{bs} = \{0.1 0.55 0.9\}V$ và sweep $V_{ds}$ từ 0 đến 1V với step bằng 10mV .....	8
Hình 12. Đặc tuyến $I_{ds} = f(V_{ds})$ khi $V_{gs} = \{0, 0.25, 0.5, 0.75, 1\}V$ .....	9
Hình 13.Đặc tuyến $I_{ds} = f(V_{ds})$ khi $V_{gs} = \{0, 0.25, 0.5, 0.75, 1\}V$ với $V_{sb} = 0.2V$ .....	11
Hình 14. Đặc tuyến $I_{ds} = f(V_{ds})$ khi $V_{sg} = \{0, 0.25, 0.5, 0.75, 1\}V$ .....	12
Hình 15. Đặc tuyến $I_{ds} = f(V_{ds})$ khi $V_{sg} = \{0, 0.25, 0.5, 0.75, 1\}V$ với $v_{sb} = 0.2V$ .....	13
Hình 16. Schematic NMOS 120n/60n.....	14
Hình 17. Layout NMOS 120n/60n .....	14
Hình 18. DRC NMOS 120n/60n.....	14
Hình 19. LVS NMOS 120n/60n.....	2
Hình 20. Schematic PMOS 50n/50n .....	2
Hình 21. Layout PMOS 50n/50n .....	2
Hình 22. DRC và LVS của PMOS 50n/50n .....	2
Hình 23. Schematic cổng NAND-2 .....	3
Hình 24. Symbol cổng NAND-2.....	3
Hình 25. Testbench cho cổng NAND-2 .....	4

Hình 26. NAND DC với $V_A = 1V$ .....	4
Hình 27. NAND DC với $V_B = 1V$ .....	5
Hình 28. Waveform sau khi mô phỏng cổng NAND-2 .....	5
Hình 29. Time rise $T_{rise} = 28.84$ ps .....	6
Hình 30. Time fall $T_{fall} = 28.73$ ps .....	6
Hình 31. Time pdr $T_{pdr} = 16.61$ ps .....	6
Hình 32. Time pdf $T_{pdf} = 16.83$ ps .....	7
Hình 33. Power dynamic = 516,5 nF.....	7
Hình 34. Layout NAND2 sau khi chạy DRC và LVS .....	8
Hình 35. Schematic cổng NOR-2.....	9
Hình 36. Symbol cổng NOR-2 .....	9
Hình 37. DC Analysis simulation NOR-2 .....	10
Hình 38. NOR-2 DC với $V_A = 0V$ .....	10
Hình 39. NOR-2 DC với $V_B = 0V$ .....	10
Hình 40. Waveform sau khi mô phỏng cổng NOR-2.....	11
Hình 41. Time rise $T_{rise} = 75.72$ ps .....	11
Hình 42. Time fall 18.27 ps .....	11
Hình 43 Time pdr 23.3ps .....	12
Hình 44. Time pdf 10.38 ps .....	12
Hình 45. Static Power .....	12
Hình 46. Layout NOR-2 sau khi chạy DRC và LVS .....	13
Hình 47. Schematic cổng EX-OR2 .....	14
Hình 48. Symbol cổng EX-OR 2 .....	14
Hình 49. DC Analysis simulation EX-OR2 .....	15
Hình 50. EX-OR2 DC với $V_A=1$ .....	15
Hình 51. EX-OR2 DC với $V_B=1$ .....	15
Hình 52. . Waveform sau khi mô phỏng cổng EX-OR2 .....	16

Hình 53. Time rise Trise = 56.988 ps .....	16
Hình 54. Time fall 35.61 ps.....	16
Hình 55. Time pdr 29.67ps .....	16
Hình 56. Time pdf 19.61ps .....	17
Hình 57. Static Power .....	17
Hình 58. Layout EX-OR2 sau khi chạy DRC và LVS .....	18
Hình 59. Schematic MUX2-1.....	18
Hình 60. Symbol MUX2-1 .....	19
Hình 61. Waveform sau khi chạy mô phỏng .....	19
Hình 62. Các giá trị $t_{rise}$ , $t_{fall}$ , $t_{pdr}$ , $t_{pdf}$ , $t_{pd}$ đo được .....	20
Hình 63 Kết quả đo đặc trise, tfall, tpdr, tpdf, tpd .....	20
Hình 64. Schematic D-Latch .....	21
Hình 65. Symbol D-Latch .....	21
Hình 66. Waveform D-Latch .....	22
Hình 67. Schematic D Flip-Flop.....	22
Hình 68. Waveform D Flip-Flop .....	22
Hình 69. D-FlipFlop sử dụng cấu trúc TSPC .....	23
Hình 70. Waveform sau khi mô phỏng D-FlipFlop theo cấu trúc TSPC .....	23
Hình 71. NMOS nạp .....	24
Hình 72. NMOS xả .....	24
Hình 73 PMOS nạp .....	25
Hình 74 PMOS xả .....	25
Hình 75. Schematic Transmission gate.....	25
Hình 76. Waveform transmission gate.....	26
Hình 77. Tristate Inverter Schematic .....	26
Hình 78 Waveform Tristate Inverter .....	27

## LAB4

Hình 4. 1 Các câu lệnh trong ALU .....	35
Hình 4. 2 Waveform sau khi mô phỏng với A[0000 0000] và B[0101 0101] .....	36
Hình 4. 3 Waveform sau khi mô phỏng với A[1111 1111] và B[01110 0110].....	37
Hình 4. 4 Waveform sau khi mô phỏng với A[0010 1010] và B[1001 1111].....	37
Hình 4. 5 Schematic mạch thực hiện chức năng cộng trừ .....	38
Hình 4. 6 Khối dịch trái (bên trái) , dịch phải ( bên phải) .....	38
Hình 4. 7 Schematic các cổng OR, AND, NOT .....	39
Hình 4. 8 Bộ ALU hoàn chỉnh với các khối.....	39
Hình 4. 9 Waveform sau khi mô phỏng với A[0000 0000] và B[0101 0101] .....	40
Hình 4. 10 Waveform sau khi mô phỏng với A[1111 1111] và B[01110 0110].....	40
Hình 4. 11 Waveform sau khi mô phỏng với A[0010 1010] và B[1001 1111].....	41
Hình 4. 12 RTL viewer của mạch Register file 8x8.....	43
Hình 4. 13 Waveform sau khi chạy mô phỏng .....	44
Hình 4. 14 Schematic bộ Register file 8x8 .....	44
Hình 4. 15 Setup giá trị [0001 1101] vào 8 thanh ghi.....	44
Hình 4. 16 Waveform giá trị của thanh ghi rs1 .....	45
Hình 4. 17 Waveform giá trị của thanh ghi rs2 .....	45

## LAB 5

Hình 5. 1 Schematic SRAM 6T chế độ ghi.....	45
Hình 5. 2 Waveform sau khi chạy mô phỏng SRAM 6T.....	46
Hình 5. 3 Đo thời gian ghi.....	46
Hình 5. 4 Schematic SRAM 8x8.....	46
Hình 5. 5 Testbench SRAM 8x8 .....	47
Hình 5. 6 Hình 5. 6 Waveform ở chế độ ghi cho data0<7:0> .....	47

## DANH SÁCH BẢNG

Bảng 1. Các hiệu ứng thứ cấp trong MOS transistor.....	6
Bảng 2. Lamda theo từng trường hợp Vgs biến thiên từ 0 đến 1.5V .....	10
Bảng 3. Bảng tính lamda PMOS.....	12
Bảng 4. Bảng chân trị cổng NAND-2.....	3
Bảng 5. Measurement results of NAND-2 .....	8
Bảng 6. Bảng chân trị NOR-2 .....	9
Bảng 7. Measurement results of NOR-2 .....	13
Bảng 8. Chân trị EX-OR2 .....	14
Bảng 9. . Measurement results of EX-OR2 .....	17
Bảng 10. Bảng chân trị MUX2-1 .....	18
Bảng 11 Bảng hoạt động D-Latch.....	21
Bảng 12. Bảng kết quả đo D-FlipFlop .....	24
Bảng 13. Bảng sự thật Tristate Inverter .....	26
Bảng 14 Kết quả đo đặc thiết kế Full-Adder 1-bit.....	32

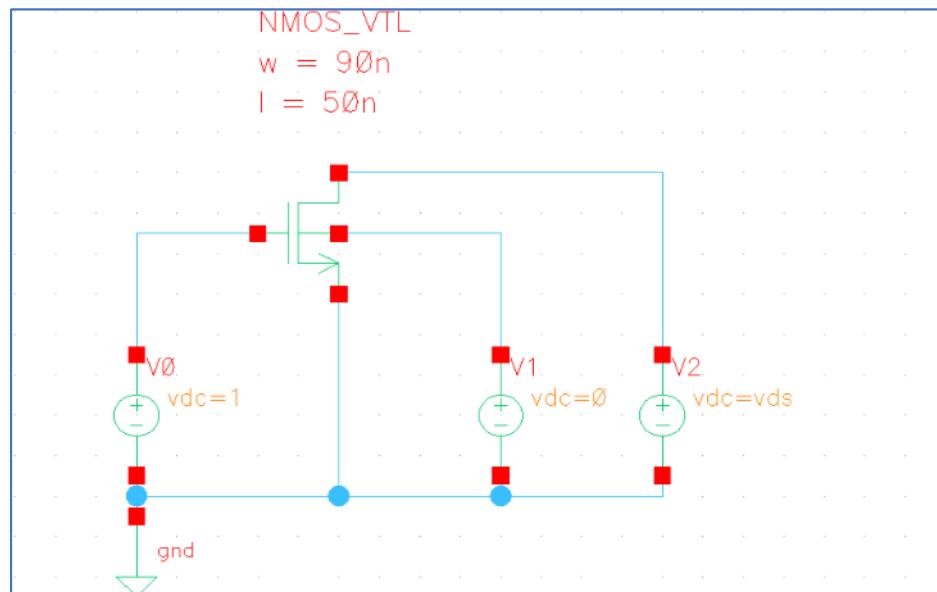
## I. LABORATORY 1: MOS TRANSISTOR CHARACTERIZATION

Experiment 1: Hiểu được hoạt động của NMOS và đặc tính I-V.

Mục tiêu: Hiểu được hoạt động của NMOS và đặc tính I-V.

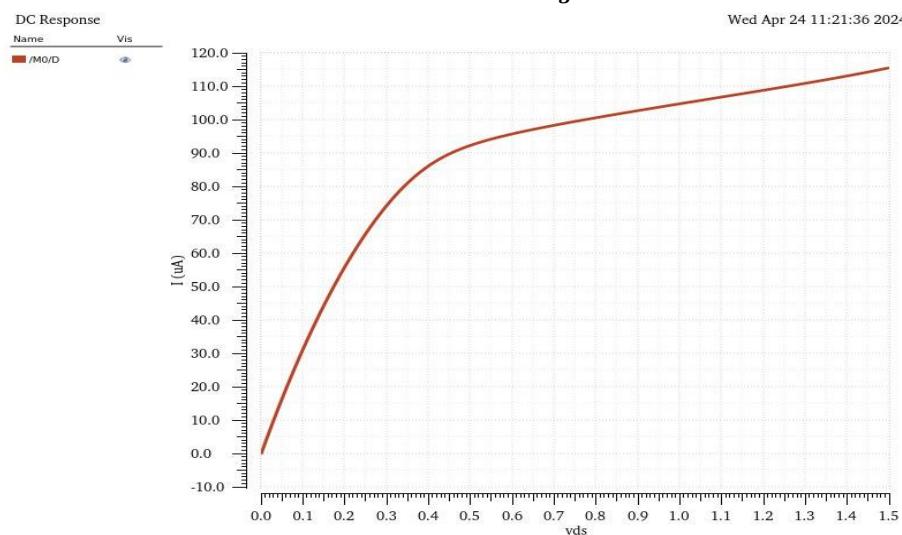
Yêu cầu: Mô phỏng và vẽ đường cong đặc tuyến  $I_{ds} = f(V_{gs})$  và  $I_{ds} = V(V_{ds})$  của NMOS đang sử dụng.

- ❖ Tìm hiểu thuộc tính của NMOS trong thư viện hiện hành. Đặt các cực NMOS như hình vẽ.



Hình 1. Test setup for the NMOS transistor.

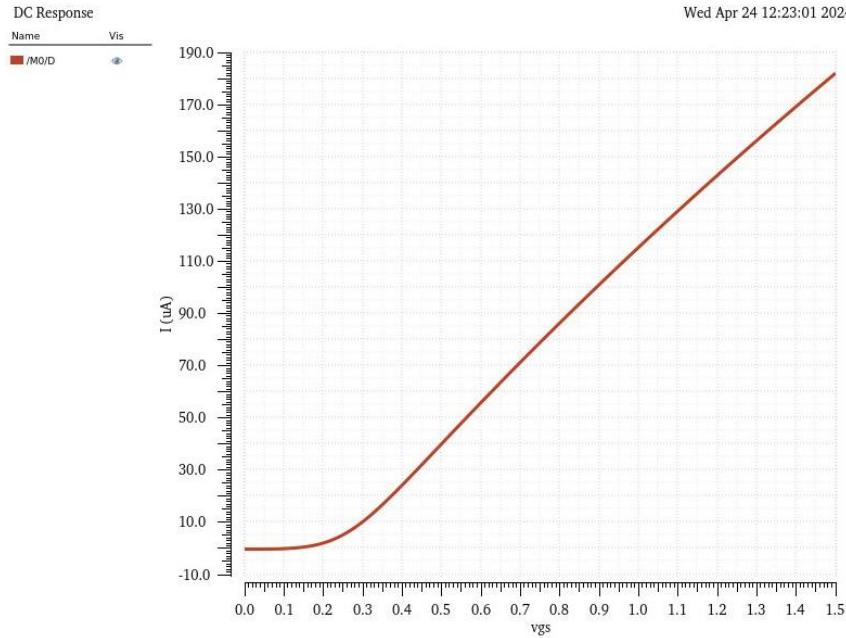
- Sự phụ thuộc vào  $V_{ds}$  của  $I_{ds}$  khi giữ nguyên  $V_{gs} = 1V$  và sweep  $V_{ds}$  từ 0 đến 1.5V.



Hình 2.  $I_{ds} = f(V_{ds})$  khi giữ nguyên  $V_{gs} = 1V$

Nhận xét: Giữ nguyên  $V_{gs}$ , tăng  $V_{ds}$  dẫn đến  $I_{ds}$  tăng, nhưng khi tăng đến một giá trị nhất định thì  $I_{ds}$  sẽ bảo hòa.

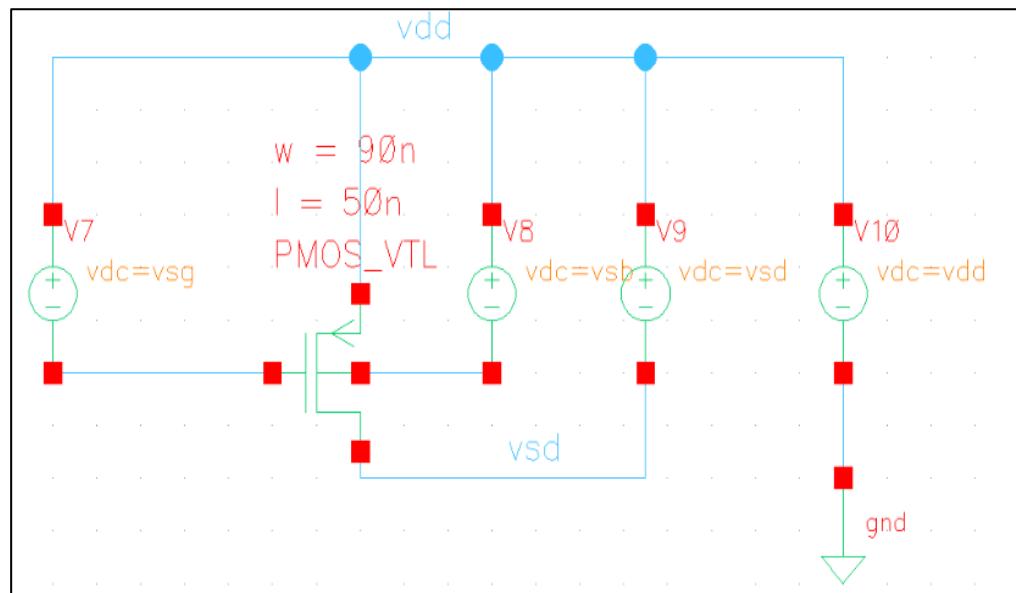
- Sự phụ thuộc của  $I_{ds}$  vào  $V_{gs}$  khi giữ nguyên  $V_{ds}$  và sweep  $V_{gs}$  từ 0 đến 1.5V.



Hình 3.  $I_{ds} = f(V_{gs})$  khi giữ nguyên  $V_{ds} = 1.5V$ .

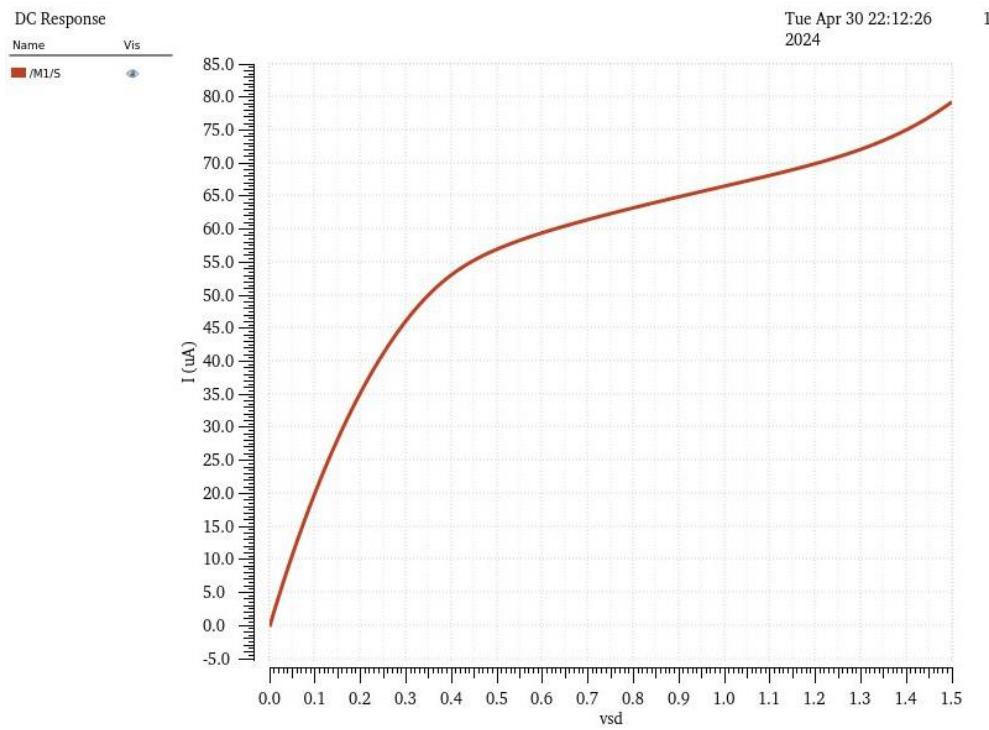
Nhận xét: Giữ nguyên  $V_{ds} = 1.5V$ . Tăng  $V_{gs}$ ,  $I_{ds}$  tăng theo  $V_{gs}$  theo tỉ lệ tuyến tính.

- ❖ Tìm hiểu thuộc tính của PMOS trong thư viện hiện hành. Đặt các cực PMOS như hình vẽ.



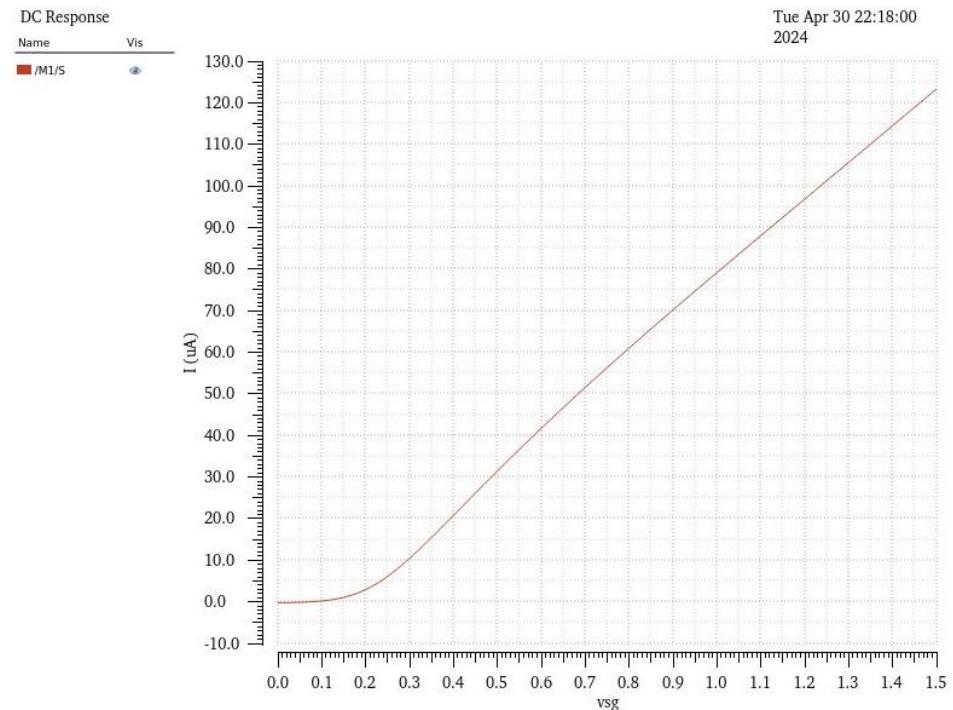
Hình 4. Test setup for the PMOS transistor.

- Sự phụ thuộc của  $I_{sd}$  vào  $V_{sd}$  khi giữ nguyên  $V_{sg} = 1V$  và sweep  $V_{ds}$  từ 0 đến 1.5V.



Hình 5.  $I_{sd} = f(V_{sd})$  khi giữ nguyên  $V_{sg} = 1V$ .

- Sự phụ thuộc của  $I_{sd}$  vào  $V_{sg}$  khi giữ nguyên  $V_{sd} = 1.5V$  và sweep  $V_{ds}$  (0,1.5V)



Hình 6.  $I_{sd} = f(V_{sg})$  khi giữ nguyên  $V_{sd} = 1.5V$ .

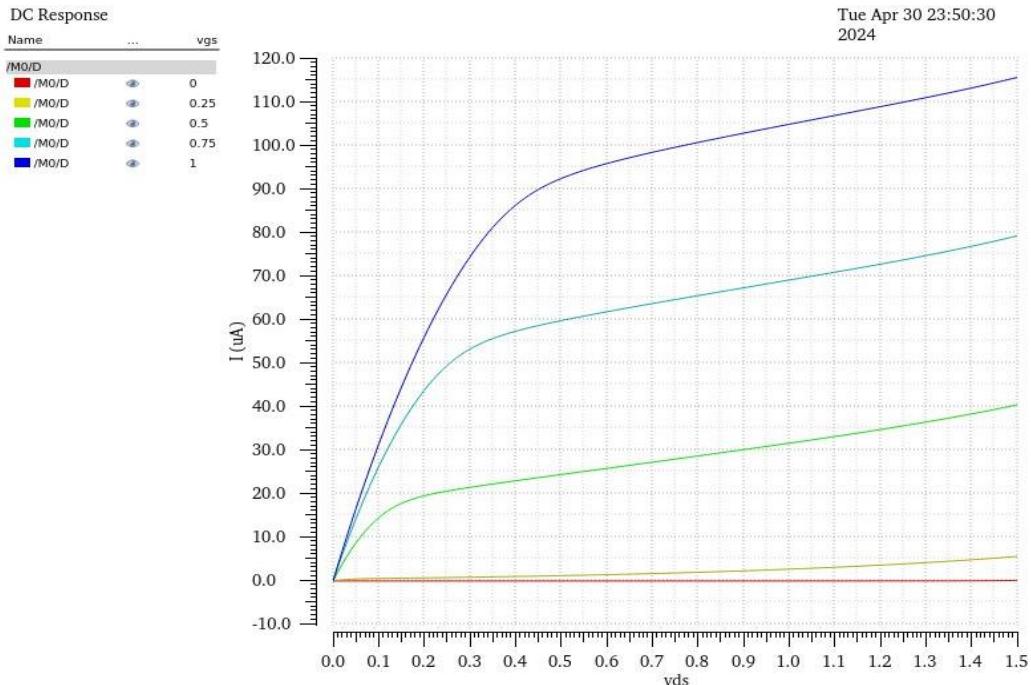
Experiment 2: Xem xét sự ảnh hưởng của Vgs, Width và Length lên đặc tuyến I-V.

Mục tiêu: Xem xét sự ảnh hưởng của Vgs, Width và Length lên đặc tuyến I-V.

Yêu cầu: Mô phỏng và vẽ đường cong đặc tuyến khi thay đổi Vgs, Width và Length.

Khảo sát sự ảnh hưởng của các thuộc tính Vgs, Width, Length đến đặc tuyến I-V của NMOS:

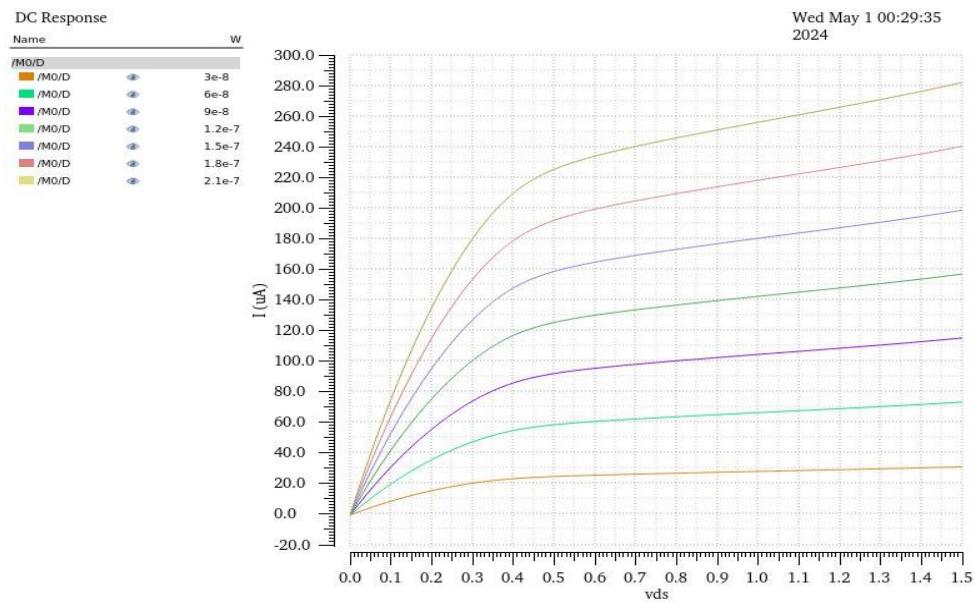
- Đặc tuyến  $Id_s = f(V_{ds})$  khi  $V_{gs} = [0,1]$  V với step 0.25V.



Hình 7. Đặc tuyến  $Id_s = f(V_{ds})$  khi  $V_{gs} = [0,1]$  V với step 0.25V

Nhận xét: Khi dòng  $Id_s$  bão hòa tại một mức  $V_{gs}$  nhất định, ta có thể tăng  $V_{gs}$  để cực đại hóa dòng  $Id_s$  có thể nhận được.

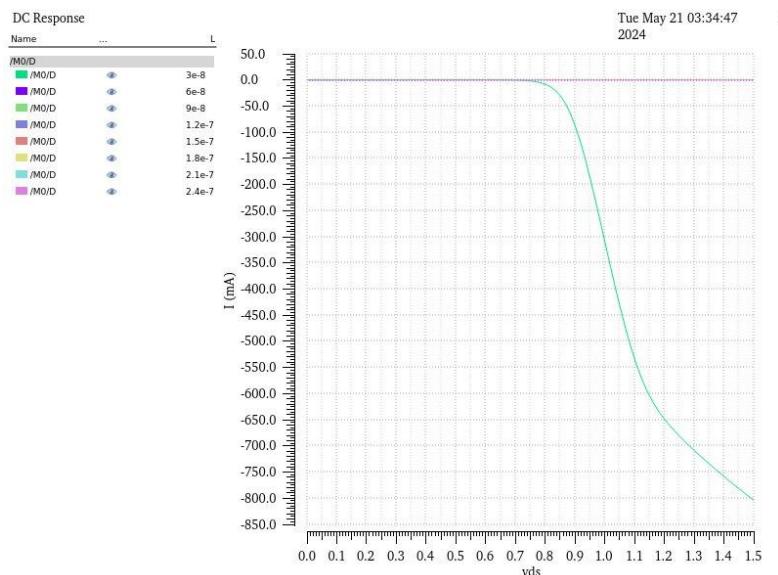
- Đặc tuyến  $Ids = f(Vds)$  khi  $W = [30, 210]$  nm với step 30nm.



Hình 8. Đặc tuyến  $Ids = f(Vds)$  khi  $W = [30, 210]$  nm với step 30nm

Nhận xét: Dòng  $Ids$  tăng tỉ lệ thuận với chiều rộng kênh dẫn Width. Do  $W$  càng lớn e- tập trung tại lớp oxit nhiều dẫn đến  $Ids$  tăng.

- Đặc tuyến  $Ids = f(Vds)$  khi  $L = [30, 240]$  nm với step 30nm



Hình 9. Đặc tuyến  $Ids = f(Vds)$  khi  $L = [30, 240]$  nm với step 30nm

Nhận xét:

Experiment 3: Hiểu được các hiệu ứng thứ cấp của MOS transistor trong thư viện đang sử dụng

Mục tiêu: hiểu được các hiệu ứng thứ cấp của MOS transistor trong thư viện đang sử dụng.

Yêu cầu: Mô hình I-V lý tưởng bỏ qua nhiều hiệu ứng quan trọng đối với thiết bị. Việc hiểu biết định tính về các hiệu ứng thứ cấp là hữu ích để dự đoán tác động của chúng lên vi mạch và có thể dự đoán cách thiết bị sẽ thay đổi trong các thế hệ công nghệ xử lý tương lai.

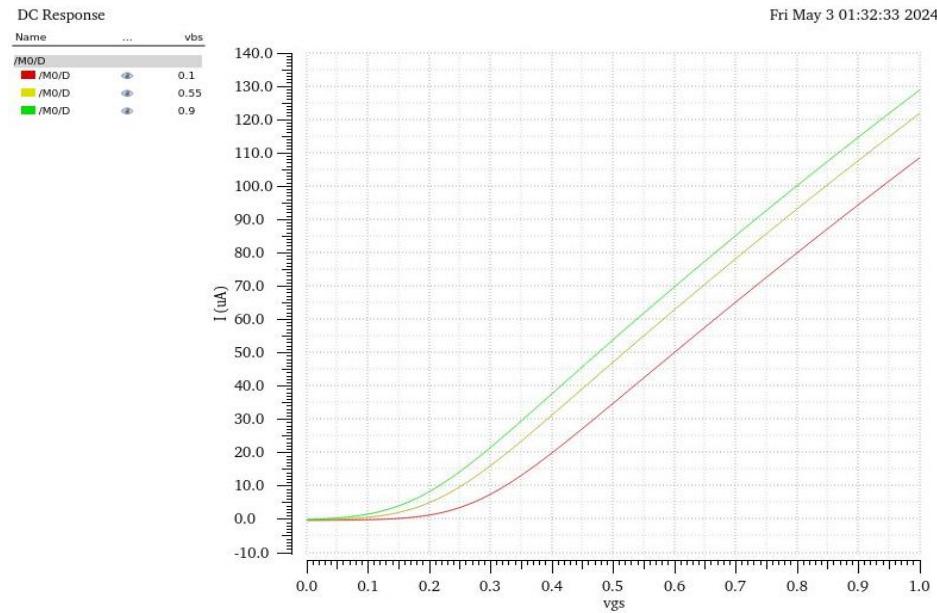
Các hiệu ứng được liệt kê như sau:

No.	Name of second-order effect (Nonlinear I-V Effects)	
1	Mobility degradation and Velocity saturation	
2	Channel length modulation	
3	Threshold voltage effect	Body effect
		Drain-Induced Barrier Lowering
		Short Channel Effect
4	Leakage	Subthreshold Leakage
		Gate Leakage
		Junction Leakage
5	Temperature Dependence	
6	Geometry Dependence	

Bảng 1. Các hiệu ứng thứ cấp trong MOS transistor

Thực tế, hiệu ứng body và hiệu ứng điều chế chiều dài kênh dẫn quan trọng khi phân tích tín hiệu nhỏ, và biểu thức xác định  $Id_s$ .

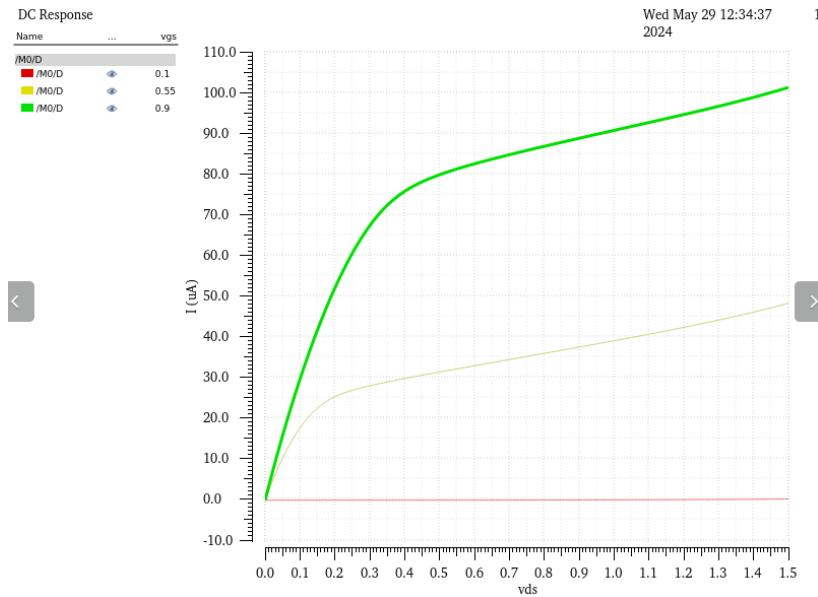
**Check 1:** Vẽ đặc tính  $Ids = f(Vgs)$  khi giữ nguyên  $Vds = 1V$ ,  $Vbs = \{0.1 0.55 0.9\}V$  và sweep  $Vgs$  từ 0 đến 1V với step bằng 10mV.



Hình 10. Đặc tính  $Ids = f(Vgs)$  khi giữ nguyên  $Vds = 1V$ ,  $Vbs = \{0.1 0.55 0.9\}V$  và sweep  $Vgs$  từ 0 đến 1V với step bằng 10mV

**Nhận xét:** Giữ nguyên  $Vds$ , tăng dần  $Vgs$ , tùy vào các mức điện áp đặt ở  $Vbs$  mà dòng  $Ids$  có thể tăng hay giảm.  $Vbs$  càng lớn thì dòng  $Ids$  sẽ càng mạnh hơn.

**Check 2:** Vẽ đặc tính  $Ids = f(Vgs)$  khi giữ nguyên  $Vgs = 1V$ ,  $Vbs = \{0.1 0.55 0.9\}V$  và sweep  $Vds$  từ 0 đến 1V với step bằng 10mV.



Hình 11. Vẽ đặc tính  $I_{ds} = f(V_{ds})$  khi giữ nguyên  $V_{gs} = 1V$ ,  $V_{bs} = \{0.1\ 0.55\ 0.9\}V$  và sweep  $V_{ds}$  từ 0 đến 1V với step bằng 10mV

**Nhận xét:** Giả sử  $V_s = 0 \Rightarrow V_g = 1V$ ,  $V_b$  có các giá trị  $\{0.1, 0.55, 0.9\} \Rightarrow V_{gb} = \{0.9, 0.45, 0.1\} < V_t \Rightarrow$  không đủ để tạo kênh dẫn, không có electron đi từ nguồn qua máng  $\Rightarrow$  Không có dòng  $I_{ds}$ .

**Check 3: Biết** tác dụng bậc hai của các transistor MOS trong thư viện hiện đang được sử dụng.

Sử dụng đồ thị  $I_{ds} = f(V_{ds})$  được hiển thị trong hình trên, mỗi curve biểu thị một giá trị  $V_{gs}$  khác nhau. Bất kỳ curve nào trong số này cũng có thể được sử dụng để tính toán hệ số  $\lambda$ . Đảm bảo rằng  $V_{bs} = 0V$  cho mô phỏng này. Công thức tính toán  $\lambda$  với hai điểm trên phần bao hòa của một curve duy nhất là:

$$\lambda = \frac{I_{D2} - I_{D1}}{I_{D1}V_{DS2} - I_{D2}V_{DS1}}$$

$V_{Th0}$  cũng có thể được xác định từ hình trên. Sử dụng phần bao hòa của hai curve với giá trị  $V_{DS}$  bằng nhau, sau đó  $V_{Th0}$  và  $k_p$  có thể được tính toán như sau:

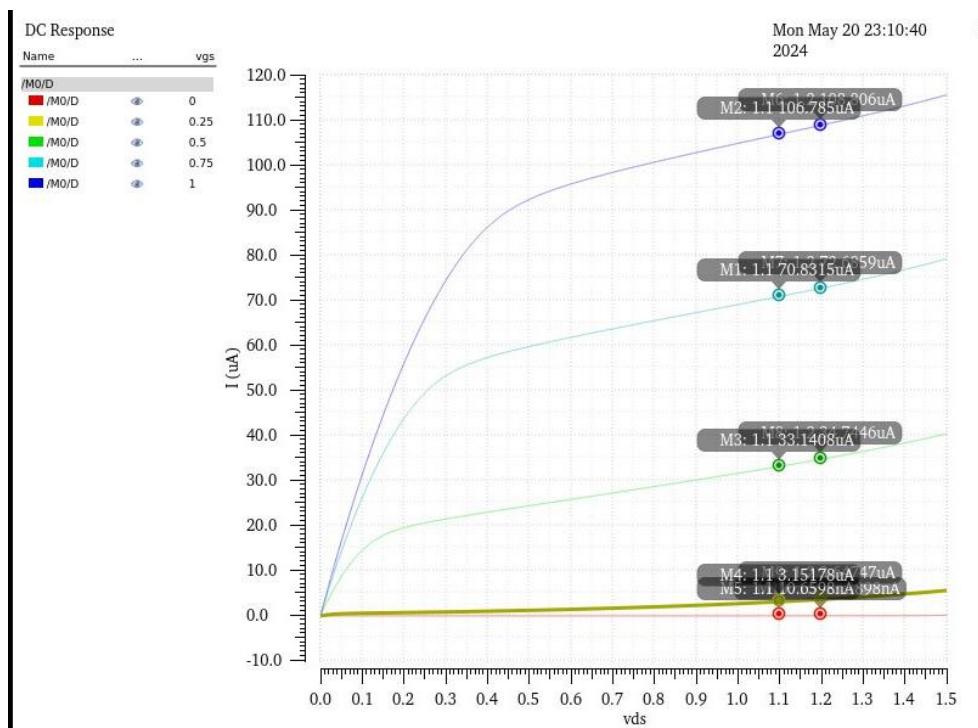
$$V_{Th0} = \frac{V_{GS1} - V_{GS2} \sqrt{\frac{I_{DS1}}{I_{DS2}}}}{1 - \sqrt{\frac{I_{DS1}}{I_{DS2}}}}$$

$$k_p = \frac{2I_D}{\frac{W}{L}(V_{GS} - V_{Th0})^2(1 + \lambda V_{DS})}$$

Để có được  $\gamma$ , trước tiên phải có được  $V_{BS}$  khác 0. Tiếp theo, tính  $V_{Th}$  mới sử dụng tính toán tương tự như tính  $V_{Th0}$  với  $2\phi_F = 0.7 \cdot \gamma$  được cho là :

$$\gamma = \frac{V_{Th} - V_{Th0}}{\sqrt{|2\phi_F| + |V_{SB}|} - \sqrt{|2\phi_F|}}$$

## ➤ NMOS



Hình 12. Đặc tuyến  $Ids = f(Vds)$  khi  $Vgs = \{0, 0.25, 0.5, 0.75, 1\}V$

$V_{GS}(V)$	$V_{DS1}(V)$	$V_{DS2}(V)$	$I_{D1}(uA)$	$I_{D2}(uA)$	$\lambda$
1	1.1	1.2	106.785	108.806	0.239019

0.75	1.1	1.2	70.8315	72.6859	0.367695
0.5	1.1	1.2	33.1408	34.7446	1.034776
0.25	1.1	1.2	3.15178	3.64747	-2.15442
0	1.1	1.2	10.6598	13.3898	-1.40938

Bảng 2. Lamda theo từng trường hợp Vgs biến thiên từ 0 đến 1.5V

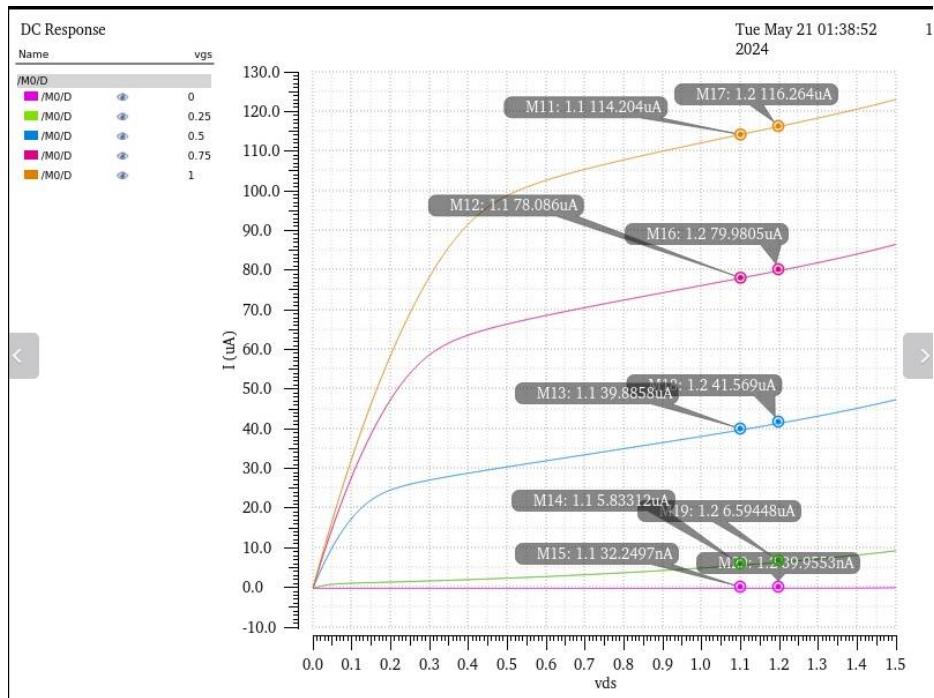
### Tính toán $V_{Th0}$ :

Để tính toán  $V_{Th0}$ , trước hết chúng ta chọn một điện áp  $V_{DS}$  cụ thể, ví dụ như 1.1V. Chọn ra  $I_{DS1}$  và  $I_{DS2}$ , trong đó  $I_{DS1}$  là dòng điện tương ứng với  $V_{GS1} = 1V$ ,  $I_{DS2}$  là dòng điện tương ứng với  $V_{GS2} = 0.75V$ .

$$V_{Th0} = \frac{V_{GS1} - V_{GS2} \sqrt{\frac{I_{DS1}}{I_{DS2}}}}{1 - \sqrt{\frac{I_{DS1}}{I_{DS2}}}} = \frac{1 - 0.75 \sqrt{\frac{106.785}{70.8315}}}{1 - \sqrt{\frac{106.785}{70.8315}}} \approx -0.35V$$

$$\begin{aligned} k_p &= \frac{2I_D}{\frac{W}{L}(V_{GS} - V_{Th0})^2(1 + \lambda V_{DS})} = \frac{2 \times 106.785\mu}{\frac{90n}{50n}(0 - (-0.35))^2 \times (1 + 0.24 \times 1.1)} \\ &= 76.3\mu A/V^2 \end{aligned}$$

**Tính toán  $\gamma$ :** Lựa chọn  $V_{SB} = 0.2V$ . Thực hiện tính toán tương tự cho  $V_{Th}$  new



Hình 13.Đặc tuyến  $Ids = f(Vds)$  khi  $Vgs = \{0, 0.25, 0.5, 0.75, 1\}V$  với  $VSB = 0.2V$

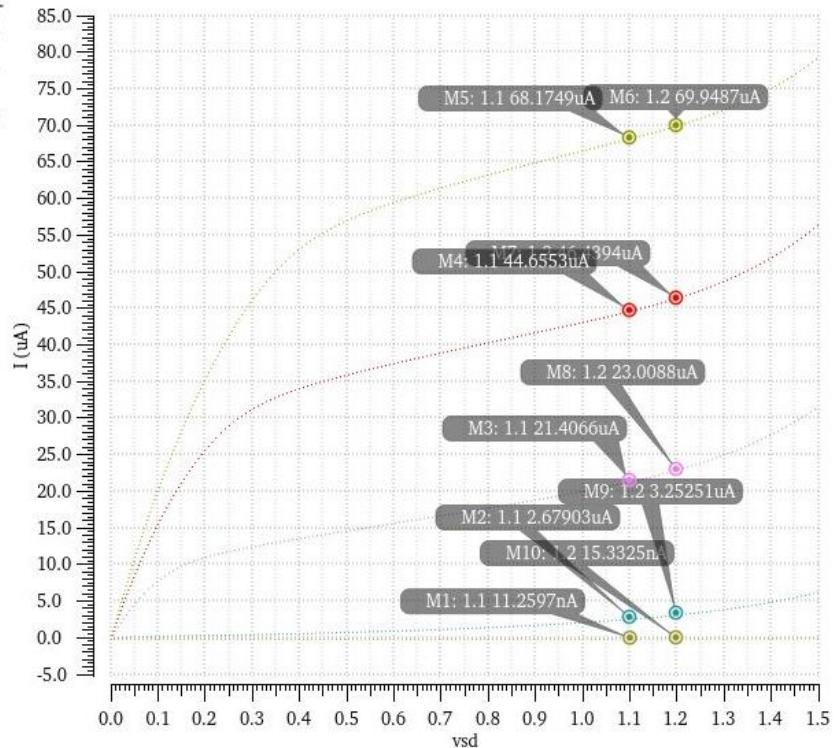
$$V_{Thnew} = \frac{V_{GS1} - V_{GS2}\sqrt{\frac{I_{DS1}}{I_{DS2}}}}{1 - \sqrt{\frac{I_{DS1}}{I_{DS2}}}} = \frac{1 - 0.75\sqrt{\frac{114.204}{79.9805}}}{1 - \sqrt{\frac{114.204}{79.9805}}} = 7.885 V$$

$$\gamma = \frac{V_{Th} - V_{Th0}}{\sqrt{|2\phi_F| + |V_{SB}| - \sqrt{|2\phi_F|}}} = \frac{7.885 - (-0.35)}{\sqrt{0.7 + 0.2 - \sqrt{0.7}}} = 32.72$$

## ➤ PMOS

DC Response		vsg
Name		/M0/S
/M0/S	0	
/M0/S	0.25	
/M0/S	0.5	
/M0/S	0.75	
/M0/S	1	

Tue May 21 03:29:47  
2024 1



Hình 14. Đặc tuyến  $Ids = f(Vds)$  khi  $Vsg = \{0, 0.25, 0.5, 0.75, 1\}V$

➤ Bảng tính lamda

V <sub>GS</sub> (V)	V <sub>DS1</sub> (V)	V <sub>DS2</sub> (V)	I <sub>D1</sub> (uA)	I <sub>D2</sub> (uA)	$\lambda$
1	1.1	1.2	68.2522	69.9487	0.3421
0.75	1.1	1.2	44.6553	46.4394	0.712779
0.5	1.1	1.2	21.4066	23.0088	4.235935
0.25	1.1	1.2	2.67903	3.2525	-1.58018

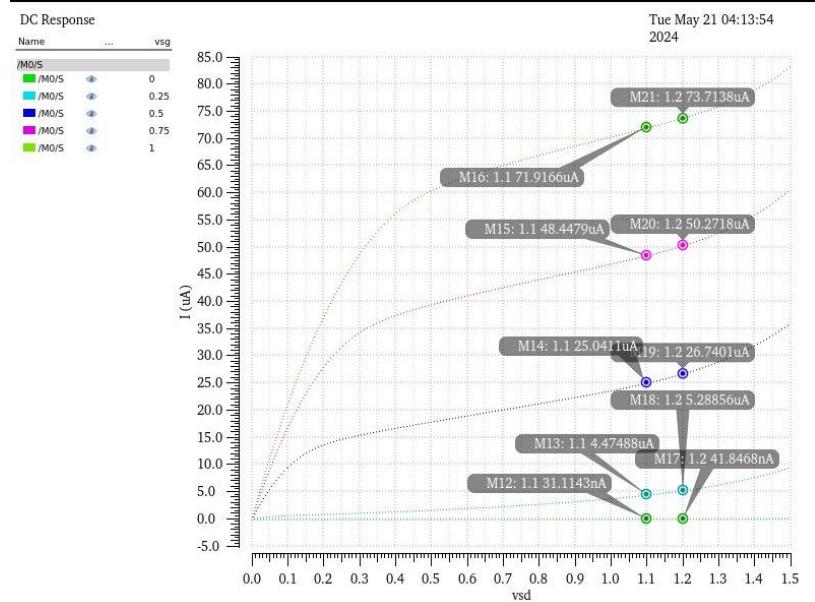
Bảng 3. Bảng tính lamda PMOS

$$V_{Th0} = \frac{V_{GS1} - V_{GS2} \sqrt{\frac{I_{DS1}}{I_{DS2}}}}{1 - \sqrt{\frac{I_{DS1}}{I_{DS2}}}} = \frac{1 - 0.75 \sqrt{\frac{68.2522}{44.6553}}}{1 - \sqrt{\frac{68.2522}{44.6553}}} \approx -0.31V$$

$$k_p = \frac{2I_D}{\frac{W}{L}(V_{GS} - V_{Th0})^2(1 + \lambda V_{DS})} = \frac{2 \times 68.2522\mu}{\frac{90n}{50n}(0 - (-0.31))^2 \times (1 + 0.34 \times 1.1)}$$

$$= 574.33\mu A/V^2$$

➤ Tính  $\gamma$ :



Hình 15. Đặc tuyến  $Ids = f(Vds)$  khi  $Vsg = \{0, 0.25, 0.5, 0.75, 1\}V$  với  $v_{sb} = 0.2V$

$$V_{Thnew} = \frac{V_{GS1} - V_{GS2} \sqrt{\frac{I_{DS1}}{I_{DS2}}}}{1 - \sqrt{\frac{I_{DS1}}{I_{DS2}}}} = \frac{1 - 0.75 \sqrt{\frac{71.9166}{48.4479}}}{1 - \sqrt{\frac{71.9166}{48.4479}}} = 0.071 V$$

$$\gamma = \frac{V_{Th} - V_{Th0}}{\sqrt{|2\phi_F| + |V_{SB}| - \sqrt{|2\phi_F|}}} = \frac{0.071 - (-0.31)}{\sqrt{0.7 + 0.2 - \sqrt{0.7}}} = 1.514$$

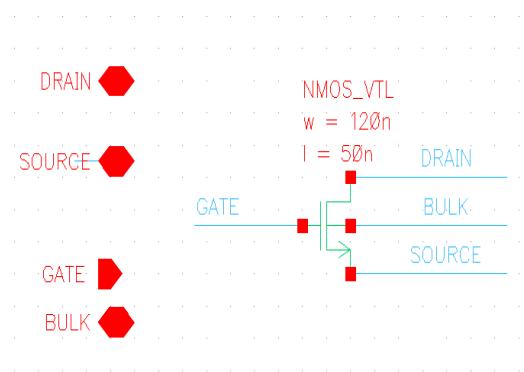
## Experiment 4 Tạo layout cho MOS

Mục tiêu: tạo layout cho MOS

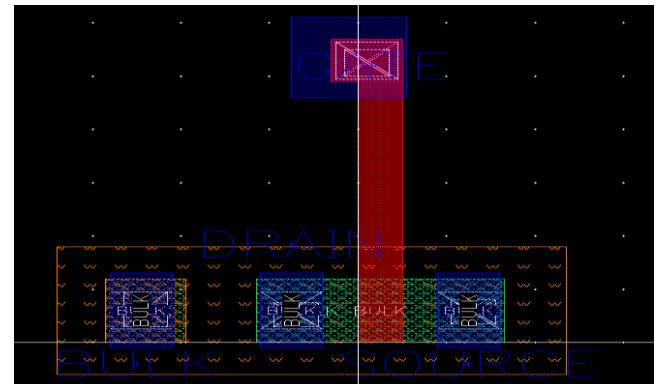
Yêu cầu:

Tạo layout cho NMOS\_VTL 120n/60n và PMOS\_VTL 50n/50n

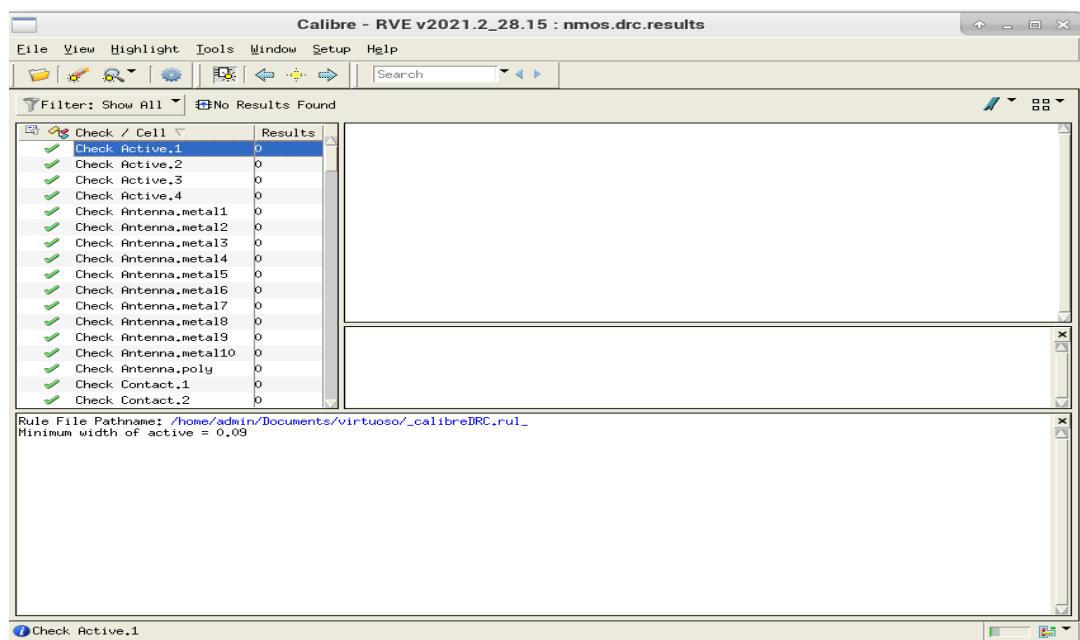
Kiểm tra DRC và LVS



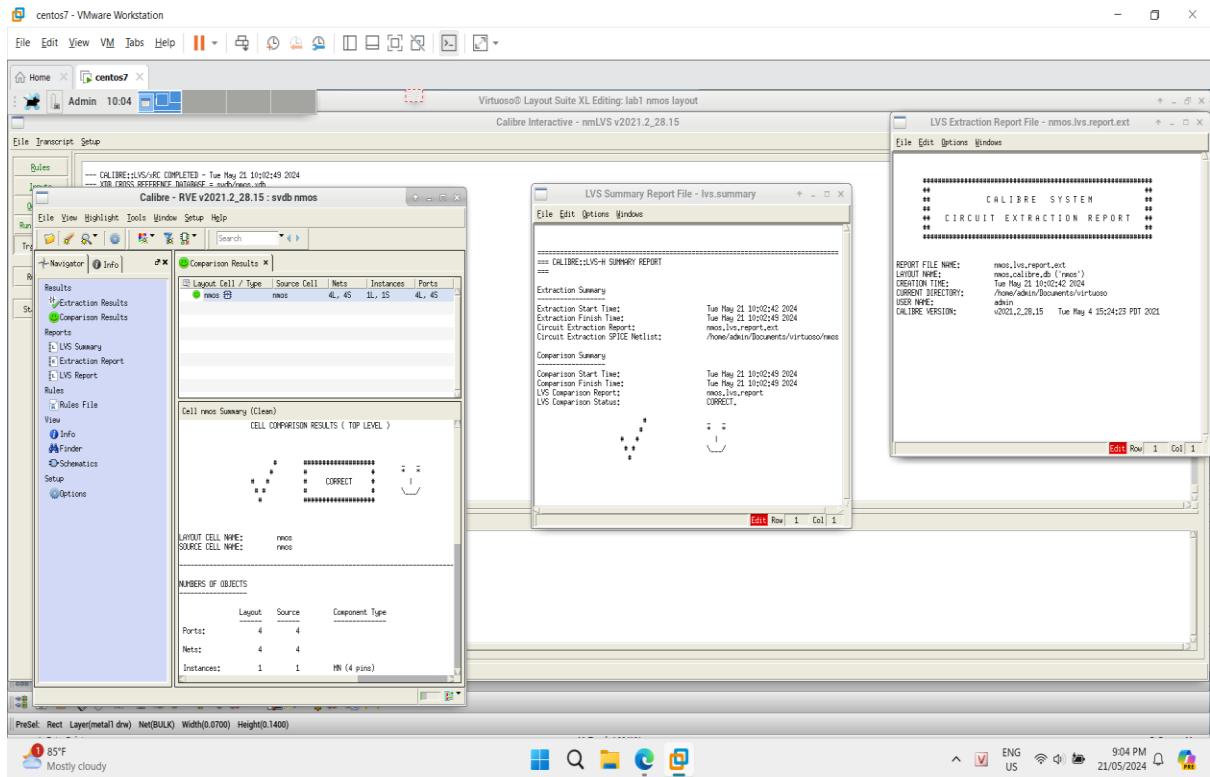
Hình 16. Schematic NMOS 120n/60n



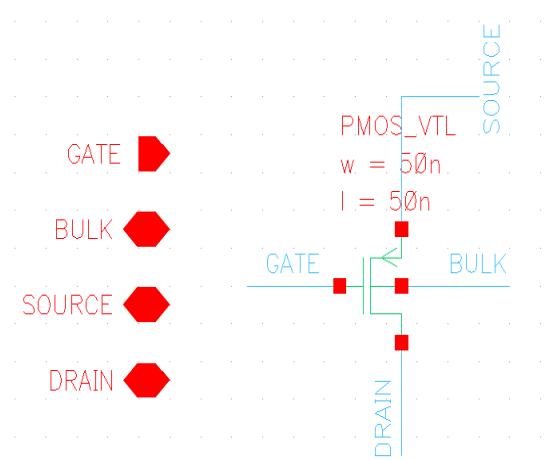
Hình 17. Layout NMOS 120n/60n



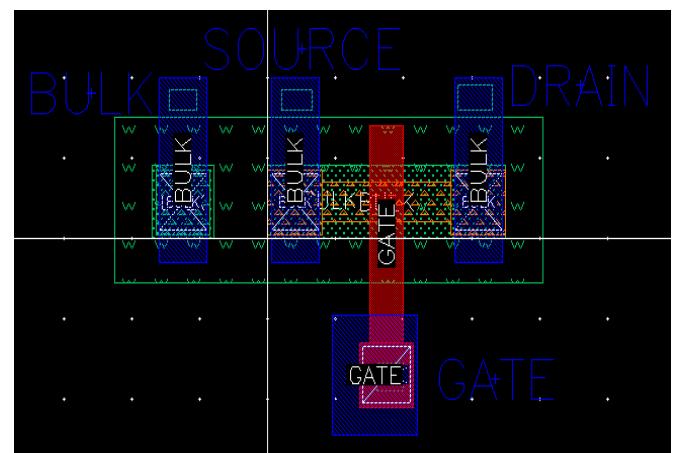
Hình 18. DRC NMOS 120n/60n



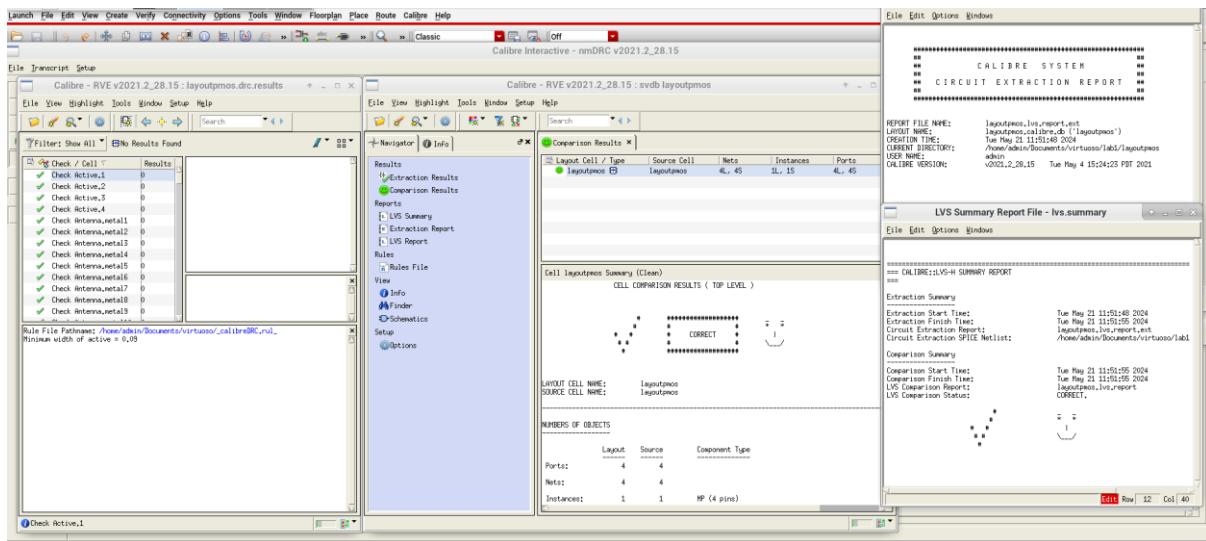
Hình 19. LVS NMOS 120n/60n



Hình 20. Schematic PMOS 50n/50n



Hình 21. Layout PMOS 50n/50n



Hình 22. DRC và LVS của PMOS 50n/50n

## Experiment 5 OPTIONAL

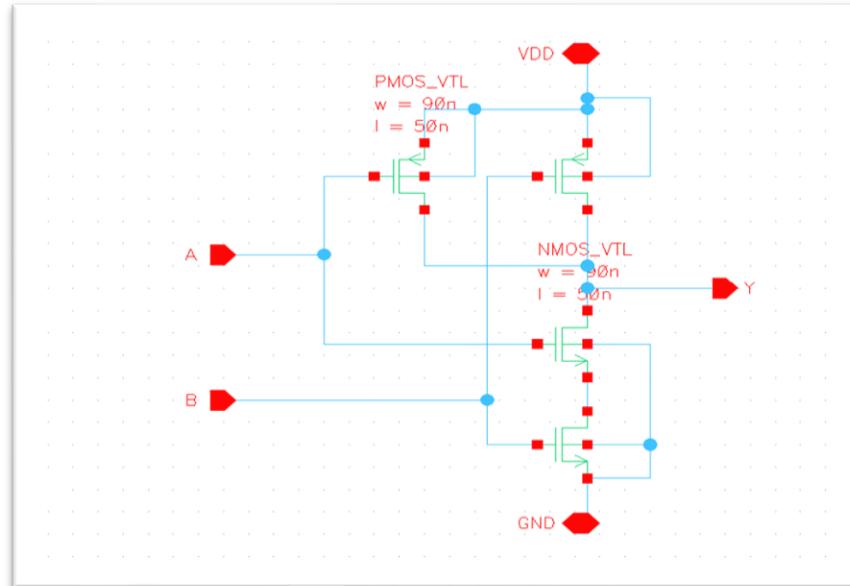
## II. LABORATORY 2: DIGITAL LOGIC CIRCUITS

**Experiment 1:** Hoàn thành bảng chân trị của NAND-2, NOR-2, EX-OR2, sau đó xác minh bằng cách chạy mô phỏng

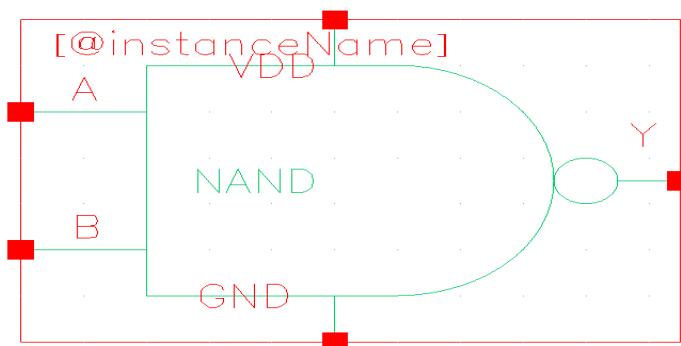
❖ NAND-2

NAND GATE		
INPUT		OUTPUT
0	0	1
0	1	1
1	0	1
1	1	0

Bảng 4. Bảng chân trị công NAND-2

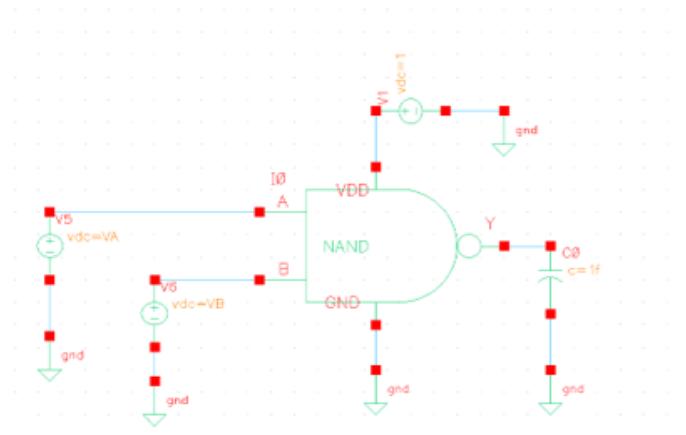


Hình 23. Schematic công NAND-2

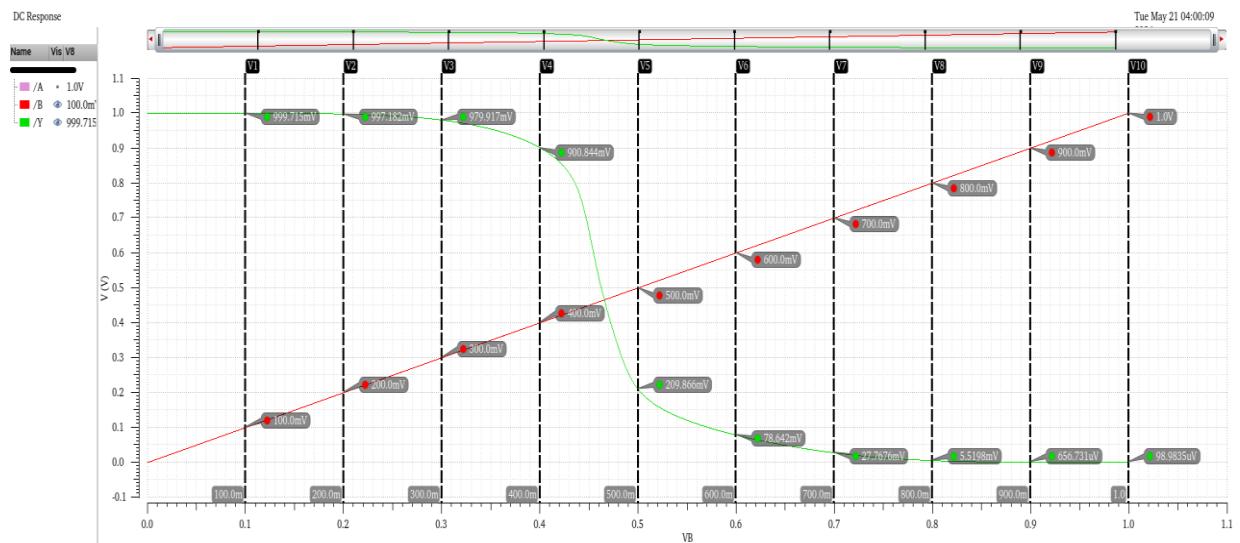


Hình 24. Symbol công NAND-2

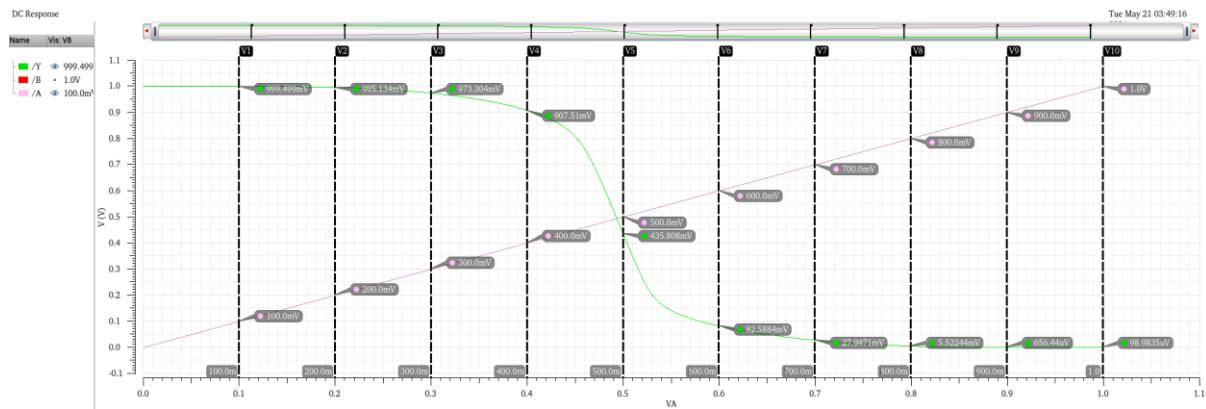
Parameters	Value
$V_{dd}$	1V
$C_{load}$	1fF
$V_{in}$	[0, 1]V



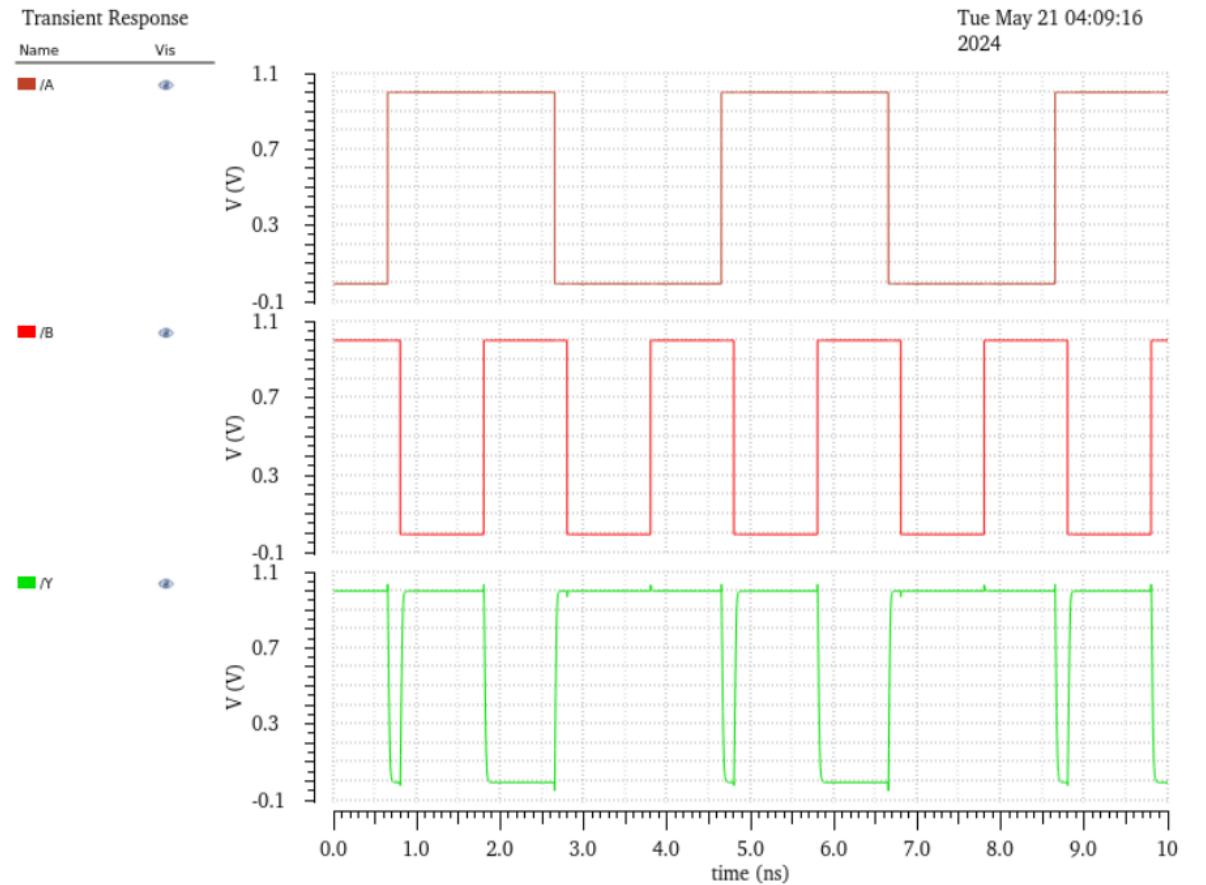
Hình 25. Testbench cho cỗng NAND-2



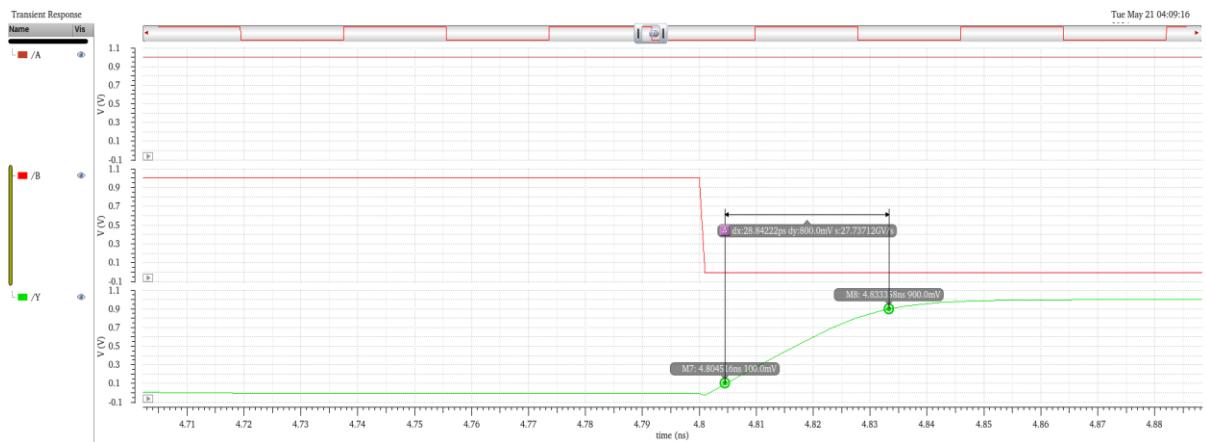
Hình 26. NAND DC với  $V_A = 1V$



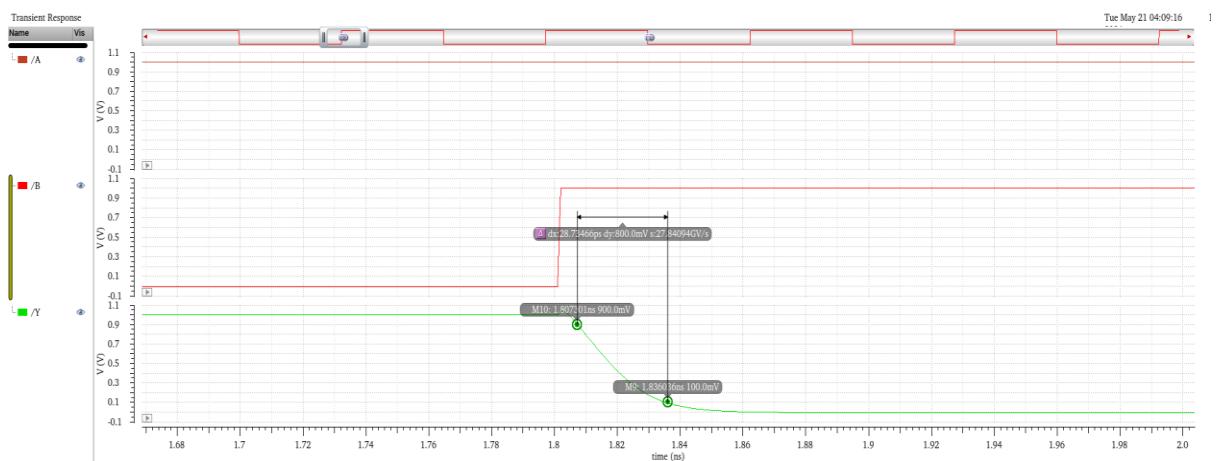
Hình 27. NAND DC với V<sub>B</sub> = 1V



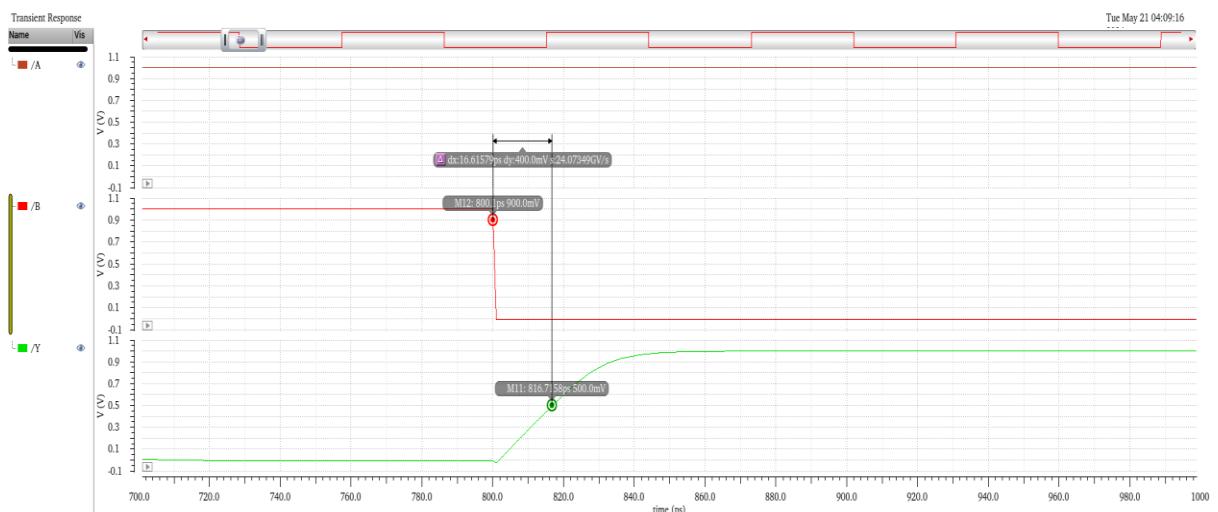
Hình 28. Waveform sau khi mô phỏng công NAND-2



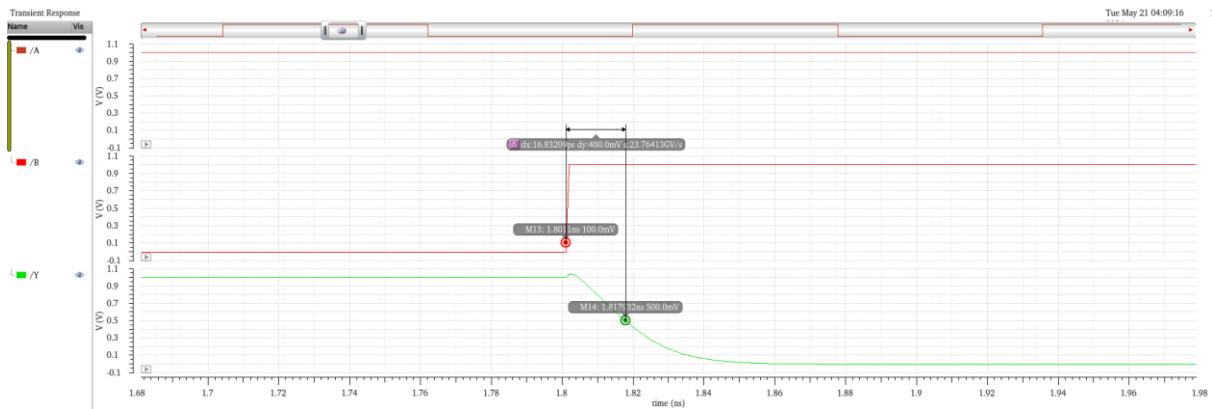
Hình 29. Time rise  $T_{rise} = 28.84$  ps



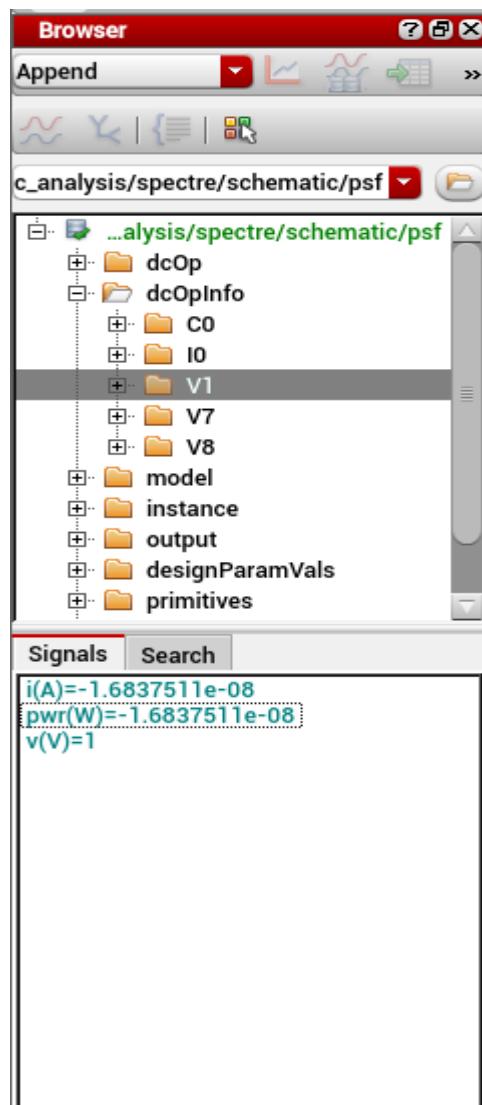
Hình 30. Time fall  $T_{fall} = 28.73$  ps



Hình 31. Time pdr  $T_{pdr} = 16.61$  ps



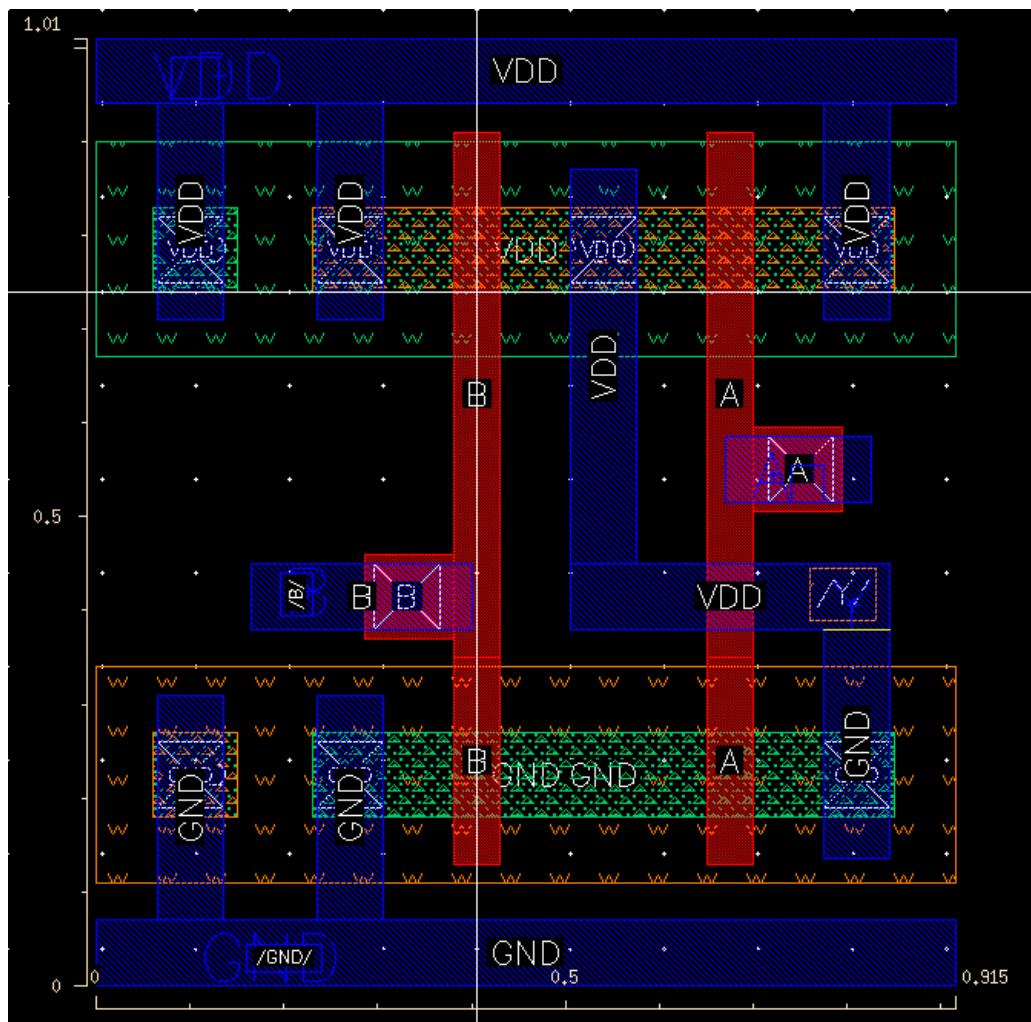
Hình 32. Time pdf  $T_{pdf} = 16.83$  ps



Hình 33. Power dynamic = 516,5 nF

Parameters	Result
$t_{rise}$ - Rising time (10% - 90%)	28.84 ps
$t_{fall}$ - Falling time (90% -10%)	28.73 ps
$t_{pdr}$ - Rising propagation delay (90% -50%)	16.61 ps
$t_{pdf}$ - Falling propagation delay (10% -50%)	16.83 ps
$t_{pd}$ - Average propagation delay (50% -50%)	16.72 ps
Dynamic power	516.5 nF

Bảng 5. Measurement results of NAND-2

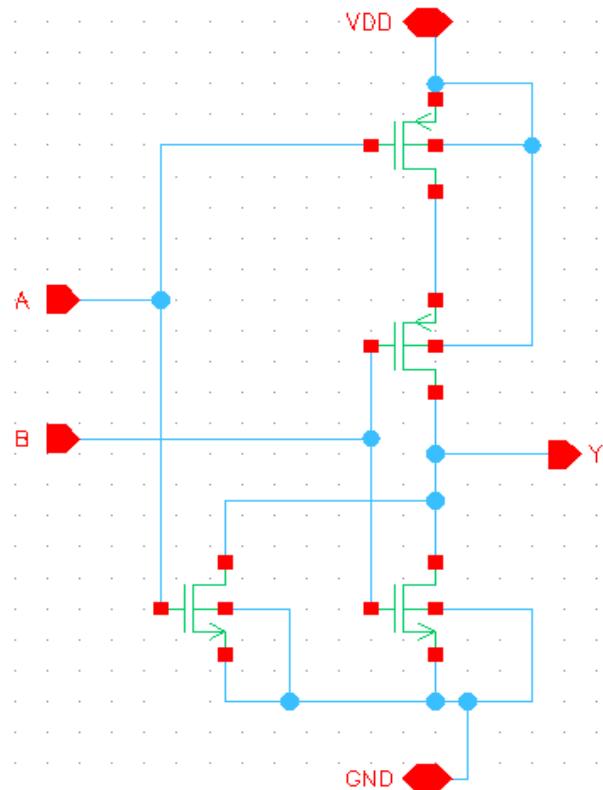


Hình 34. Layout NAND2 sau khi chạy DRC và LVS

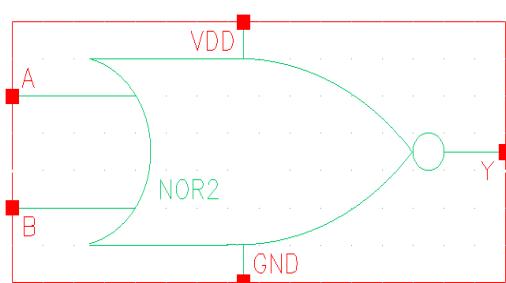
## ❖ NOR-2

INPUT		OUTPUT
0	0	1
0	1	0
1	0	0
1	1	0

Bảng 6. Bảng chân trị NOR-2

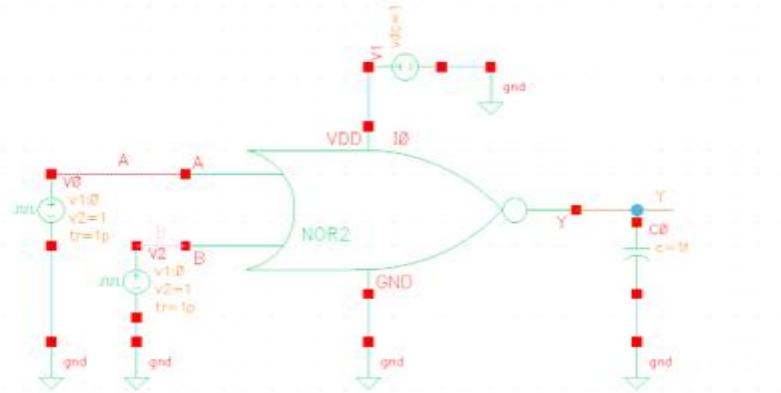


Hình 35. Schematic cỗng NOR-2

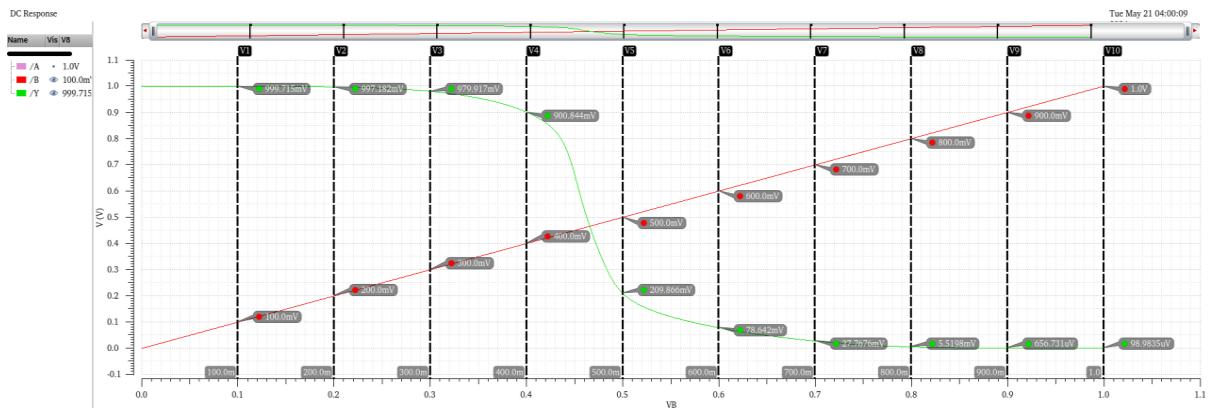


Hình 36. Symbol cỗng NOR-2

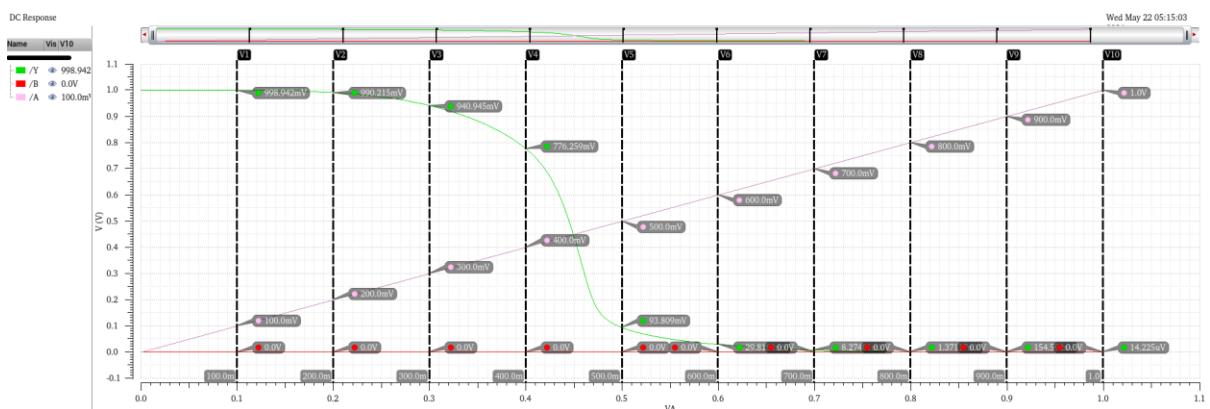
Parameters	Value
$V_{dd}$	1V
$C_{load}$	1fF
$V_{in}$	[0, 1]V



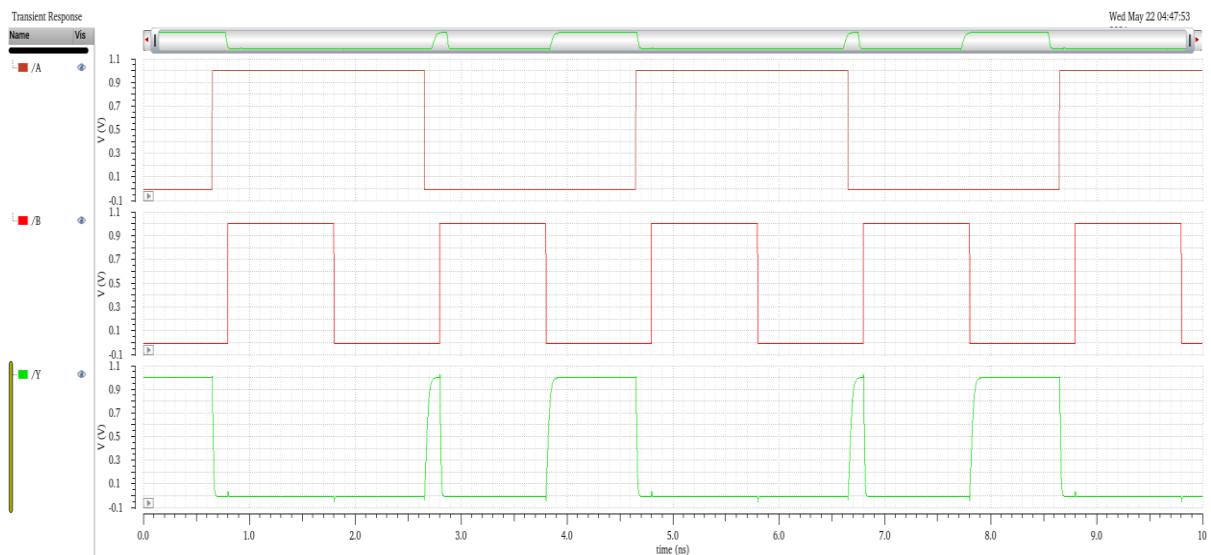
Hình 37. DC Analysis simulation NOR-2



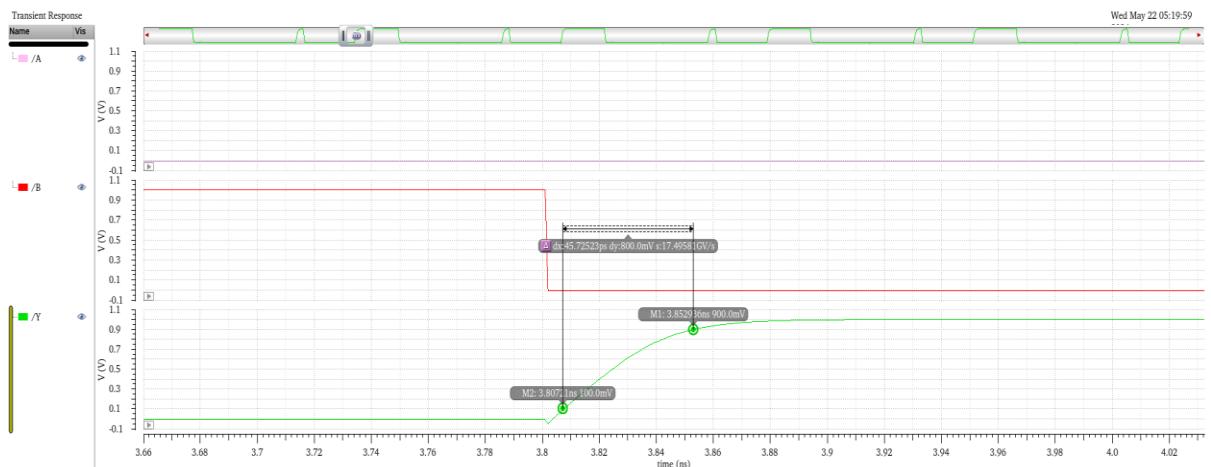
Hình 38. NOR-2 DC với  $V_A = 0V$



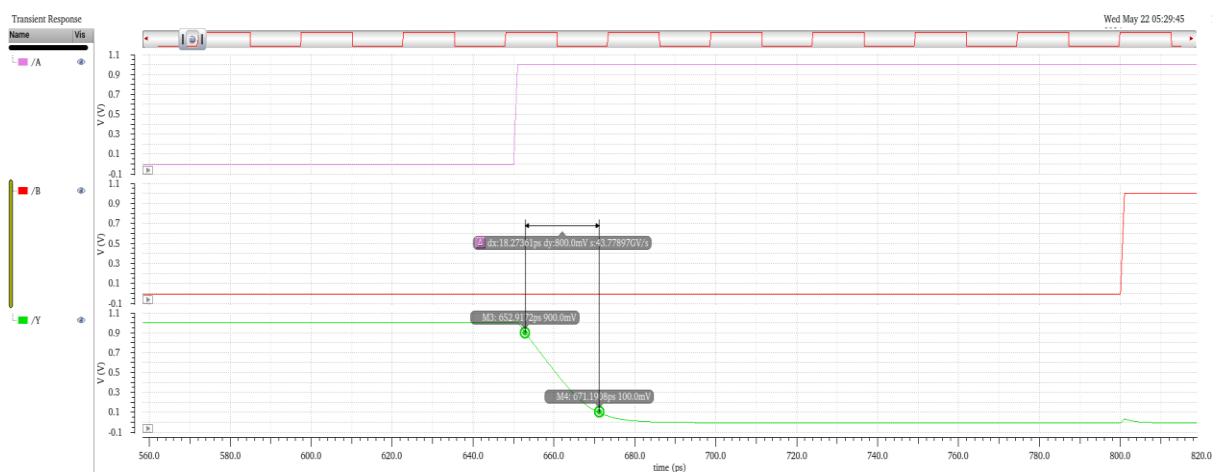
Hình 39. NOR-2 DC với  $V_B = 0V$



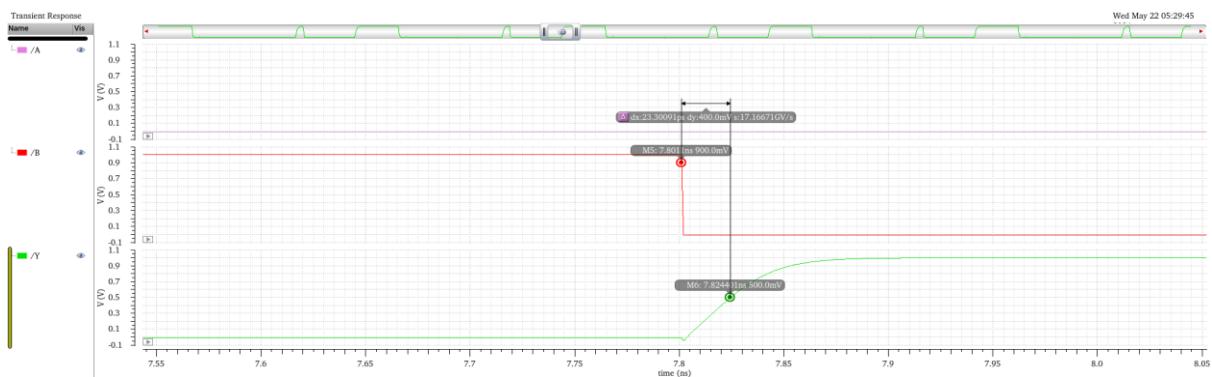
Hình 40. Waveform sau khi mô phỏng công NOR-2



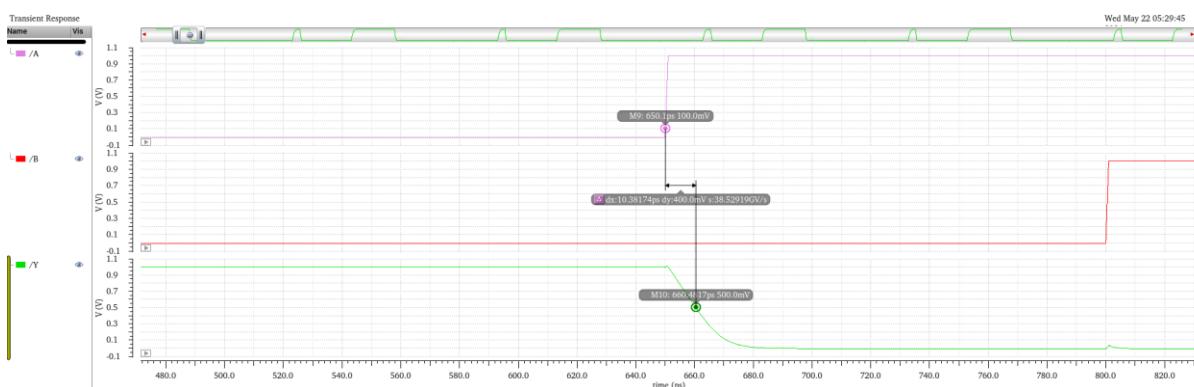
Hình 41. Time rise  $T_{rise} = 75.72 \text{ ps}$



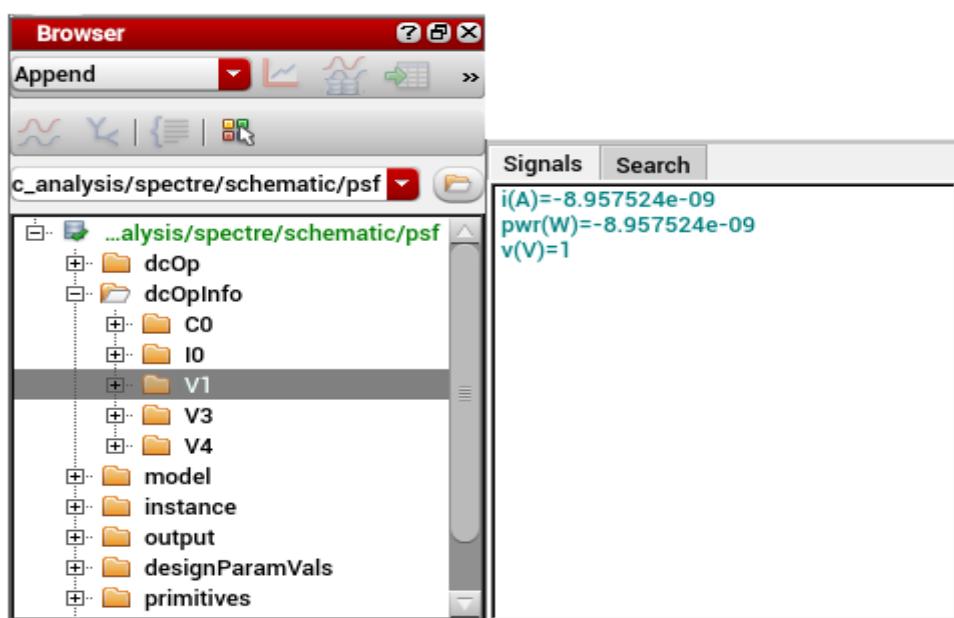
Hình 42. Time fall  $18.27 \text{ ps}$



Hình 43 Time pdr 23.3ps



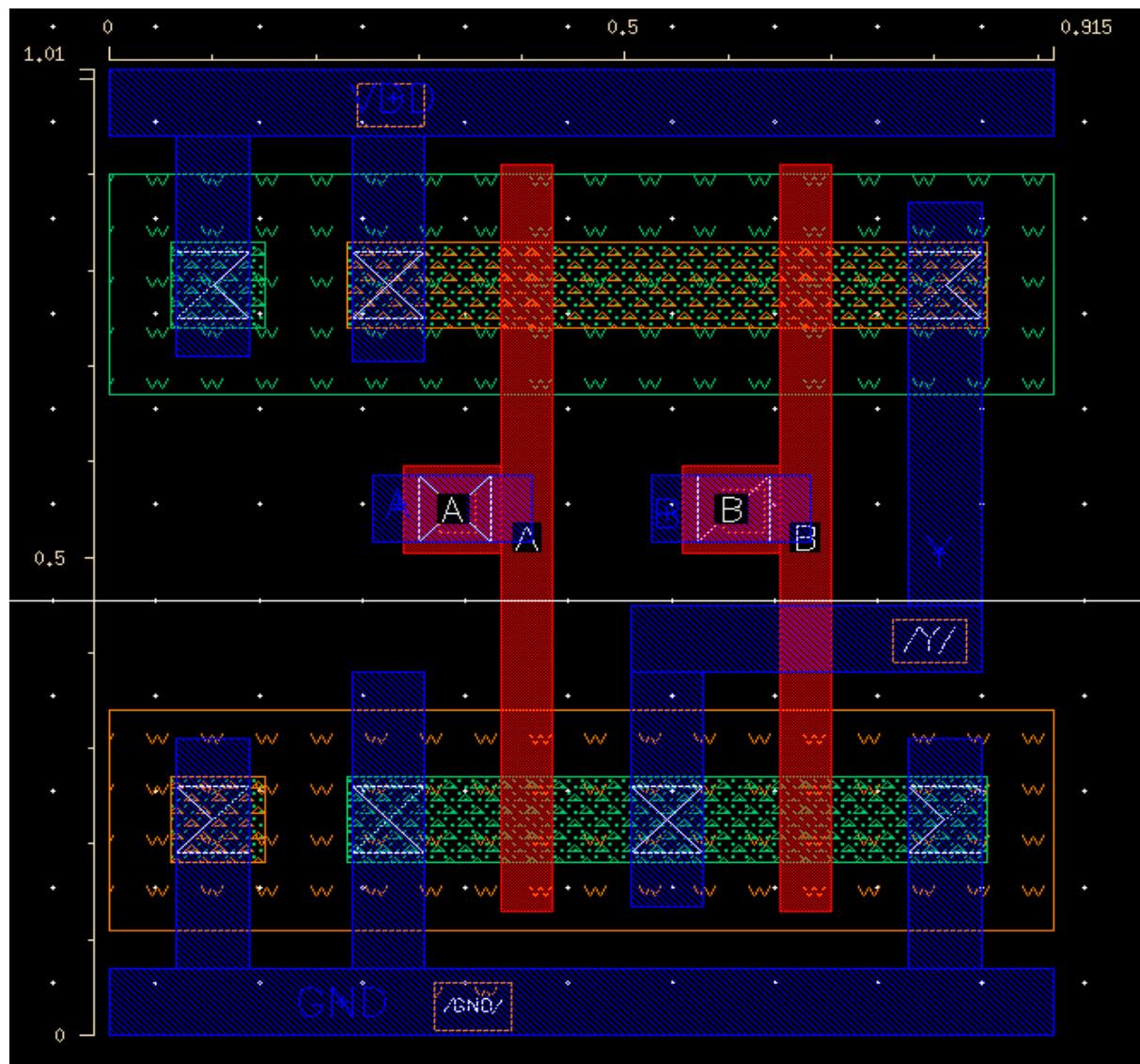
Hình 44. Time pdf 10.38 ps



Hình 45. Static Power

Parameters	Result
$t_{rise}$ - Rising time (10% - 90%)	75.72 ps
$t_{fall}$ - Falling time (90% -10%)	18.27 ps
$t_{pdr}$ - Rising propagation delay (90% -50%)	23.3 ps
$t_{pdf}$ - Falling propagation delay (10% -50%)	10.38 ps
$t_{pd}$ - Average propagation delay (50% -50%)	16.84 ps
Dynamic power	798.743 pW

Bảng 7. Measurement results of NOR-2

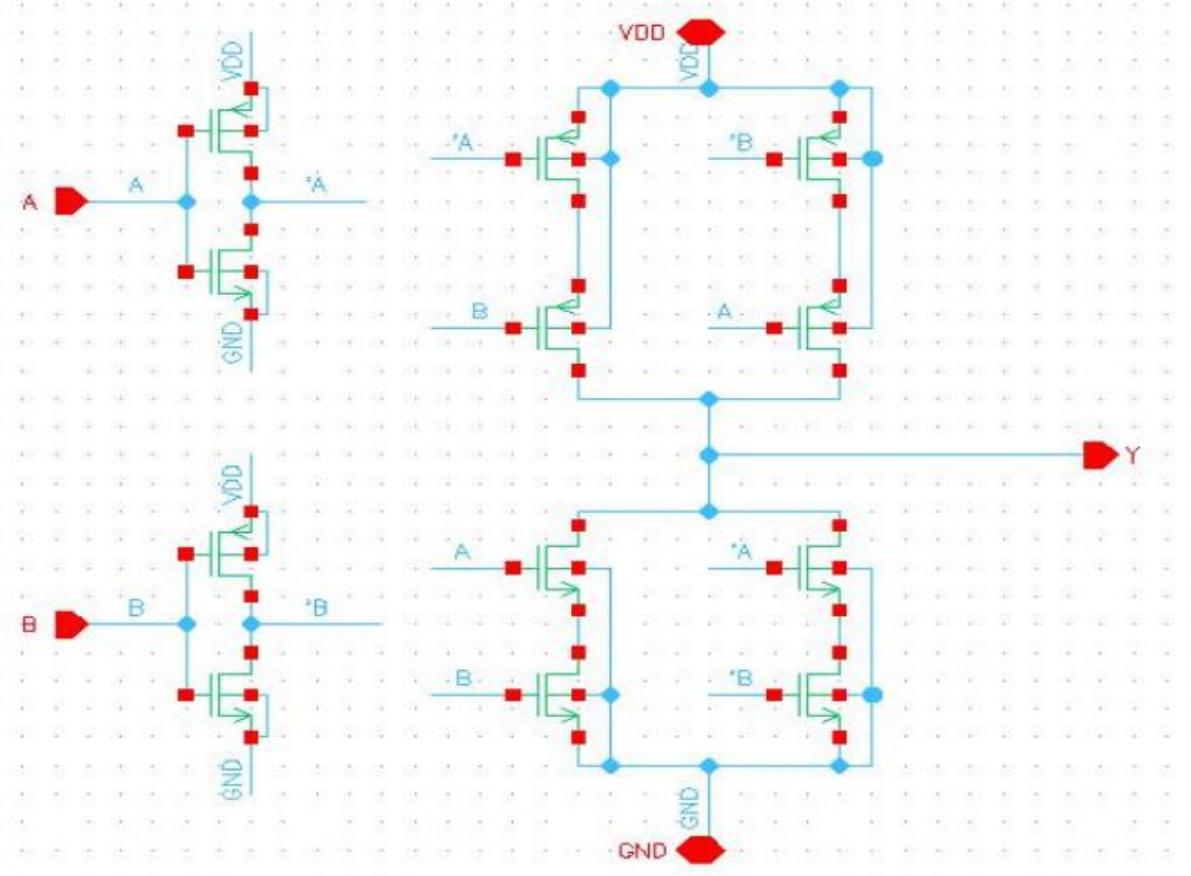


Hình 46. Layout NOR-2 sau khi chạy DRC và LVS

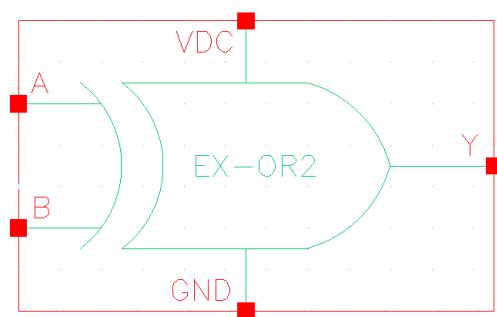
## ❖ EX-OR2

INPUT		OUTPUT
0	0	0
0	1	1
1	0	1
1	1	0

Bảng 8. Chân trị EX-OR2

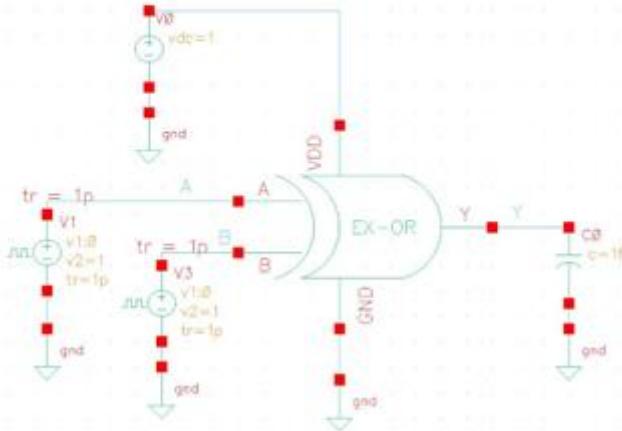


Hình 47. Schematic cõng EX-OR2

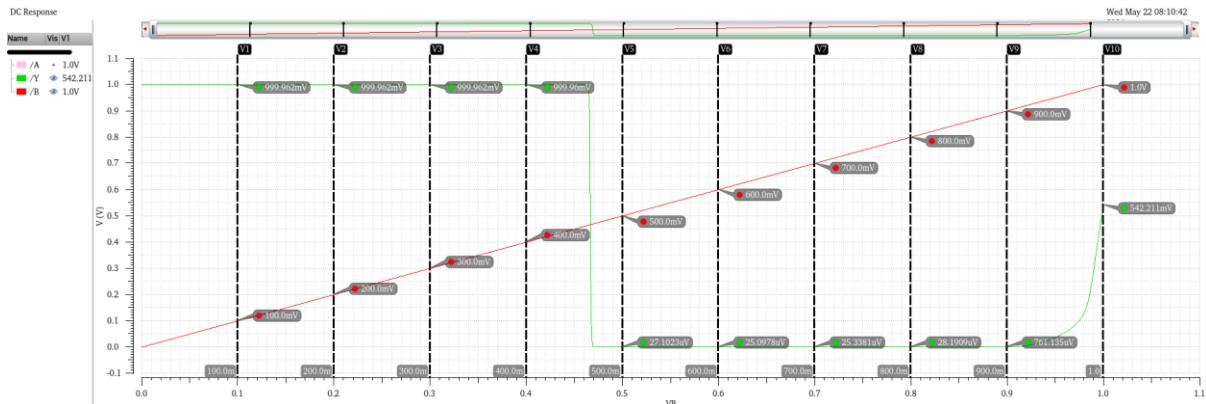


Hình 48. Symbol cõng EX-OR 2

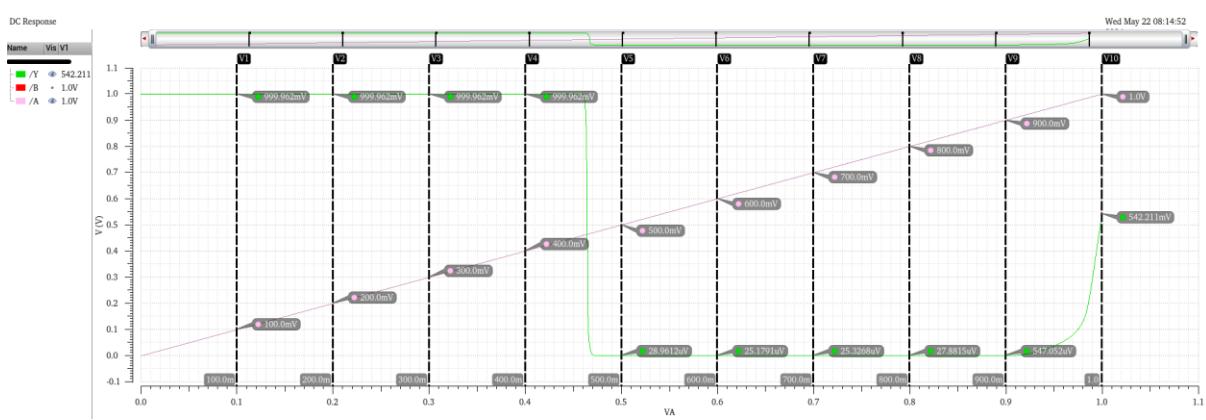
Parameters	Value
$V_{dd}$	1V
$C_{load}$	1fF
$V_{in}$	[0, 1]V



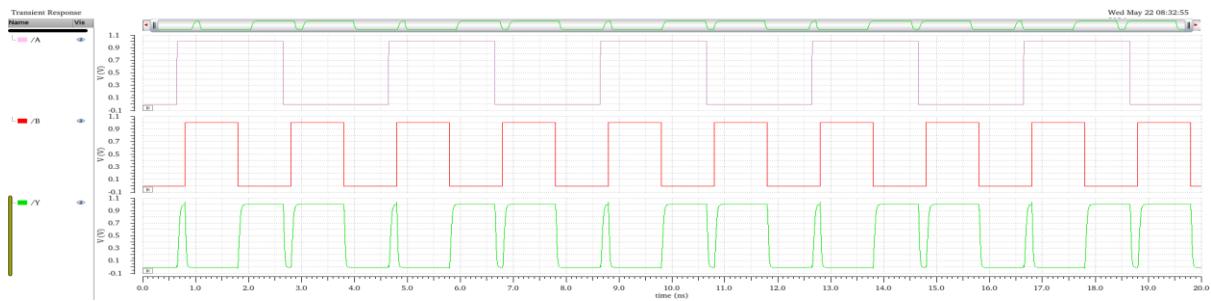
Hình 49. DC Analysis simulation EX-OR2



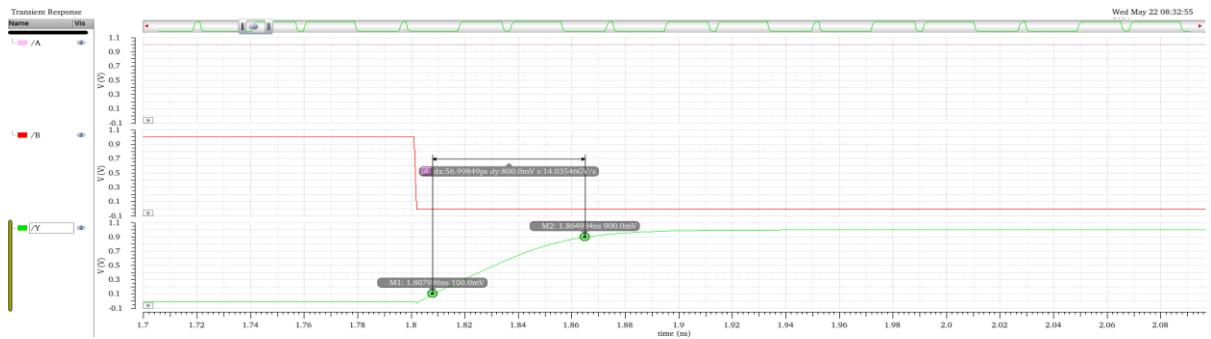
Hình 50. EX-OR2 DC với VA=1



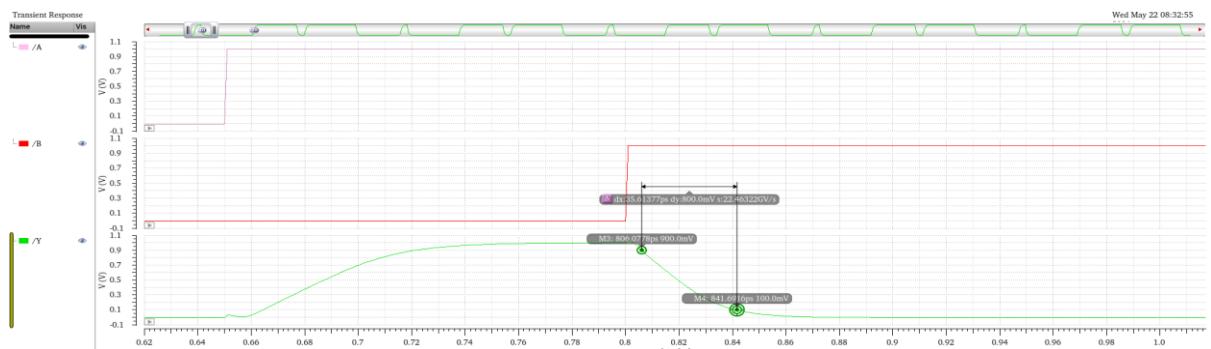
Hình 51. EX-OR2 DC với VB=1



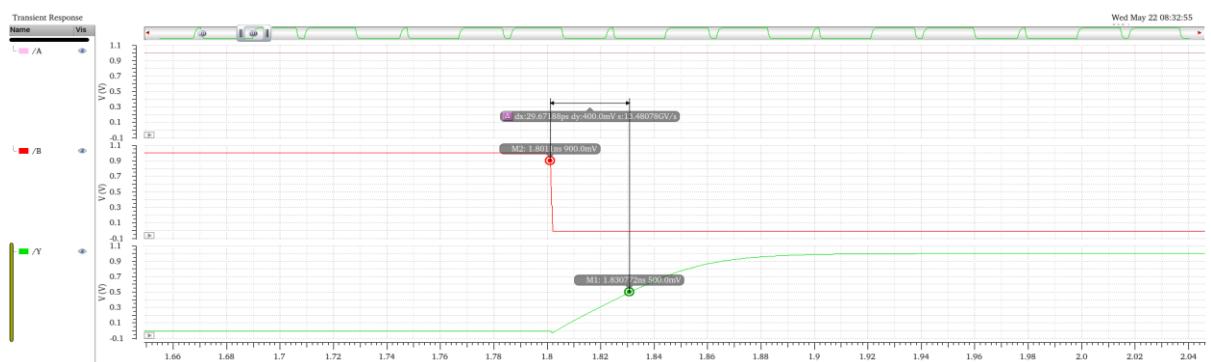
Hình 52. . Waveform sau khi mô phỏng cỗng EX-OR2



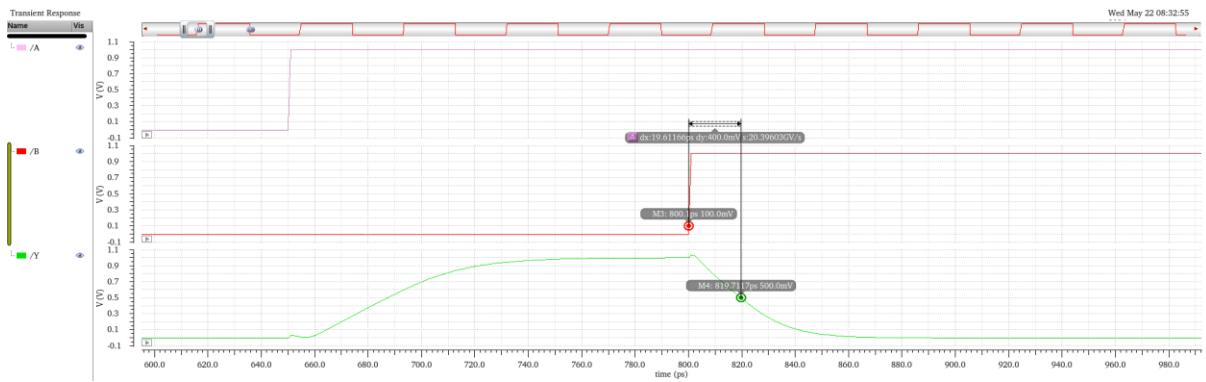
Hình 53. Time rise Trise = 56.988 ps



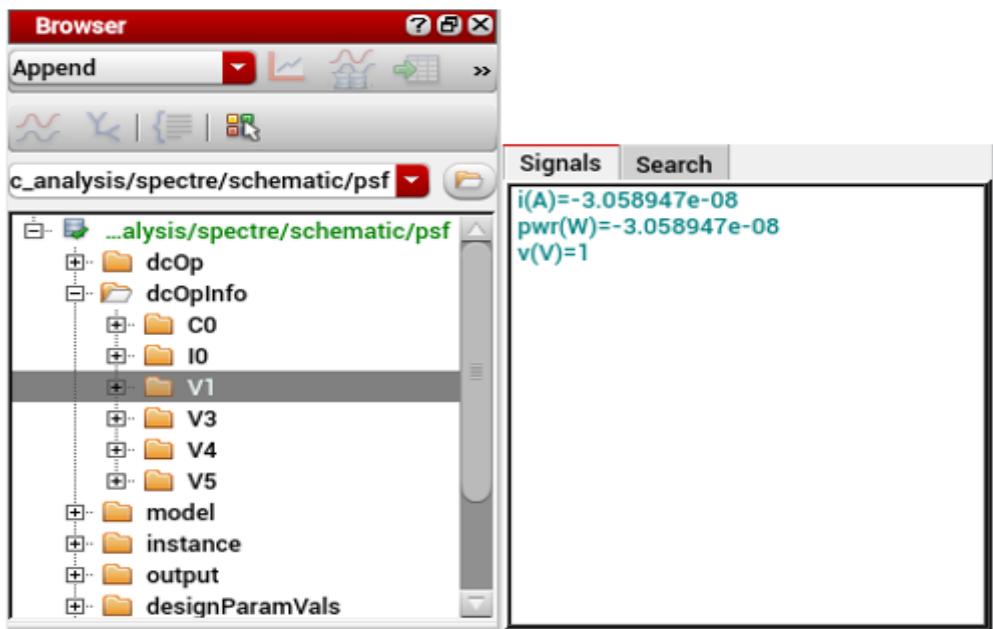
Hình 54. Time fall 35.61 ps



Hình 55. Time pdr 29.67ps



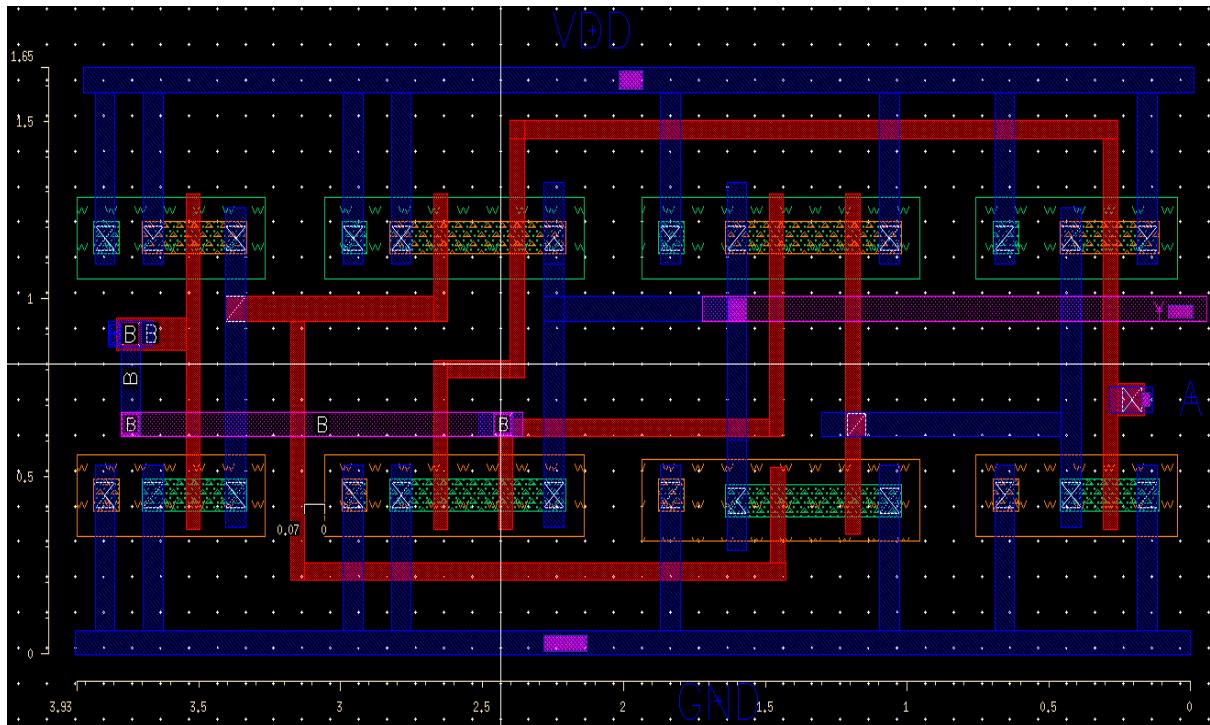
Hình 56. Time pdf 19.61ps



Hình 57. Static Power

Parameters	Result
t <sub>rise</sub> - Rising time (10% - 90%)	56.988 ps
t <sub>fall</sub> - Falling time (90% -10%)	35.61ps
t <sub>pdr</sub> - Rising propagation delay (90% -50%)	29.67 ps
t <sub>pdf</sub> - Falling propagation delay (10% -50%)	19.61 ps
t <sub>pd</sub> - Average propagation delay (50% -50%)	24.64 ps
Dynamic power	1.3 uW

Bảng 9. . Measurement results of EX-OR2



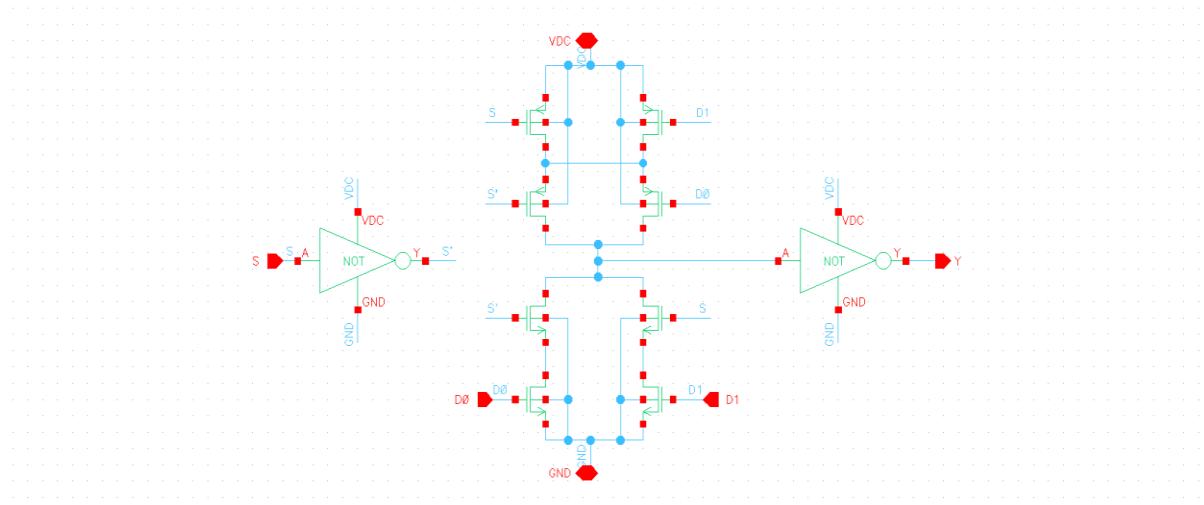
Hình 58. Layout EX-OR2 sau khi chạy DRC và LVS

### Experiment 2: Thực hiện một số tổ hợp cơ bản

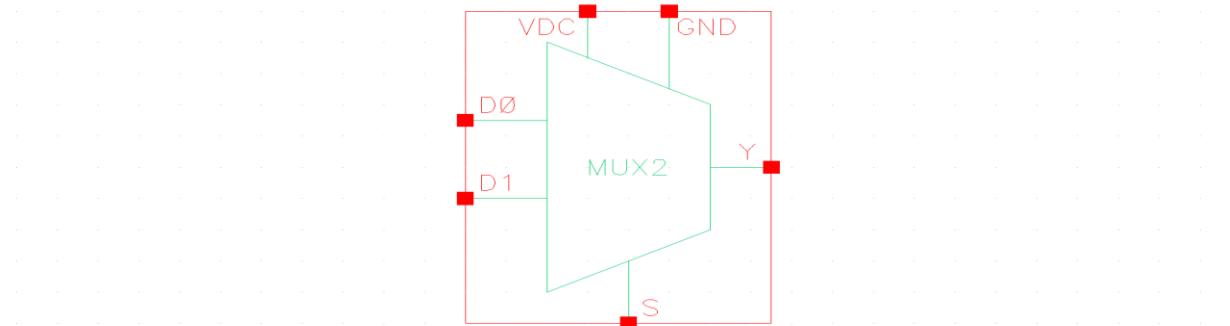
MUX 2-1	
INPUT	OUTPUT
0	D0
1	D1

Bảng 10. Bảng chân trị MUX2-1

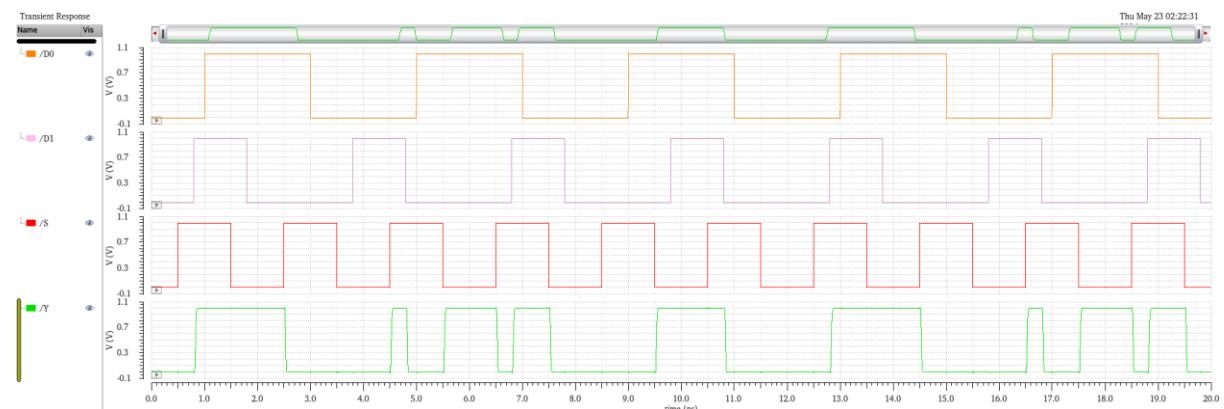
➤ Transmission gate MUX 2-1 :



Hình 59. Schematic MUX2-1

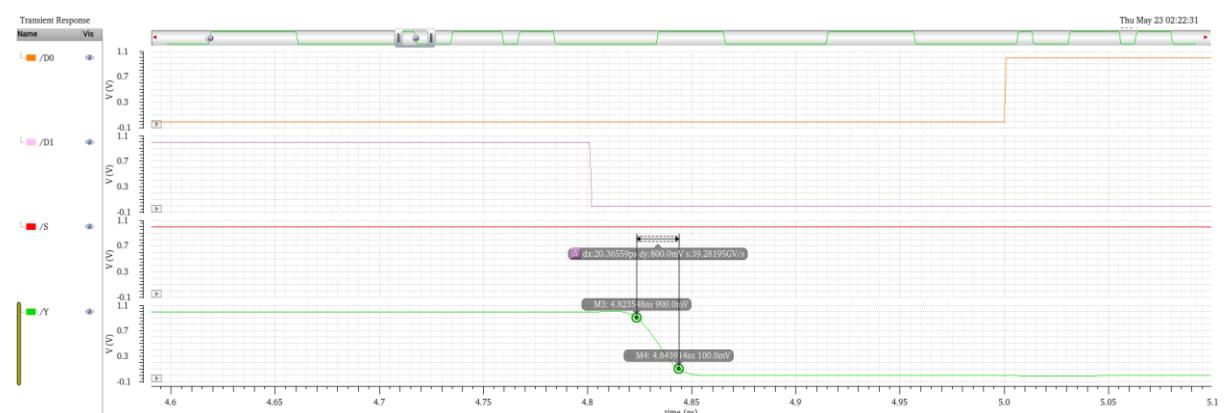
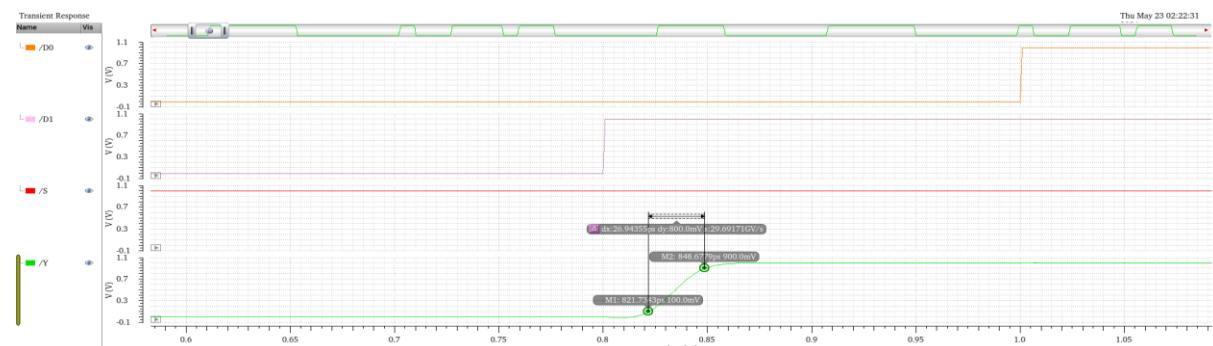


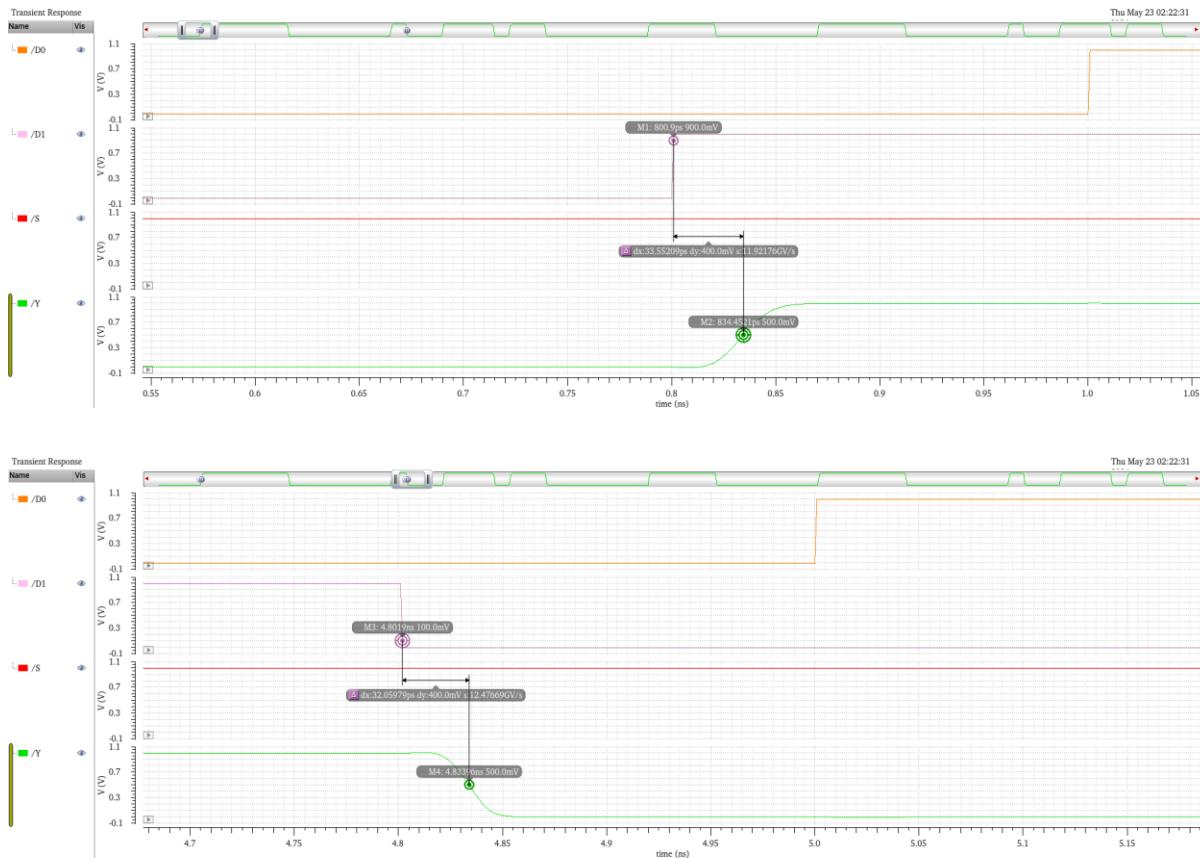
Hình 60. Symbol MUX2-1



Hình 61. Waveform sau khi chạy mô phỏng

➤ Đo đặc  $t_{rise}$ ,  $t_{fall}$ ,  $t_{pd}, t_{pdf}$ ,  $t_{pd}$





Hình 62. Các giá trị  $t_{rise}$ ,  $t_{fall}$ ,  $t_{pdr}$ ,  $t_{pdf}$ ,  $t_{pd}$  đo được

Parameters	Result
$t_{rise}$ - Rising time (10% - 90%)	26.94 ps
$t_{fall}$ - Falling time (90% -10%)	20.37ps
$t_{pdr}$ - Rising propagation delay (90% -50%)	33.55ps
$t_{pdf}$ - Falling propagation delay (10% -50%)	32.06ps
$t_{pd}$ - Average propagation delay (50% -50%)	32.805ps
Power consumption	1.79 uW

Hình 63 Kết quả đo đặc trise, tfall, tpdr, tpdf, tpd

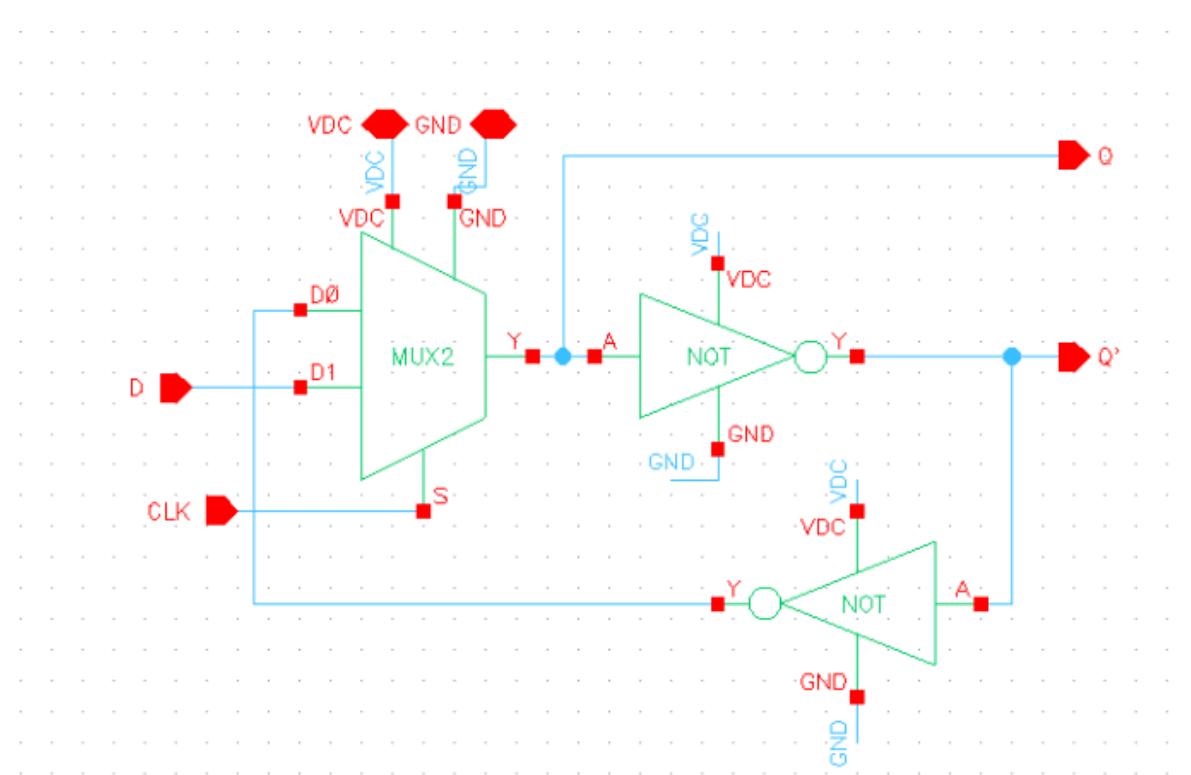
➤ Layout MUX2-1

Experiment 3: Triển khai mạch tuần tự cơ bản – latch và flip flop (D Latch và D Flip Flop)

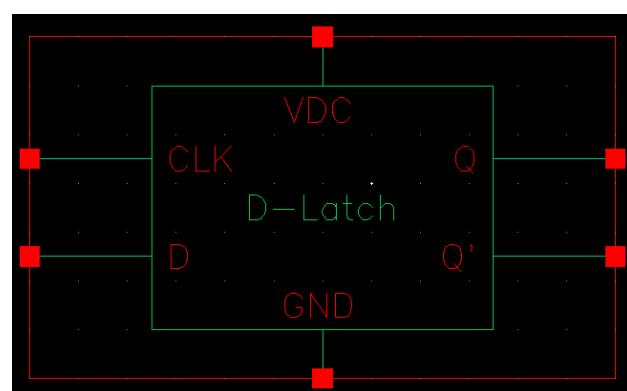
➤ D-Latch

D-LATCH			
D	CLK	Q	/Q
X	0	Q	/Q
0	1	0	1
1	1	1	0

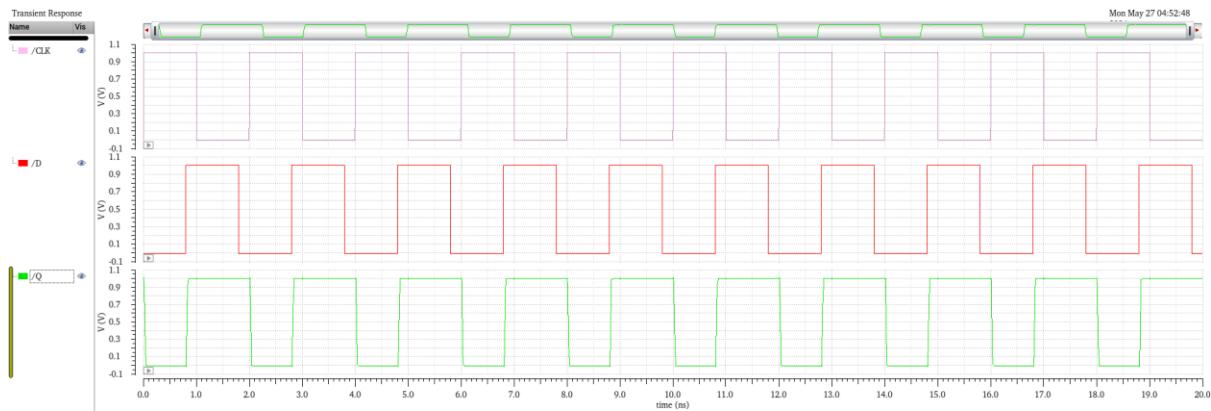
Bảng 11 Bảng hoạt động D-Latch



Hình 64. Schematic D-Latch

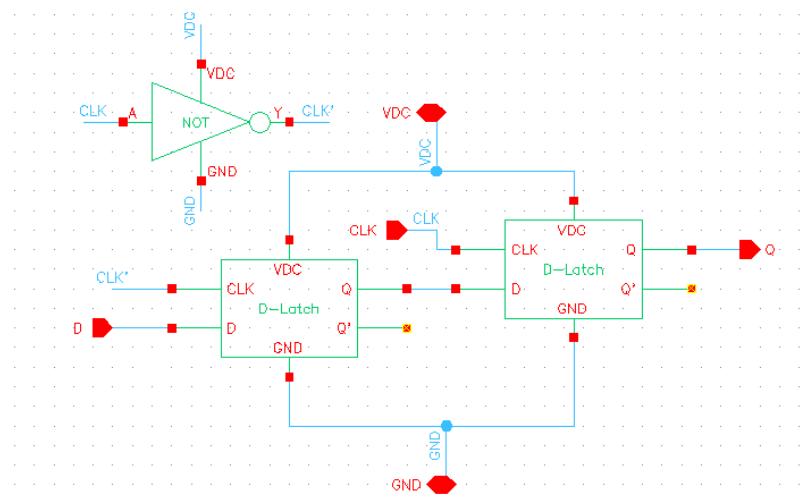


Hình 65. Symbol D-Latch



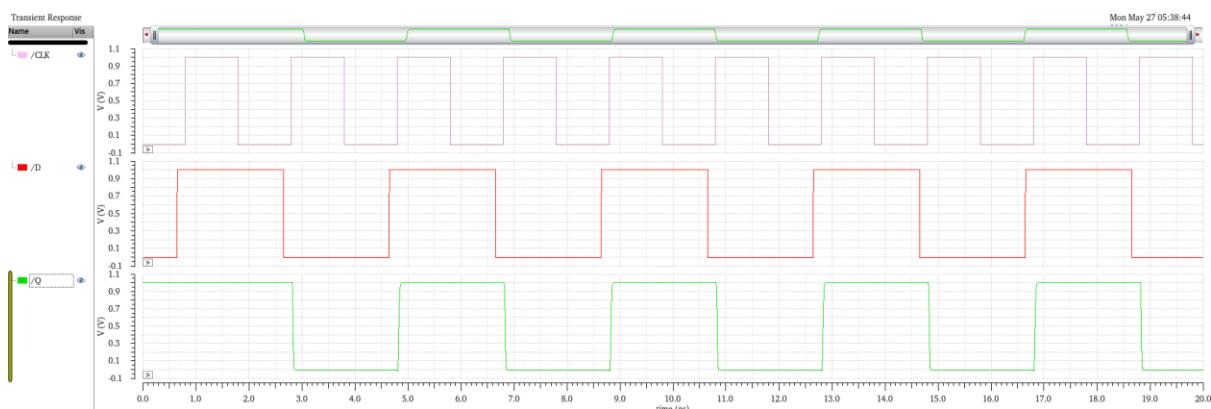
Hình 66. Waveform D-Latch

➤ Schematic D Flip-Flop



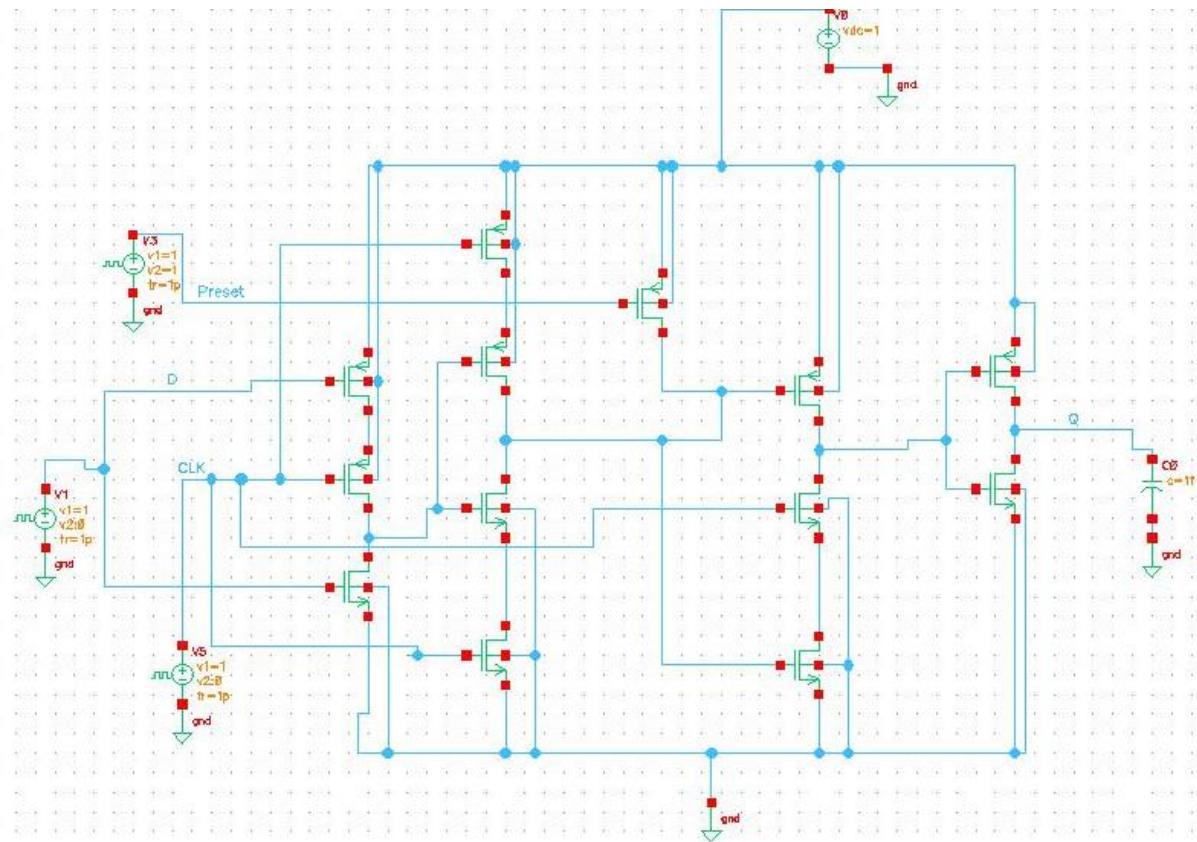
Hình 67. Schematic D Flip-Flop

➤ Waveform D Flip-Flop

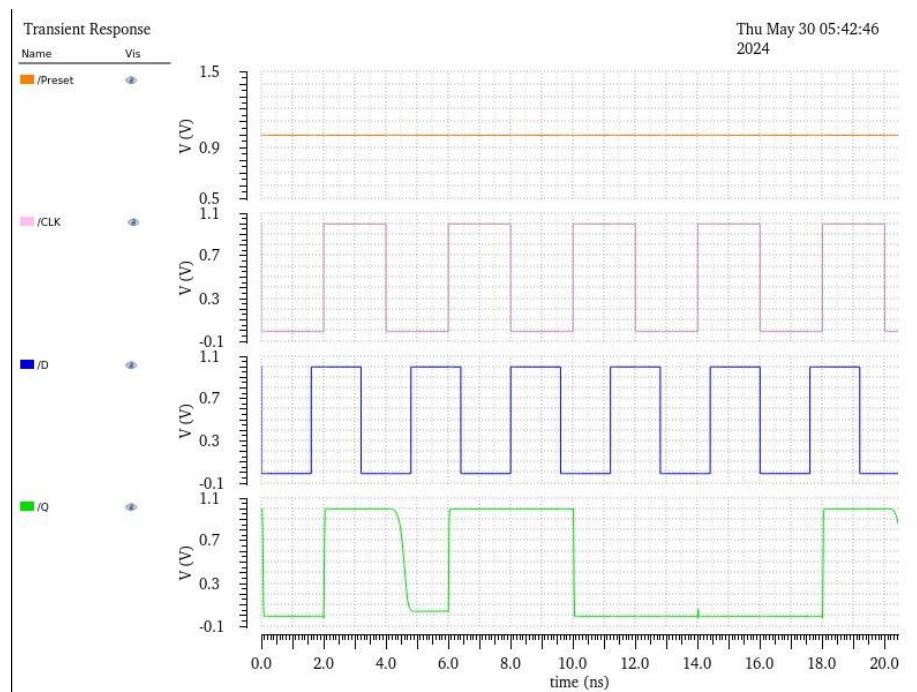


Hình 68. Waveform D Flip-Flop

- D-FlipFlop sử dụng cấu trúc TSPC – True Single Phase Clock. Preset =1



Hình 69. D-FlipFlop sử dụng cấu trúc TSPC

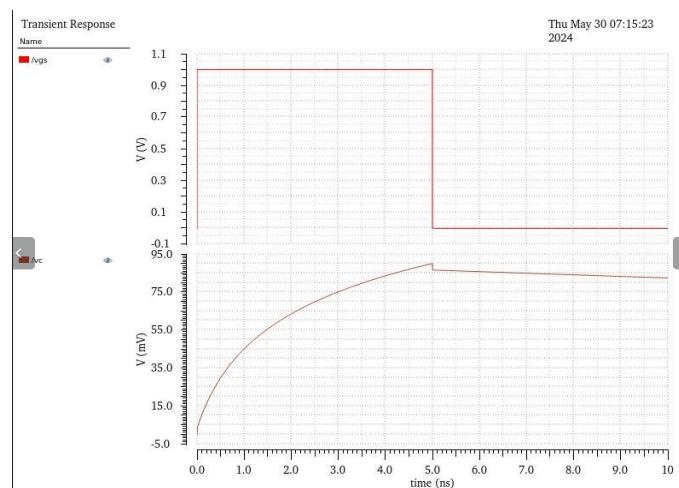


Hình 70. Waveform sau khi mô phỏng D-FlipFlop theo cấu trúc TSPC

Parameter	Result D-FlipFlop TSPC
t <sub>se</sub> – Setup time	20 ps
t <sub>h</sub> – Hold time	9.4712ps
t <sub>pdr</sub> – Rising propagation delay (90% – 50%)	19.6786ps
t <sub>pdf</sub> – Falling propagation delay (10% – 50%)	30.6058ps
t <sub>pd</sub> – Average propagation delay (50% - 50%)	25.1422ps
Power consumption	1.552e-6W

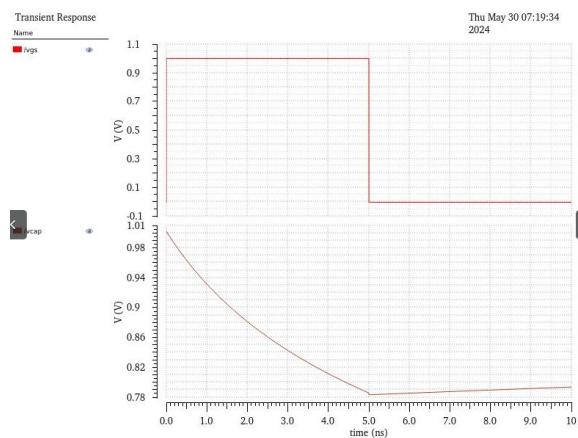
Bảng 12. Bảng kết quả đo D-FlipFlop

#### Experiment 4: Khái quát hoạt động của Pass Transistor, Transmission Gate và Tristate Inverter

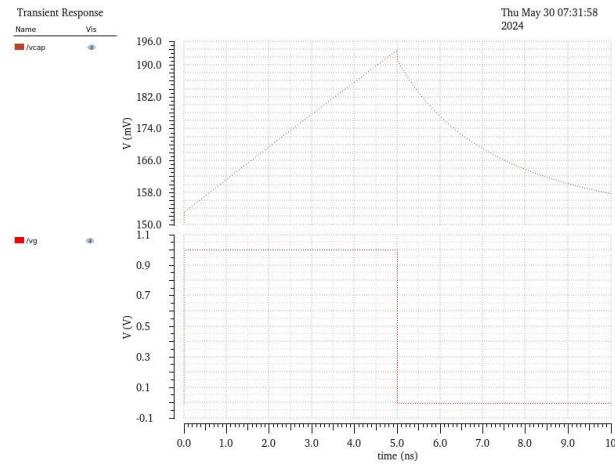


Hình 71. NMOS nạp

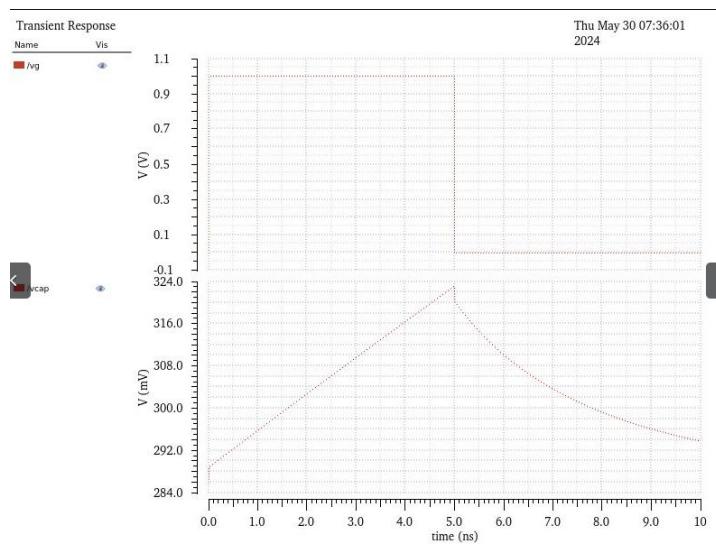
Nhận xét: Khi dǎn giá trị 1, NMOS có sự sụt áp ở ngõ ra. Do  $V_{gs} = V_{ds} = 1$ , không có sự chênh lệch điện áp để có dòng electron từ source qua drain  $\Rightarrow$  Output lúc này là degraded 1, hay  $V_{dd} - V_{th}$ .



Hình 72. NMOS xả

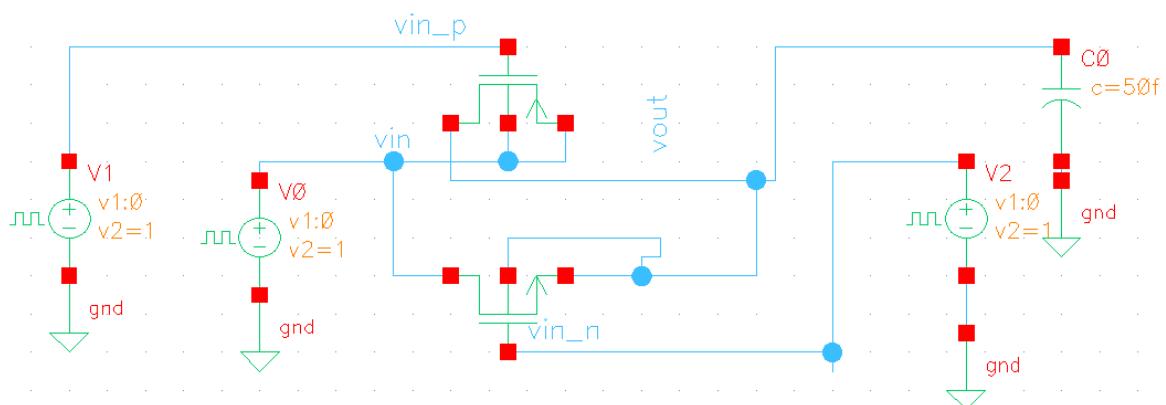


Hình 73 PMOS nạp

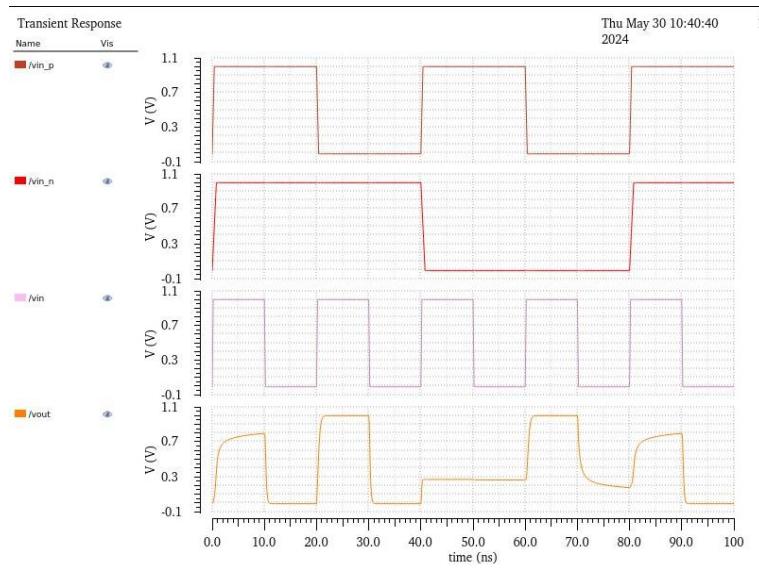


Hình 74 PMOS xả

Nhận xét: Ở trường hợp PMOS, mức điện áp 1 được dẫn bình thường. Điều này nói lên sự khác biệt giữa NMOS và PMOS khi dẫn giá trị 1 và tại sao chúng ta lại có cấu trúc CMOS.



Hình 75. Schematic Transmission gate

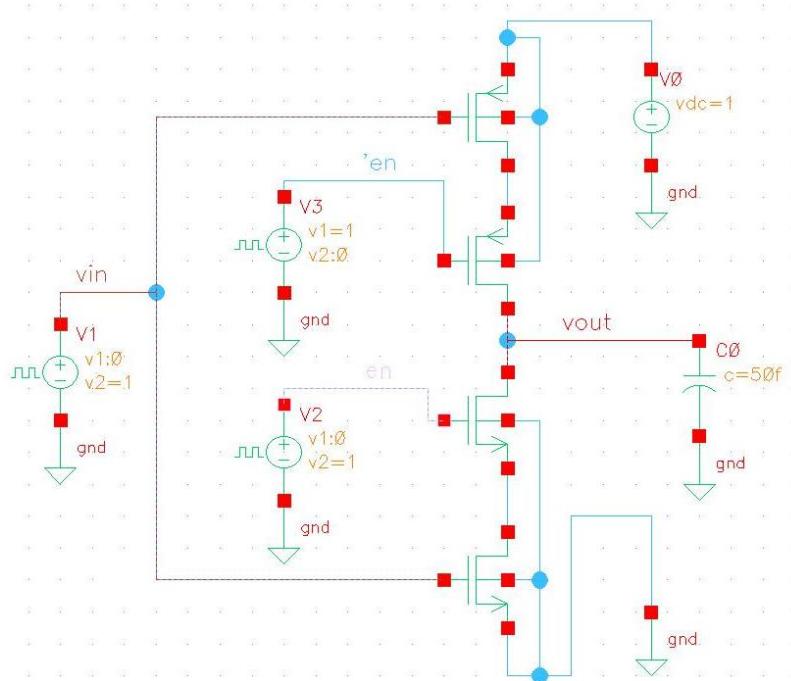


Hình 76. Waveform transmission gate

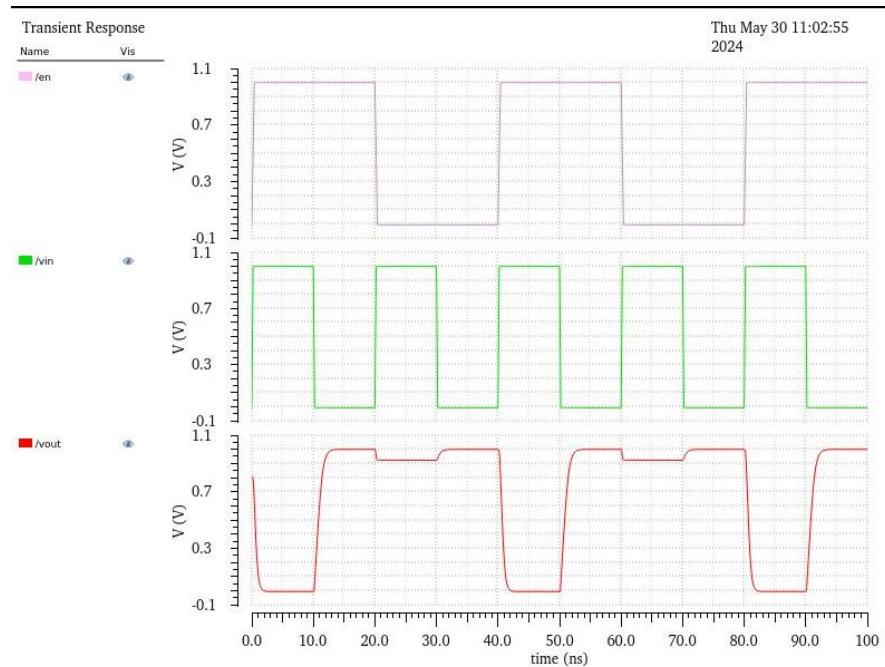
- Tristate Inverter

<b>EN</b>	<b>A</b>	<b>Y</b>
0	0	Z
0	1	Z
1	0	0
1	1	1

Bảng 13. Bảng sự thật Tristate Inverter



Hình 77. Tristate Inverter Schematic



Hình 78 Waveform Tristate Inverter

- Theo yêu cầu kiểm tra đầu tiên, hãy cho biết trong trường hợp nào sử dụng thiết bị NMOS như một switch.**

Ans: Trong trường hợp sử dụng NMOS khi  $V_d = 0$  và  $V_g = 1$ , chúng ta sử dụng NMOS như switch vì hình dạng sóng đầu ra không bị suy giảm. Trong các trường hợp khác, không sử dụng NMOS như một switch. Ngược lại với trường hợp của PMOS, khi  $V_d = 1$  và  $V_g = 0$ , sử dụng PMOS như một công tắc.

- Theo yêu cầu kiểm tra thứ hai, hãy cho biết một số ưu điểm và nhược điểm khi sử dụng transmission gate như một switch.**

Ans: Khi sử dụng transmission gate như switch, có thể loại bỏ sự suy giảm điện áp trong hình dạng sóng đầu ra. Do đó, TG đóng vai trò như một switch tương đối hoàn hảo.

- Nhận xét về vị trí của Drain và Source liên quan đến Gate trong cấu trúc MOSFET? Làm thế nào để chứng minh chúng? Theo bạn, dữ liệu được truyền trong một bóng bán dẫn và cổng truyền chỉ có thể được truyền theo một chiều, phải không? Giải thích ý tưởng của bạn.**

Ans: **Đối với NMOS:**

- Cực Source và Drain đối xứng với nhau qua cực Gate. Để phân biệt cực D hay S, ta đo điện áp giữa 2 cực D và S. Nếu  $V > 0$  thì cực ở chiều + của volt kế là cực D và cực còn lại là cực S. Nếu  $V < 0$ , điều ngược lại xảy ra
- Electrons chảy từ Source đến Drain dưới ảnh hưởng của điện áp được áp dụng vào cổng. Chiều dòng điện ngược lại với chiều electron

### **Đối với PMOS:**

- Ta vẫn thấy cực D và S đối xứng với nhau qua cực G và đều được doping là p+. Để phân biệt cực này, ta làm ngược lại so với NMOS. Dùng vôn kế đo điện áp tại 2 cực D và S,  $V > 0$  thì cực + của vôn kế là cực S và cực còn lại là cực D
- Các lỗ trống (mang điện tích dương) chảy từ Source đến Drain khi một điện áp

**Theo bạn, dữ liệu được truyền trong một bóng bán dẫn và cổng truyền chỉ có thể được truyền theo một chiều, phải không?**

- Một pass transistor thường bao gồm một MOSFET duy nhất. Có thể là NMOS hoặc PMOS. Như đã giải thích ở câu hỏi trước thì cực D và S đều được doping với lượng tạp chất là như nhau. Do đó, chiều của chúng là hoàn toàn có thể thay thế cho nhau.
- Schematic của Transmission Gate gồm một cặp MOSFET đối lập (một NMOS và một PMOS) được kết nối song song. Do tính chất đối xứng giữa 2 cực D và S, ta hoàn toàn có thể kết luận được rằng Transmission Gate là hai chiều.
  - **Một học sinh cố gắng di chuyển tín hiệu A, được kết nối với M1 và M4 trong Hình 21(a), đến M2 và M3 như trong Hình 21(b), và anh ta nhận ra rằng chức năng của mạch điện không thay đổi. Bạn có đồng ý với suy nghĩ của anh ấy không? Tại sao mọi người thích sử dụng cấu trúc liên kết trong Hình 21(a) thay vì Hình 21(b)? Giải thích ý kiến của bạn.**

- ❖ Ans: Thường ta sử dụng cấu trúc liên kết trong bộ biến tần ba trạng thái (tristate inverter) thay vì bộ biến tần ba trạng thái được đề xuất:
  - Tính đơn giản: Nó sử dụng ít bóng bán dẫn hơn và có bộ cục đơn giản hơn.
  - Độ bền: Nó ít bị ảnh hưởng bởi tiếng ồn và các yếu tố môi trường khác.
  - Hiệu suất: Nó có tốc độ cao hơn và tiêu thụ điện năng thấp hơn.

Một phương pháp để thiết kế bộ đệm ba trạng thái là sử dụng cổng truyền. Cổng truyền là sự kết hợp của hai MOSFET được kết nối song song. Khi tín hiệu đồng hồ cao, cả hai

MOSFET đều bật và cho phép dòng điện chạy từ đầu vào đến đầu ra. Khi tín hiệu đồng hồ ở mức thấp, cả hai MOSFET đều tắt và chặn dòng điện.

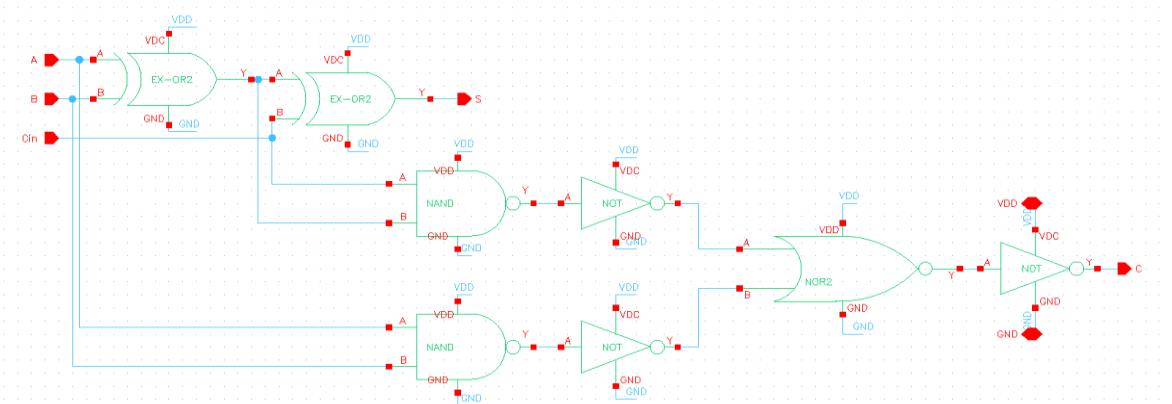
Để thiết kế bộ đếm ba trạng thái sử dụng cổng truyền, hãy kết nối đầu vào với cổng của một MOSFET và đầu ra với cổng của MOSFET kia. Kết nối các cực nguồn của cả hai MOSFET với đất. Kết nối tín hiệu đồng hồ với cổng của MOSFET thứ hai.

Khi tín hiệu đồng hồ ở mức cao, cổng truyền sẽ được bật và tín hiệu đầu vào sẽ được truyền qua đầu ra. Khi tín hiệu đồng hồ ở mức thấp, cổng truyền sẽ bị tắt và đầu ra sẽ bị cô lập với đầu vào.

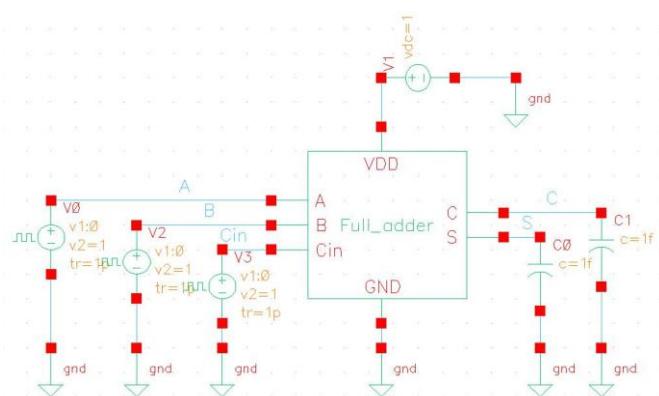
### III. LABORATORY 3: COMBINATIONAL AND SEQUENTIAL CIRCUIT

Experiment1: Thiết kế một mạch tổ hợp – Bộ cộng Full-Adder 1-bit

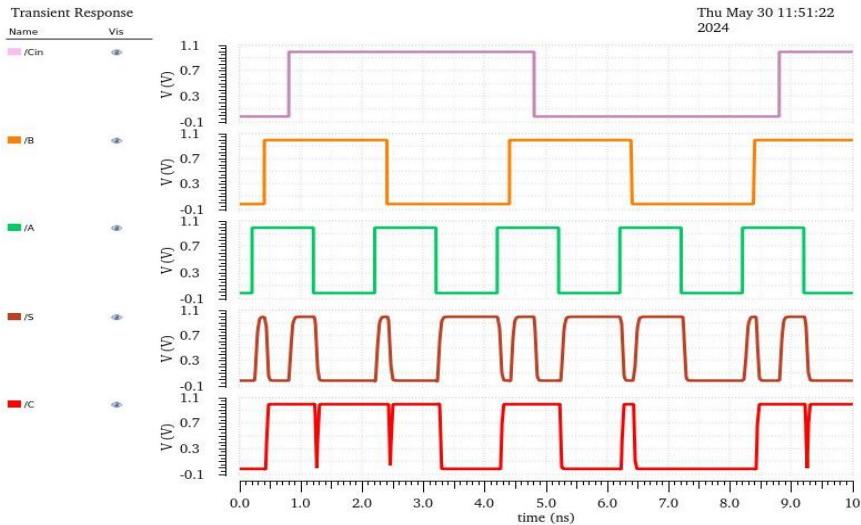
#### ❖ Original Full Adder



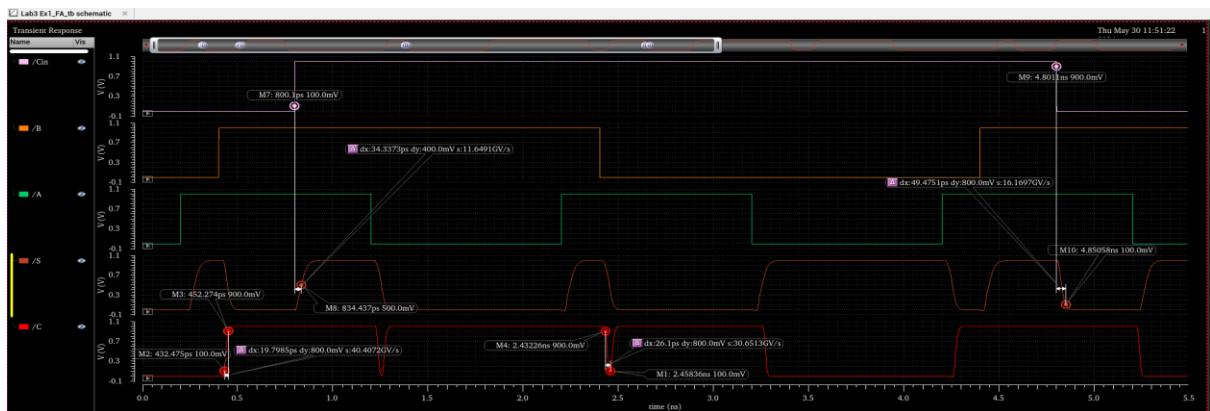
Hình 3. 1 Schematic Original Full Adder



Hình 3. 2 Testbench Original-Adder

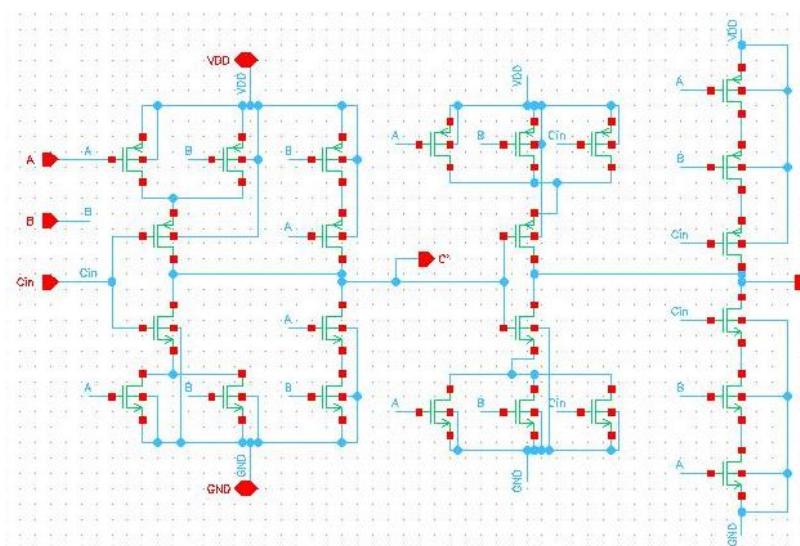


Hình 3. 3 Waveform Original Full-Adder

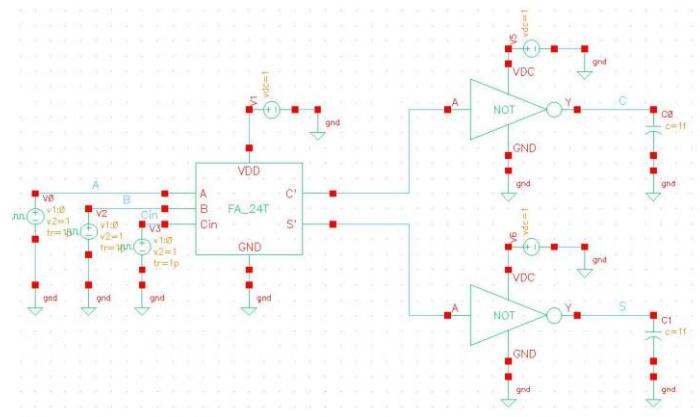


Hình 3. 4 Đo đặc các thông số time Original Full-Adder

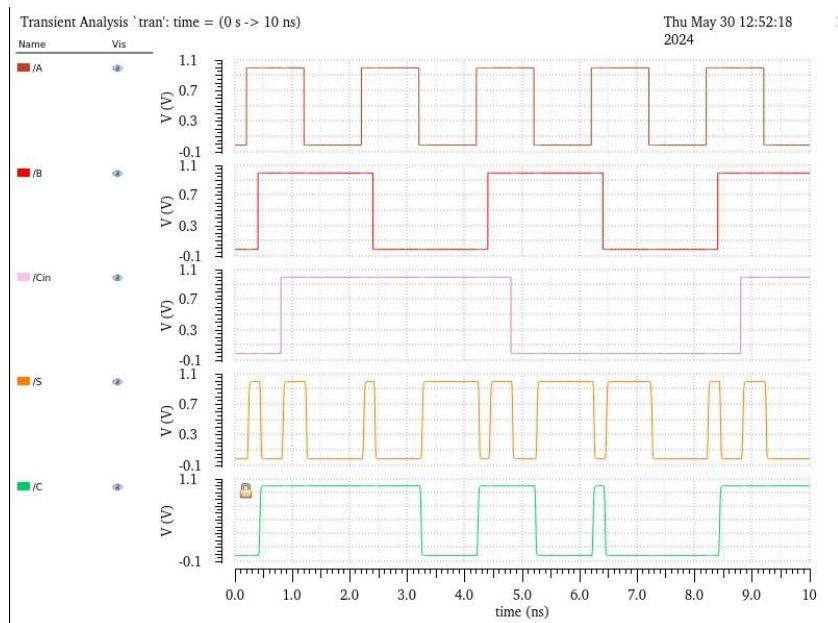
### ❖ Full Adder 24T



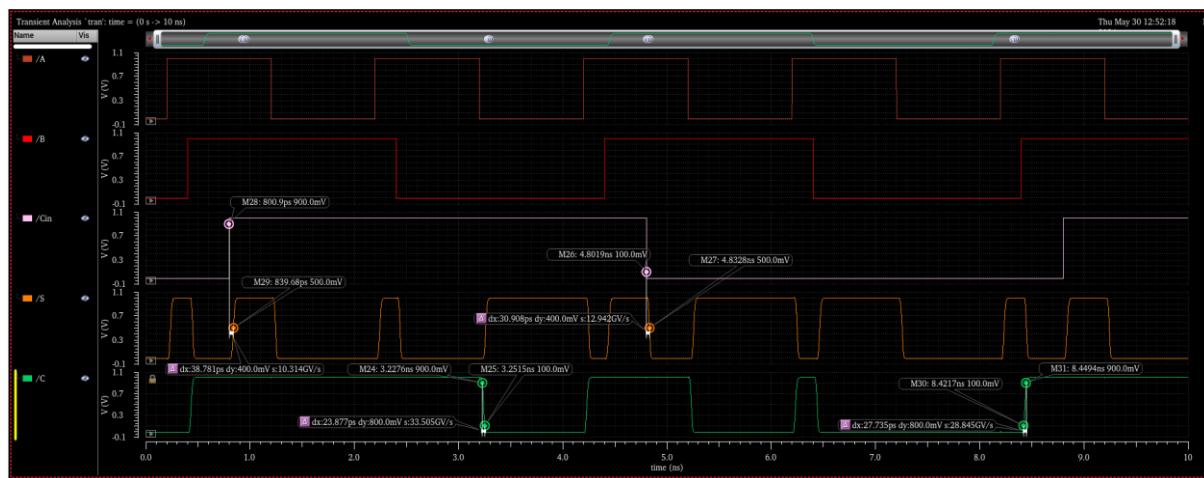
Hình 3. 5 Schematic Full Adder 24T



Hình 3. 6 Schematic testbench Full Adder 24T



Hình 3. 7 Waveform Full Adder 24T



Hình 3. 8 Đo các thông số time Full Adder 24T

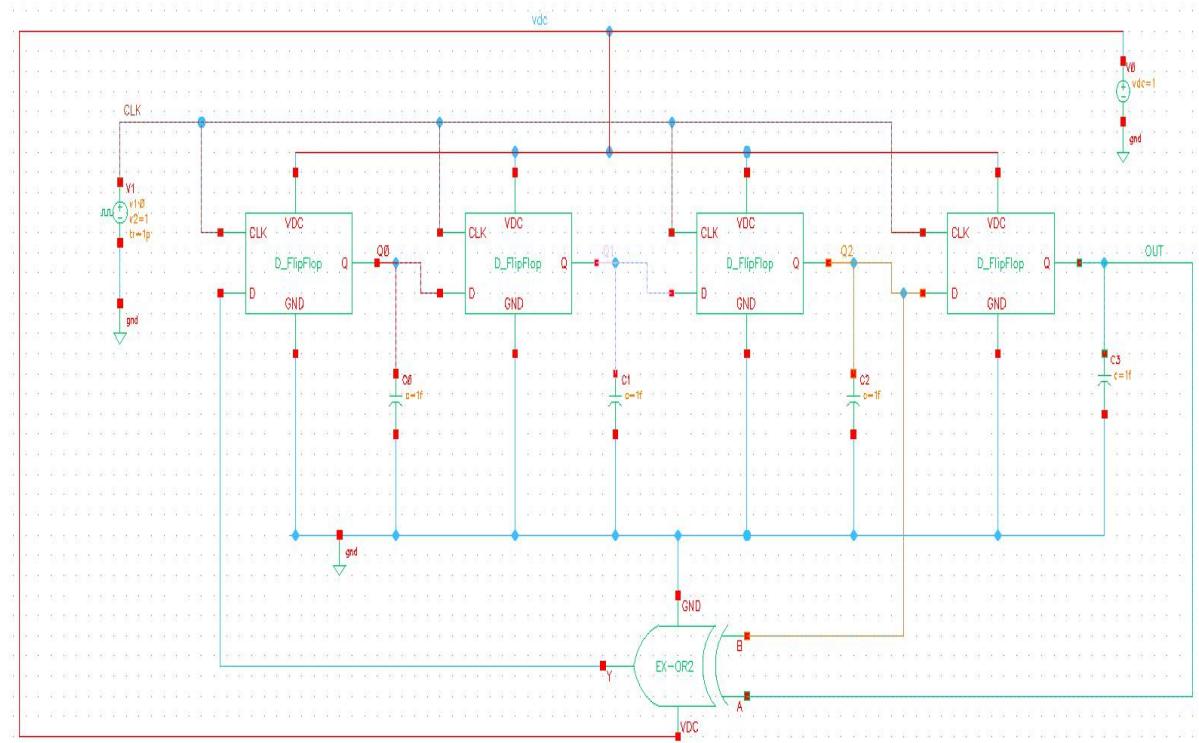
	Original FA	FA 24T
trise - Rising time (10%-90%)	1907985ps	27.735ps
tfall - Falling time (90%-10%)	26.1ps	23.877ps
tpd - Average propagation delay (50% - 50%)	41.9062ps	34.8445ps
Power consumption(W)		

Bảng 14 Kết quả đo đặc thiết kế Full-Adder 1-bit

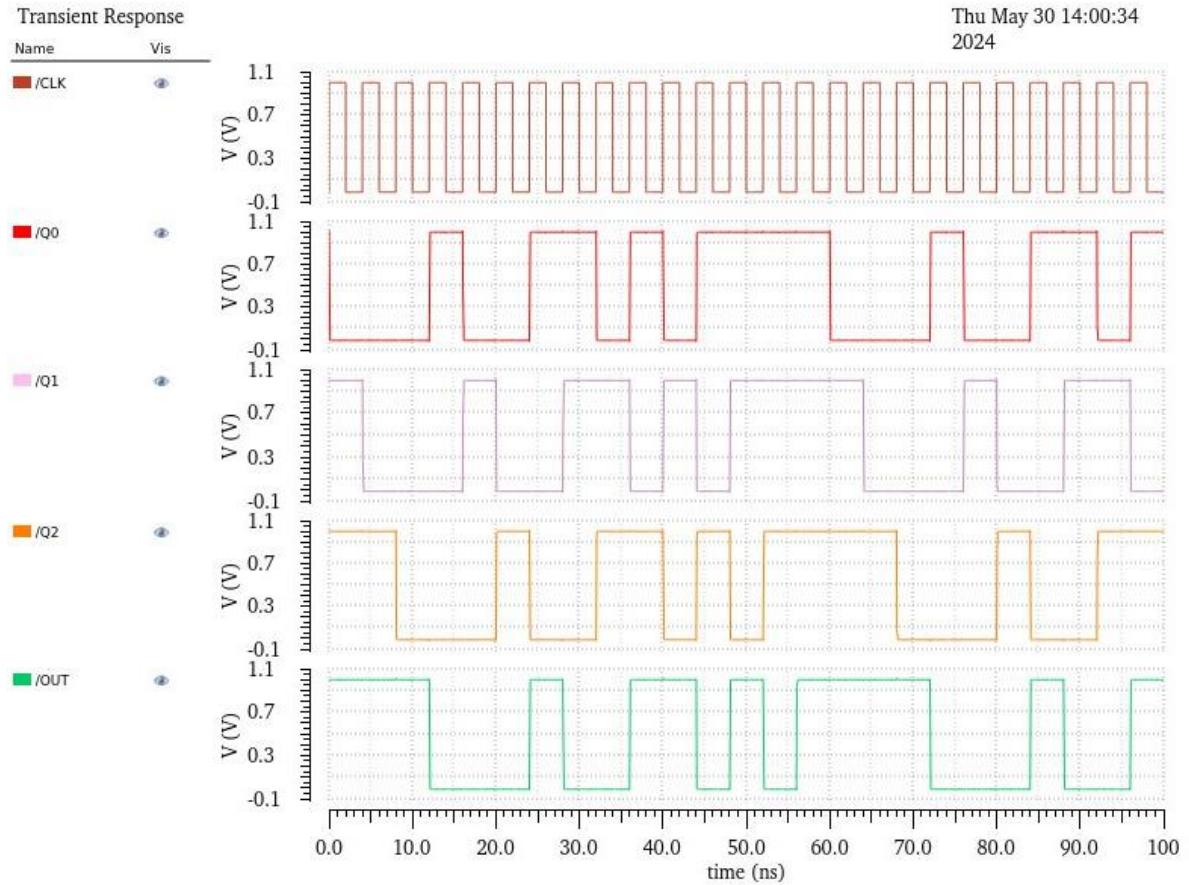
- ❖ Câu hỏi : Do cấu trúc liên kết như trong Hình 3, tại sao họ triển khai  $Cout = (A + B)Cin + AB$  thay vì  $Cout = AB + ACin + BCin$ ?

Ans: Bởi vì khi sử dụng PDN trong Figure 6, số lượng transistor cần thiết sẽ giảm nhưng mạch vẫn hoạt động đúng chức năng, từ đó giảm công suất tiêu thụ và giảm độ trễ của mạch. Một lý do nữa cho việc sử dụng mạch PDN bên trái là khi hoạt động, mạch sẽ có ít tụ ký sinh hơn, ngõ ra sẽ lái ít(có thể vẽ theo sơ d. Từ đó sẽ giảm thời gian đáp ứng của mạch.

### Experiment 2: Biết thiết kế mạch tuần tự cơ bản.



Hình 3. 9 Schematic/ Testbench mạch transient PRBS

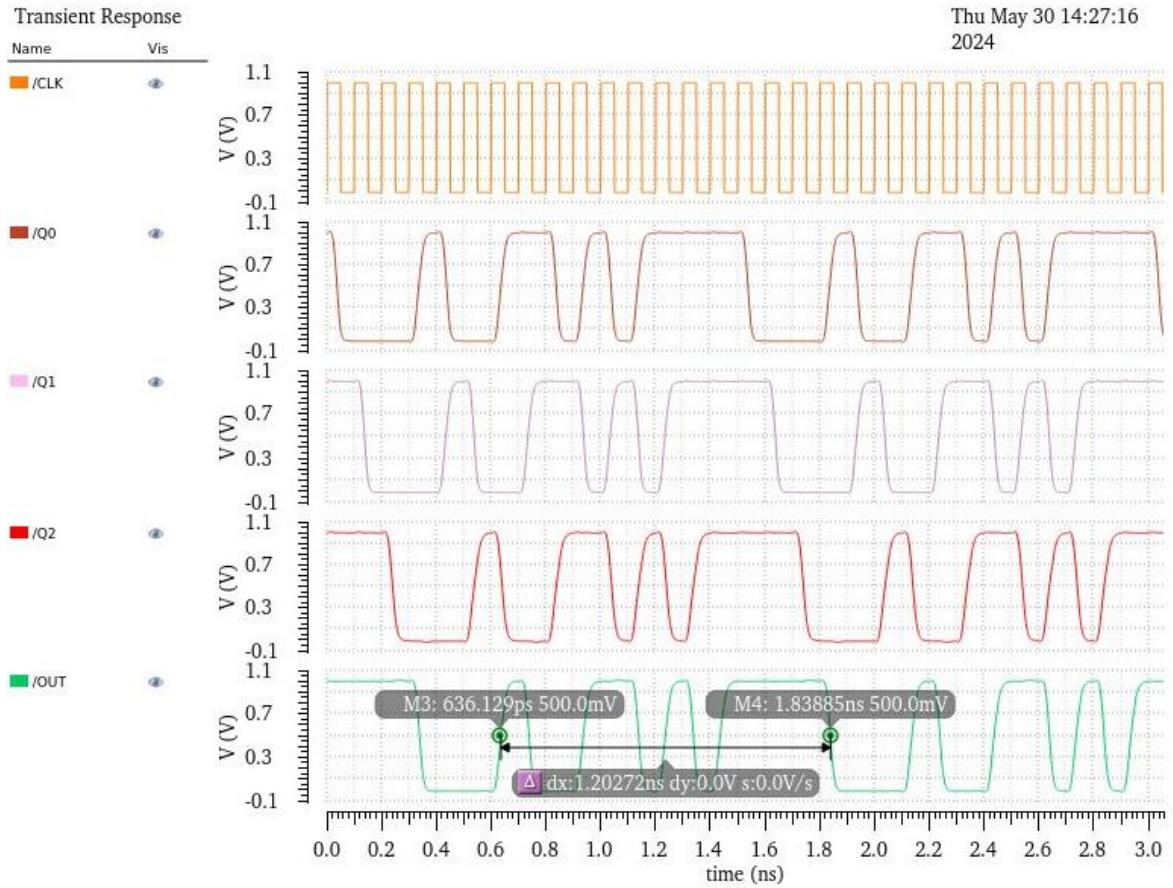


Hình 3. 10 Waveform mạch transient PRBS

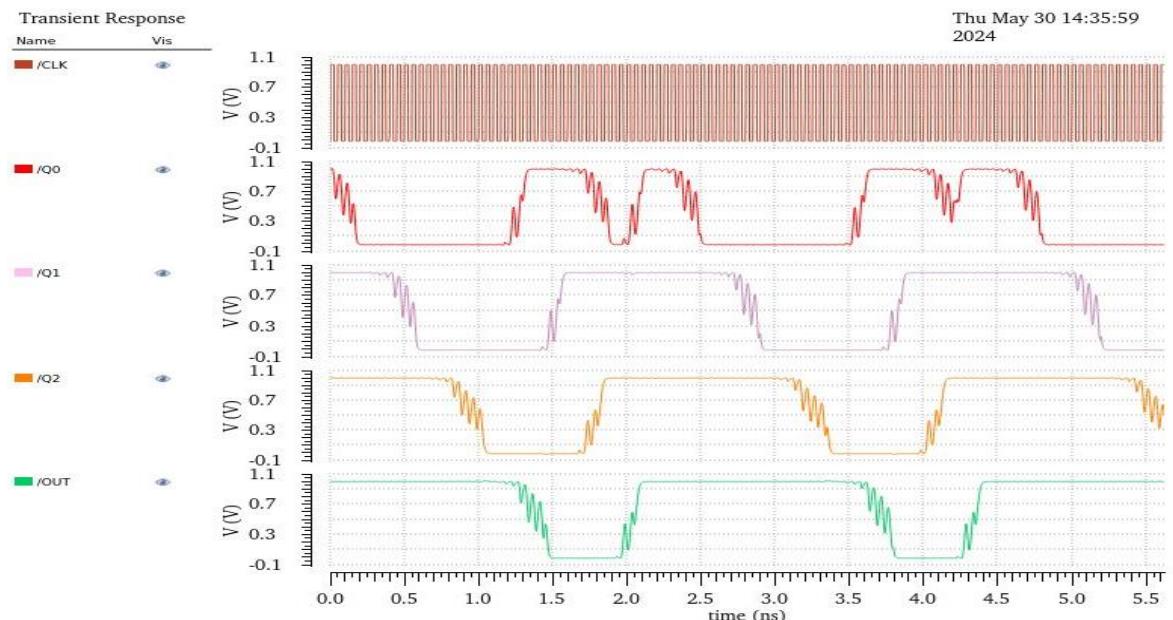
Clock speed được đo bằng số xung trong mỗi giây mà clock tạo ra. Đơn vị đo được gọi là hertz (Hz), được sử dụng để đo clock speed.. Để đo Clock speed của PRBS, chúng ta cần giảm chu kỳ của Vpulse xuống tối thiểu cho đến khi mạch vẫn thỏa mãn phản hồi đầu ra chính xác. Chúng ta đo thời gian mà PRBS mất để hoàn thành chu kỳ lại từ đầu; đây là chu kỳ clock speed. Tần số được tính toán là nghịch đảo của chu kỳ.

Như có thể thấy dưới đây tại tần số  $f = 0.831\text{GHz}$  thì tín hiệu ra đã bắt đầu méo.Nếu tăng thêm tần số thì sẽ không đảm bảo được tín hiệu chính xác.

Vậy Clock speed của PRBS =  $0.831\text{GHz}$



Hình 3. 11 Xác định tần số PRBS



Hình 3. 12 Đầu ra khi tăng f quá lớn

## IV. LABORATORY 4: ARITHMETIC LOGIC UNIT &REGISTER FILE

Experiment 1: Triển khai bộ Arithmetic Logic Unit (ALU) đơn giản thực hiện tám chức năng với đầu ra Cờ 4 bit (N, Z, C, V). Chi tiết hoạt động của ALU được thể hiện như sau:

ALU_op_i[2:0]			Function
0	0	0	Add, A+B
0	0	1	Subtract, A-B
0	1	0	Logical shift left
0	1	1	Logical shift right
1	0	0	AND
1	0	1	OR
1	1	0	NOT
1	1	1	Forwarding input, A

**Table 1** The ALU operations.

Hình 4. 1 Các câu lệnh trong ALU

➤ System Verilog Code

```

module CPU (
    input logic [2:0] alu_op_i,
    input logic [7:0] a_i,
    input logic [7:0] b_i,
    output logic [7:0] alu_result_o,
    output logic Carry, Sum,
    output logic n,z,c,v
);
typedef enum logic[3:0] {
    ALU_ADD_OP ,
    ALU_SUB_OP ,
    ALU_SLL_OP ,
    ALU_SRL_OP ,
    ALU_AND_OP ,
    ALU_OR_OP ,
    ALU_NOT_OP ,
    ALU_FORWARD_OP
} alu_op_e;
logic [7:0] alu_tmp;
```

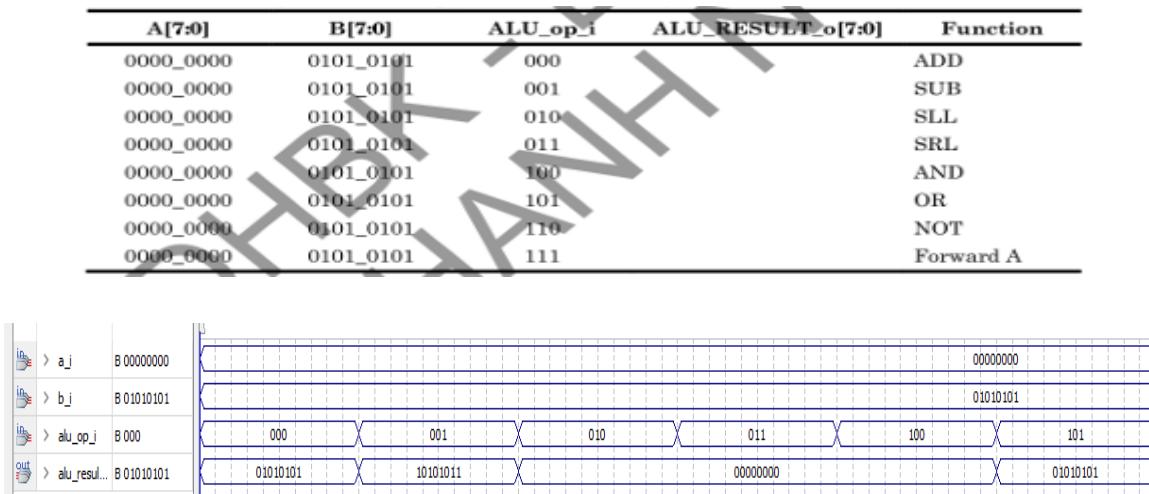
```

assign {Carry, Sum} = $signed(a_i) + $signed(b_i);

always_comb begin : alu_always
  case (alu_op_i)
    ALU_ADD_OP : alu_tmp = $signed(a_i) + $signed(b_i);
    ALU_SUB_OP : alu_tmp = $signed(a_i) + $signed(~b_i +
      8'b0000_0001);
    ALU_SLL_OP :
    begin
      alu_tmp = (b_i[0]) ? { a_i[6:0], 1'h0 } : a_i[7:0];
      alu_tmp = (b_i[1]) ? { alu_tmp[5:0], 2'h0 } : alu_tmp[7:0];
      alu_tmp = (b_i[2]) ? { alu_tmp[3:0], 4'h0 } : alu_tmp[7:0];
      alu_tmp = (b_i[3]) ? { 8'h00 } : alu_tmp[7:0];
    end
    ALU_SRL_OP :
    begin
      alu_tmp = (b_i[0]) ? { 1'h0, a_i[7:1] } : a_i[7:0];
      alu_tmp = (b_i[1]) ? { 2'h0, alu_tmp[7:2] } : alu_tmp[7:0];
      alu_tmp = (b_i[2]) ? { 4'h0, alu_tmp[7:4] } : alu_tmp[7:0];
      alu_tmp = (b_i[3]) ? { 8'h00 } : alu_tmp[7:0];
    end
    ALU_AND_OP : alu_tmp = a_i & b_i;
    ALU_OR_OP : alu_tmp = a_i | b_i;
    ALU_NOT_OP : alu_tmp = ~a_i;
    ALU_FORWARD_OP : alu_tmp = a_i;
    default : alu_tmp = 8'h00;
  endcase
end
endmodule

```

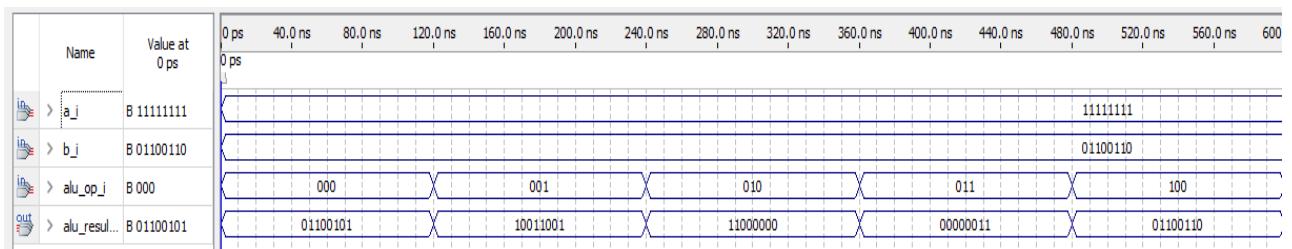
- Waveform
- Th1:



Hình 4.2 Waveform sau khi mô phỏng với A[0000 0000] và B[0101 0101]

- Th2:

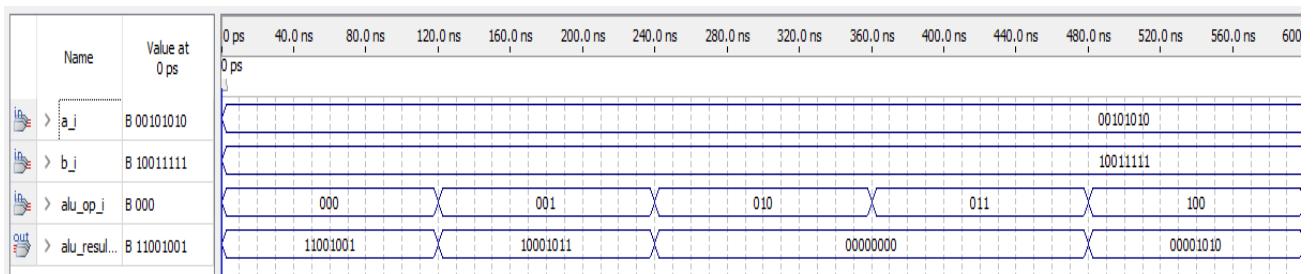
A[7:0]	B[7:0]	ALU_op_i	ALU_RESULT_o[7:0]	Function
1111_1111	0110_0110	000		ADD
1111_1111	0110_0110	001		SUB
1111_1111	0110_0110	010		SLL
1111_1111	0110_0110	011		SRL
1111_1111	0110_0110	100		AND
1111_1111	0110_0110	101		OR
1111_1111	0110_0110	110		NOT
1111_1111	0110_0110	111		Forward A



Hình 4. 3 Waveform sau khi mô phỏng với A[1111 1111] và B[0110 0110]

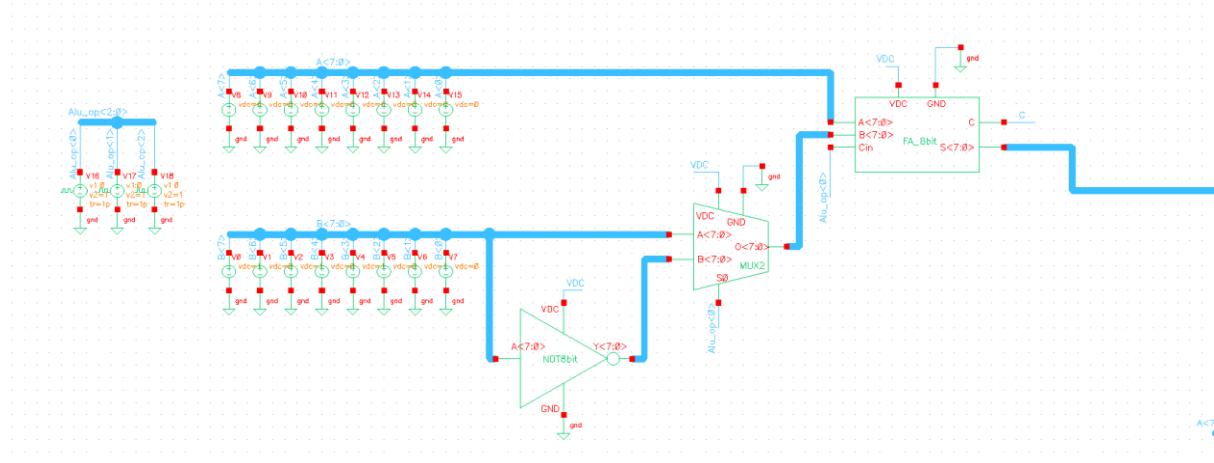
- Th3:

A[7:0]	B[7:0]	ALU_op_i	ALU_RESULT_o[7:0]	Function
0010_1010	1001_1111	000		ADD
0010_1010	1001_1111	001		SUB
0010_1010	1001_1111	010		SLL
0010_1010	1001_1111	011		SRL
0010_1010	1001_1111	100		AND
0010_1010	1001_1111	101		OR
0010_1010	1001_1111	110		NOT
0010_1010	1001_1111	111		Forward A

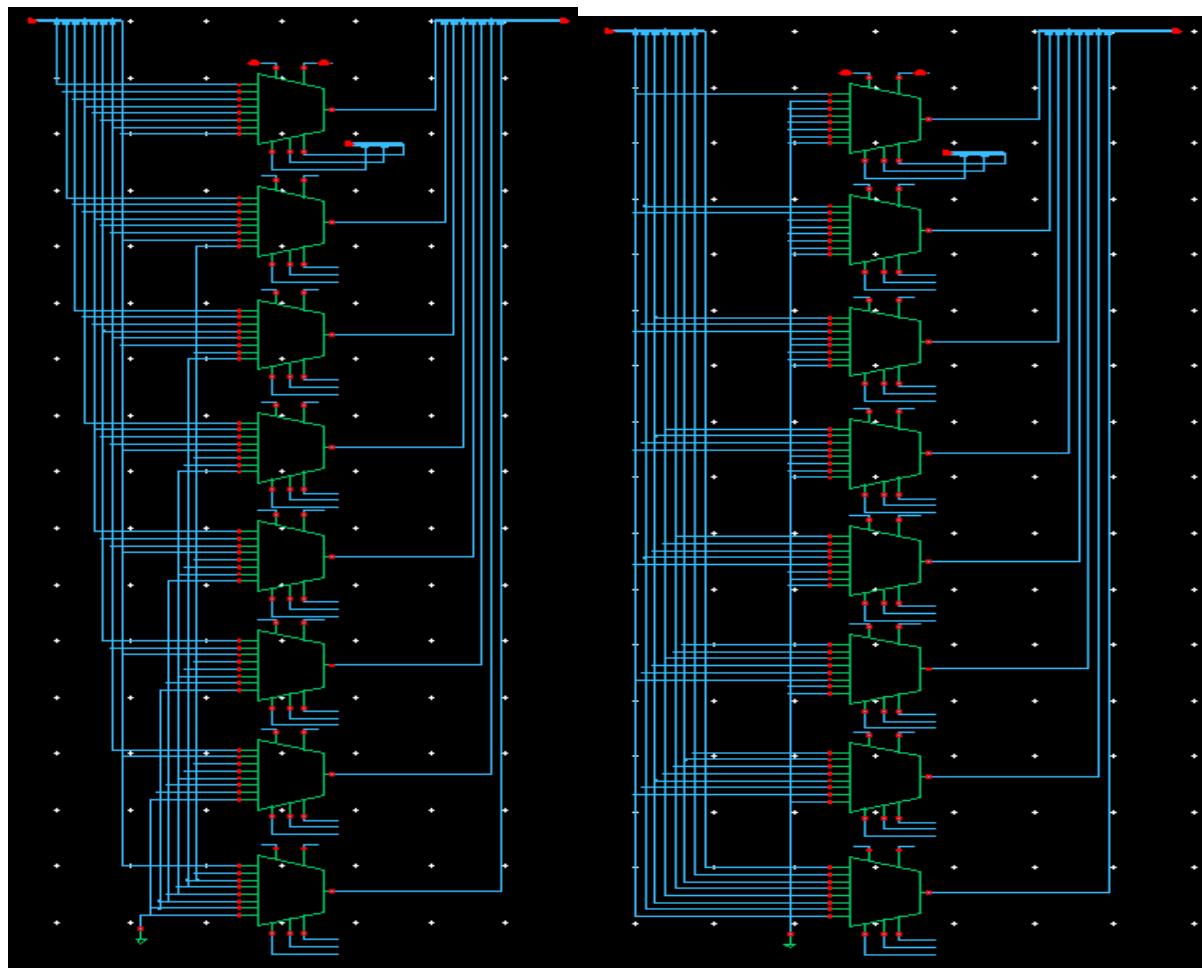


Hình 4. 4 Waveform sau khi mô phỏng với A[0010 1010] và B[1001 1111]

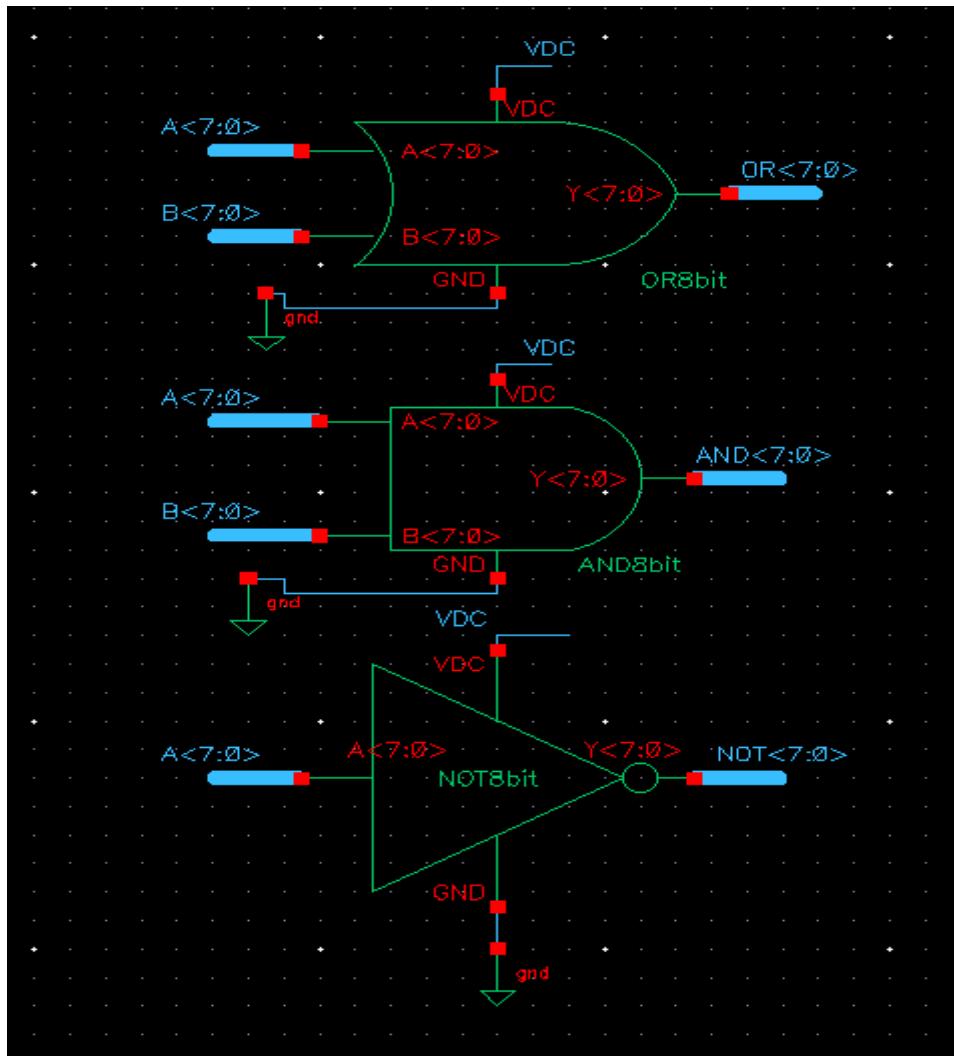
➤ Xây dựng các khối câu lệnh của bộ ALU



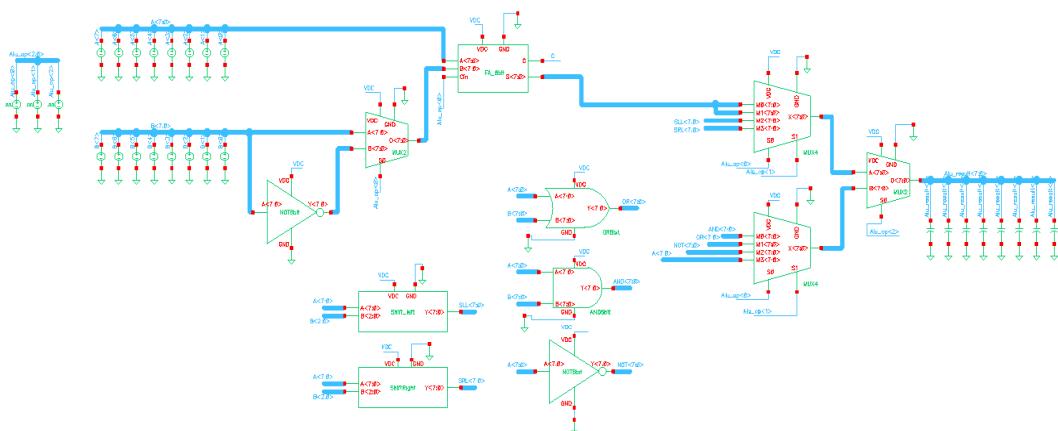
Hình 4. 5 Schematic mạch thực hiện chức năng cộng trừ



Hình 4. 6 Khối dịch trái (bên trái), dịch phải (bên phải)



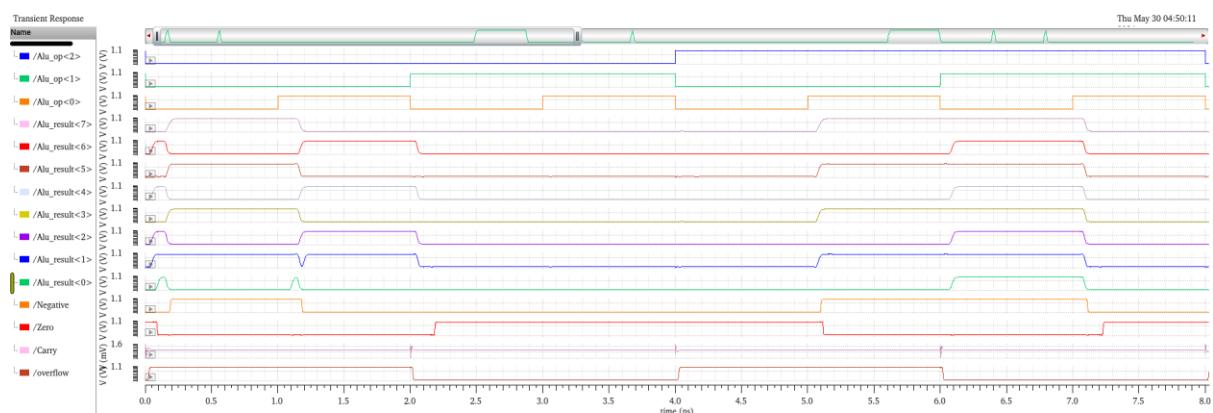
Hình 4. 7 Schematic các công OR, AND, NOT



Hình 4. 8 Bộ ALU hoàn chỉnh với các khối

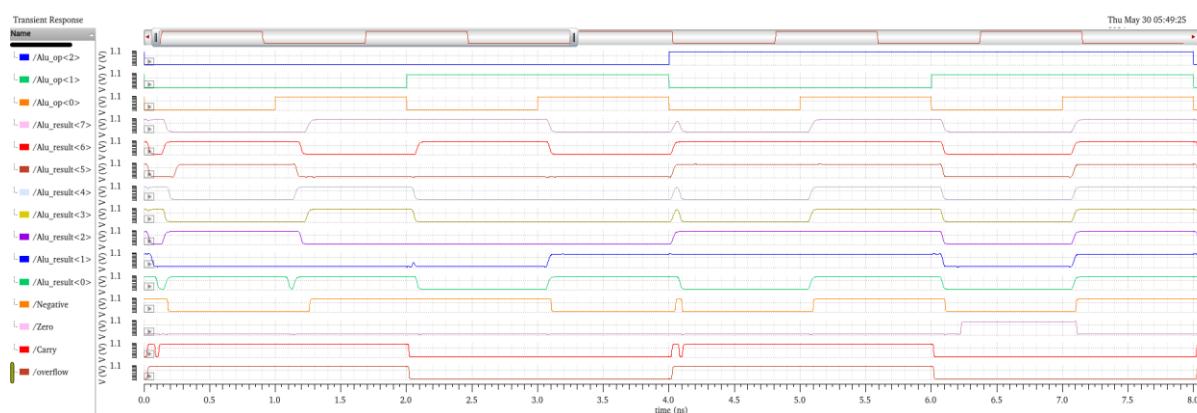
➤ Kiểm tra các câu lệnh với các khối đã hoàn thiện

A[7:0]	B[7:0]	ALU_op_i	ALU_RESULT_o[7:0]	Function
0000_0000	0101_0101	000	000	ADD
0000_0000	0101_0101	001	001	SUB
0000_0000	0101_0101	010	010	SLL
0000_0000	0101_0101	011	011	SRL
0000_0000	0101_0101	100	100	AND
0000_0000	0101_0101	101	101	OR
0000_0000	0101_0101	110	110	NOT
0000_0000	0101_0101	111	111	Forward A



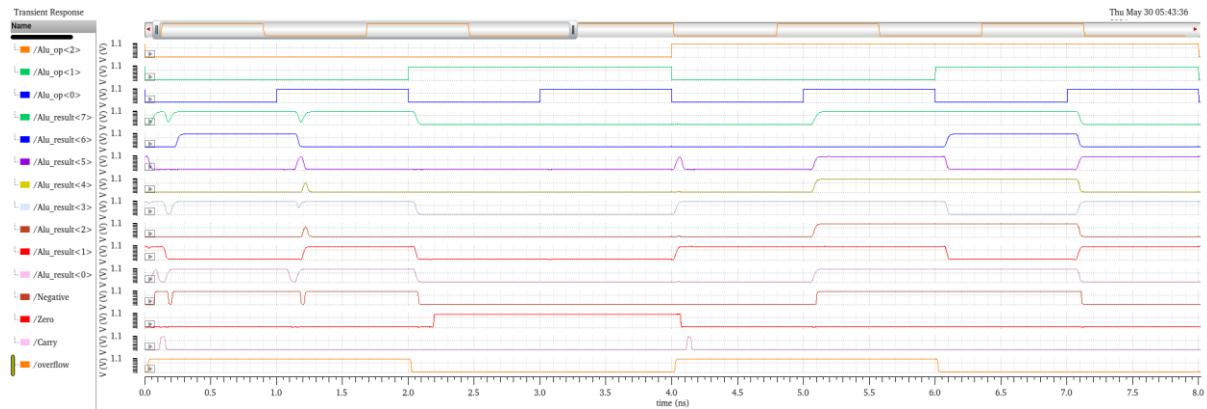
Hình 4. 9 Waveform sau khi mô phỏng với A[0000 0000] và B[0101 0101]

A[7:0]	B[7:0]	ALU_op_i	ALU_RESULT_o[7:0]	Function
1111_1111	0110_0110	000	000	ADD
1111_1111	0110_0110	001	001	SUB
1111_1111	0110_0110	010	010	SLL
1111_1111	0110_0110	011	011	SRL
1111_1111	0110_0110	100	100	AND
1111_1111	0110_0110	101	101	OR
1111_1111	0110_0110	110	110	NOT
1111_1111	0110_0110	111	111	Forward A



Hình 4. 10 Waveform sau khi mô phỏng với A[1111 1111] và B[01110 0110]

A[7:0]	B[7:0]	ALU_op_i	ALU_RESULT_o[7:0]	Function
0010_1010	1001_1111	000		ADD
0010_1010	1001_1111	001		SUB
0010_1010	1001_1111	010		SLL
0010_1010	1001_1111	011		SRL
0010_1010	1001_1111	100		AND
0010_1010	1001_1111	101		OR
0010_1010	1001_1111	110		NOT
0010_1010	1001_1111	111		Forward A



Hình 4. 11 Waveform sau khi mô phỏng với A[0010 1010] và B[1001 1111]

Nhận xét: Kết quả khi mô phỏng bằng Cadence Virtuoso hoàn toàn giống với khi thực hiện bằng SystemVerilog. Nhưng khi mô phỏng dưới dạng mạch, ta gặp phải nhiều hiệu ứng như 80 sụt áp hay một tín hiệu lái quá nhiều output dẫn đến waveform có chưa được gọn nhưng nhìn chung thì chức năng của mạch vẫn không thay đổi.

## Experiment 2: Triển khai 1 bộ 8x8 Register File

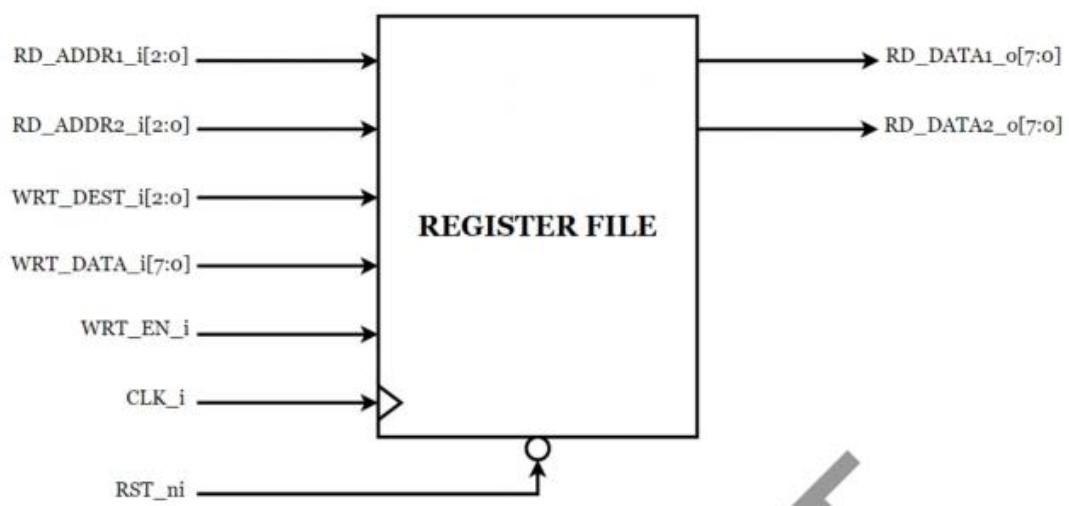


Figure 7 Block diagram of Register File.

➤ System Verilog

- System Verilog Code

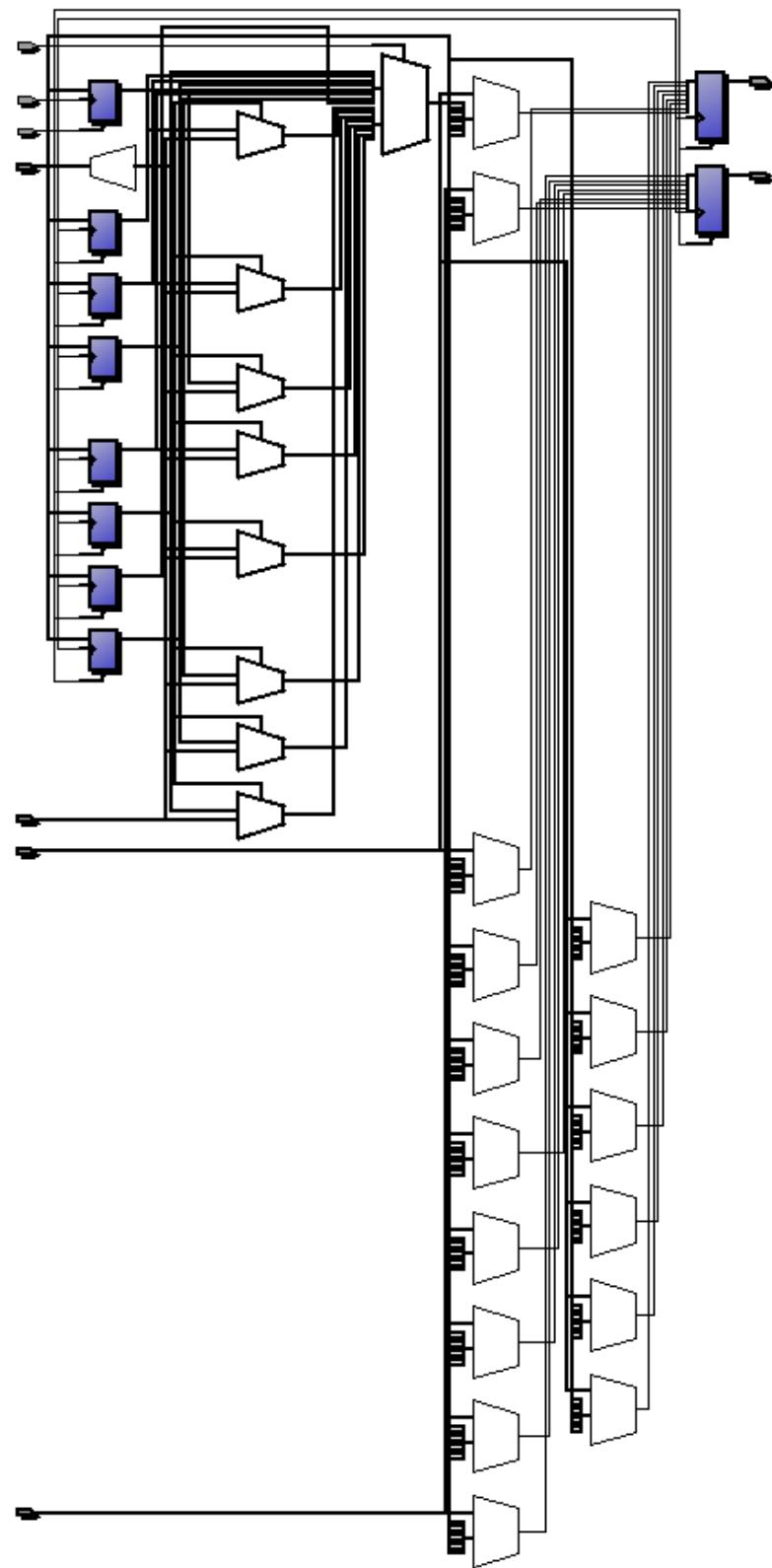
```
module regfile(
    input logic clk_i,
    input logic rst_ni,
    input logic wr_en_i,
    input logic [2:0] rd_addr_i,
    input logic [2:0] rs1_addr_i,
    input logic [2:0] rs2_addr_i,
    input logic [7:0] rd_data_i,
    output logic [7:0] rs1_data_o,
    output logic [7:0] rs2_data_o
);

    logic [7:0] registers [0:7];

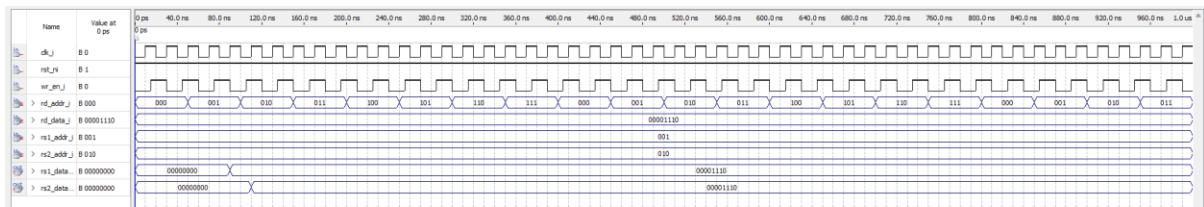
    initial begin : regfile_initial
        registers = '{8{8'b0000_0000}};
    end

    always @ (posedge clk_i or negedge rst_ni) begin : regfile_always
        if (!rst_ni) begin
            registers = '{8{8'b0000_0000}};
            rs1_data_o = 8'b0000_0000;
            rs2_data_o = 8'b0000_0000;
        end else begin
            //Write
            if (wr_en_i) begin
                registers[rd_addr_i] = rd_data_i;
            end
            //Read
            rs1_data_o = registers[rs1_addr_i];
            rs2_data_o = registers[rs2_addr_i];
        end
    end
endmodule
```

- RTL viewer

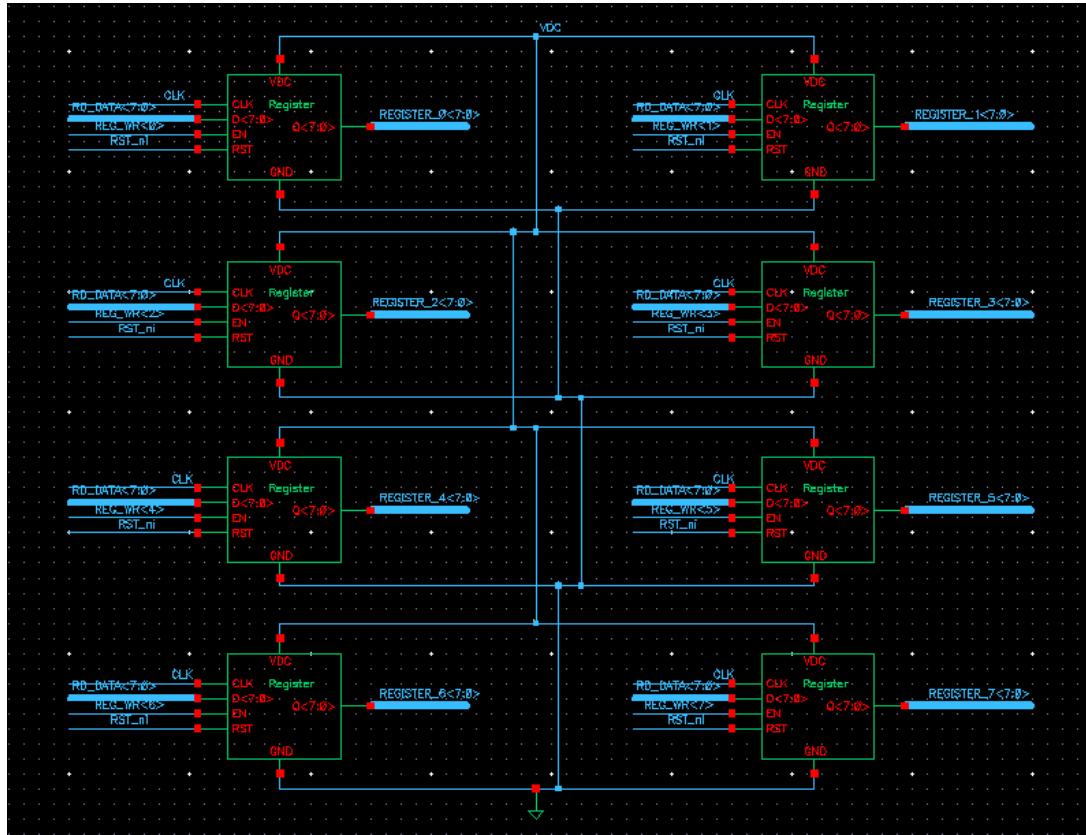


Hình 4. 12 RTL viewer của mạch Register file 8x8

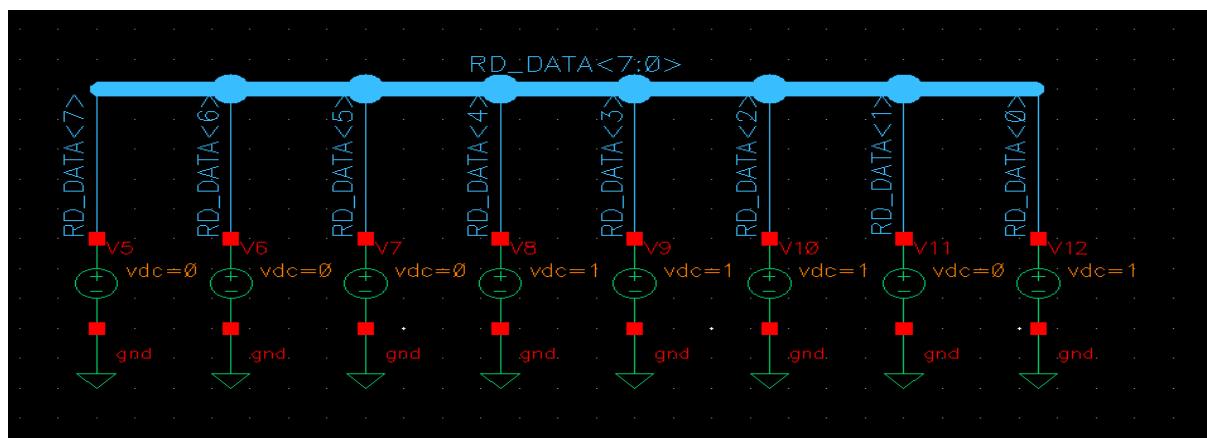


Hình 4. 13 Waveform sau khi chạy mô phỏng

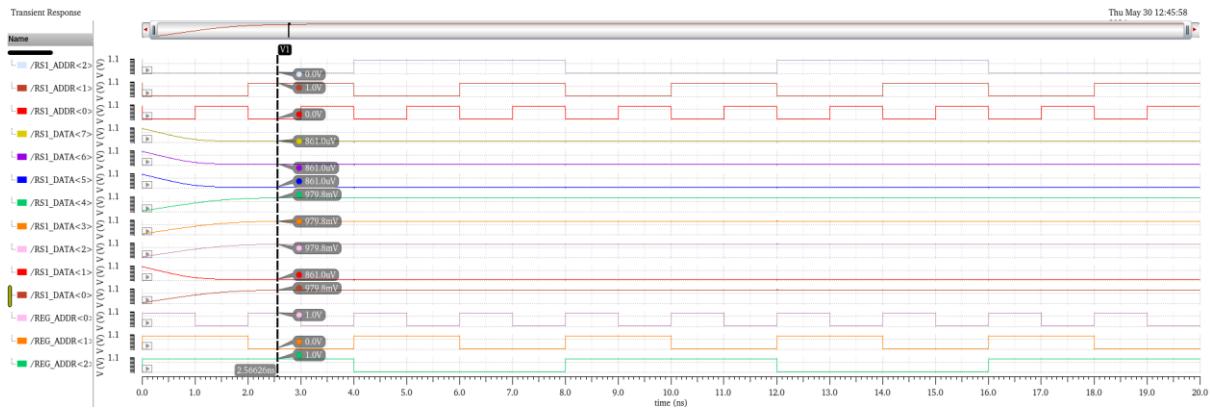
➤ Mô phỏng các chức năng của bộ Register file 8x8



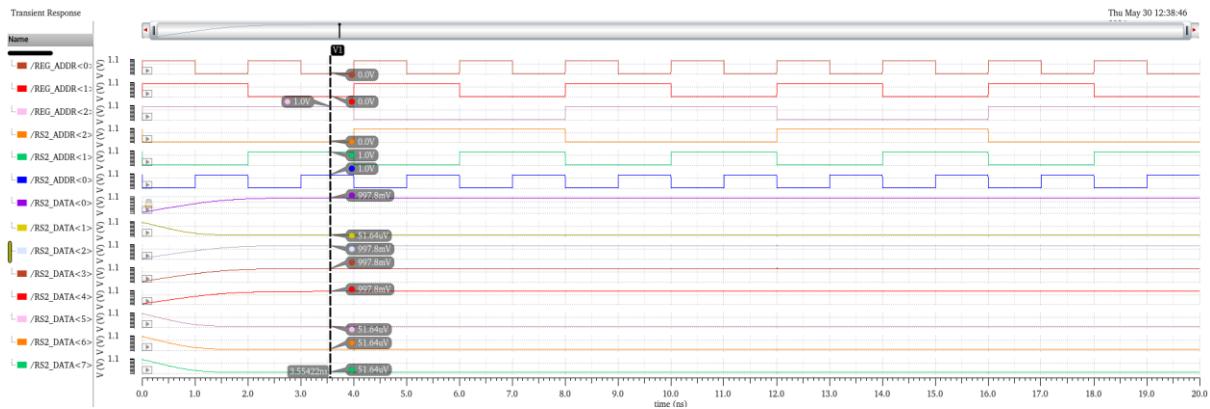
Hình 4. 14 Schematic bộ Register file 8x8



Hình 4. 15 Setup giá trị [0001 1101] vào 8 thanh ghi



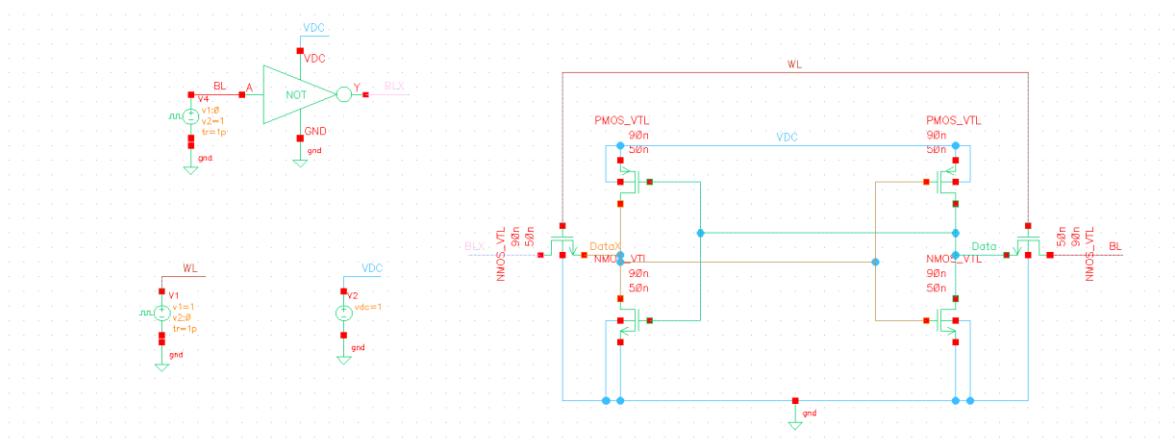
Hình 4. 16 Waveform giá trị của thanh ghi rs1



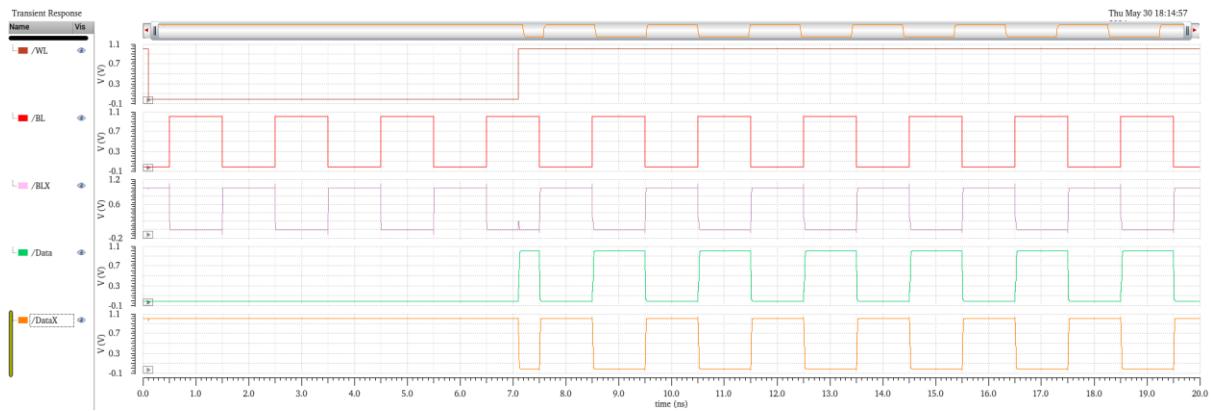
Hình 4. 17 Waveform giá trị của thanh ghi rs2

## V. LABORATORY 5: INTRODUCTION TO MEMORY CIRCUIT DESIGN

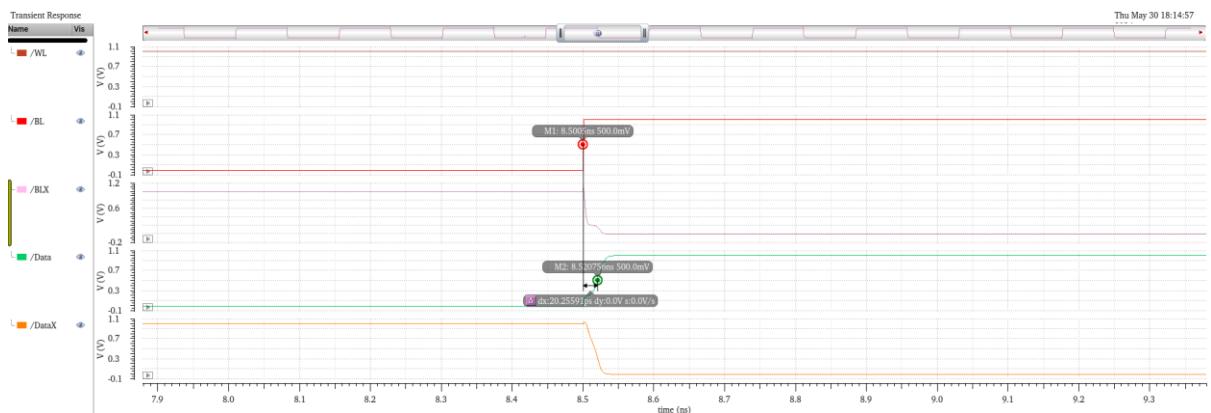
Experiment 1: Biết được cấu trúc cùi chỏ của bộ nhớ khả biến (RAM) - SRAM 6-transistor.



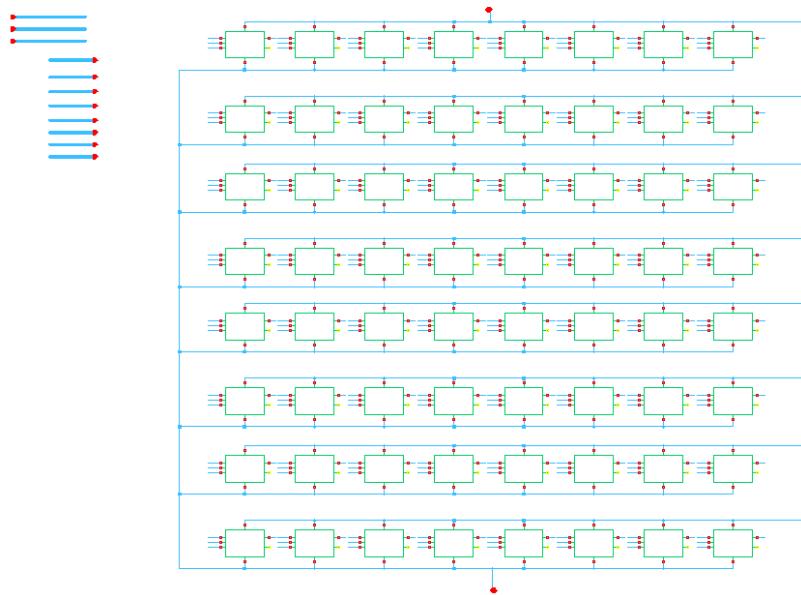
Hình 5. 1 Schematic SRAM 6T chế độ ghi



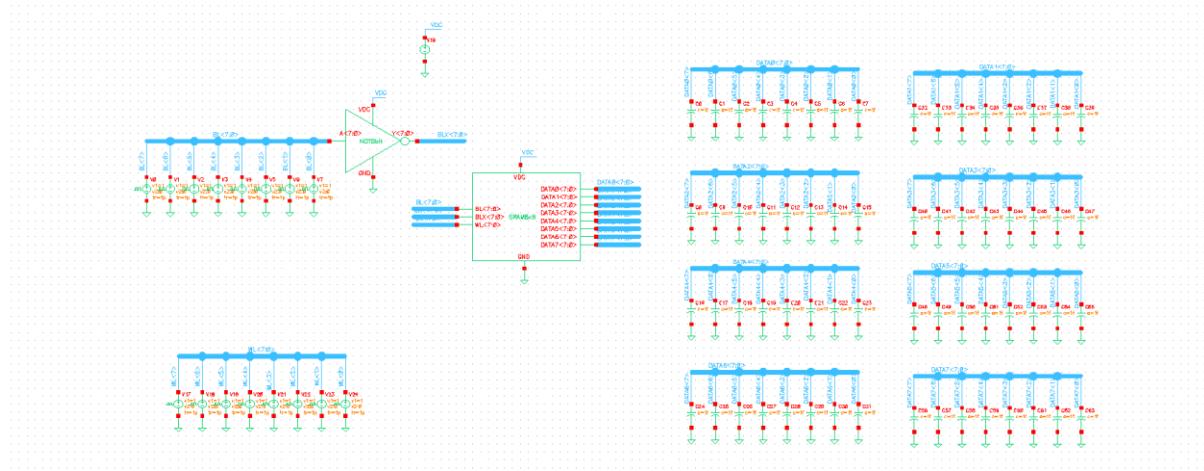
Hình 5. 2 Waveform sau khi chạy mô phỏng SRAM 6T



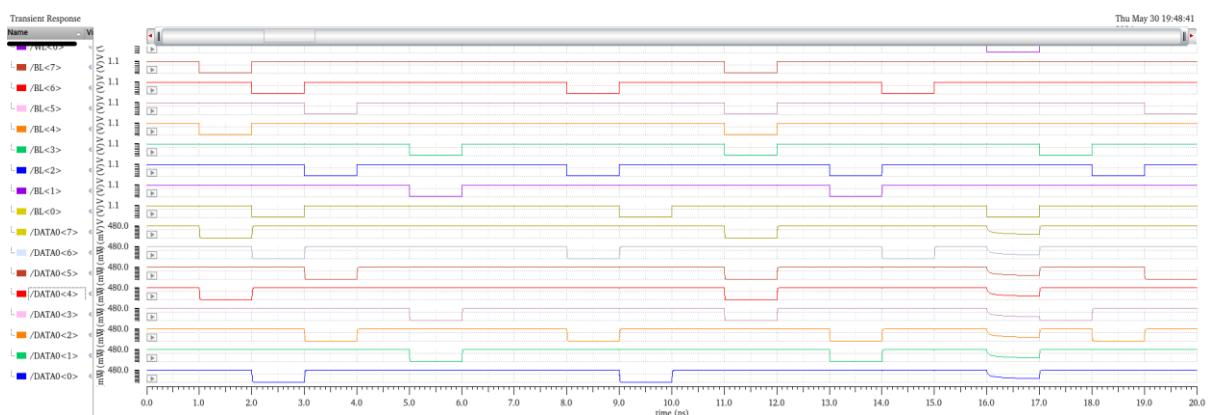
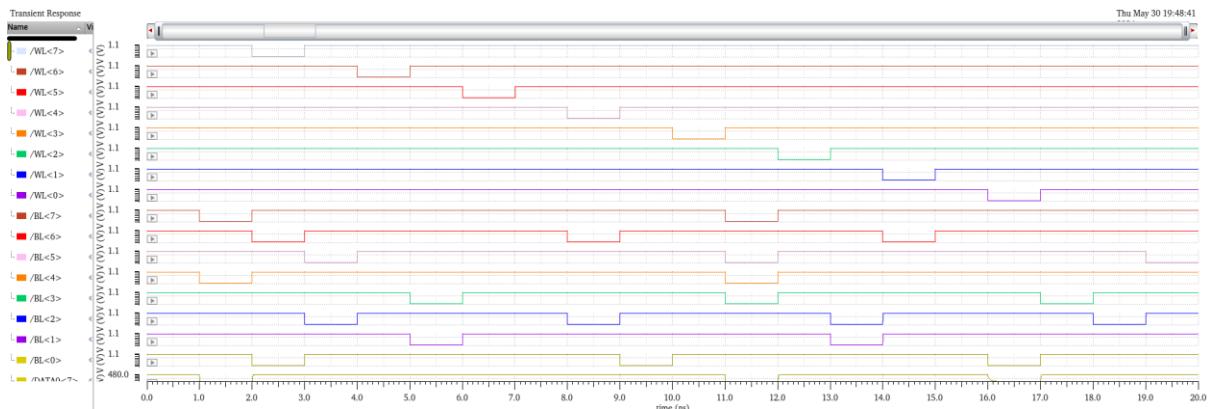
Hình 5. 3 Đo thời gian ghi



Hình 5. 4 Schematic SRAM 8x8



Hình 5. 5 Testbench SRAM 8x8



Hình 5. 6 Hình 5. 6 Waveform ở chế độ ghi cho data0<7:0>

-----HẾT-----