

ストリーム処理

FPGA で画像処理を行う場合、フレームバッファを用意して画像全体を格納する方法と、画像データをラスタスキャン順に送信し、順次処理をしていく方法がある。後者を、ストリーム処理という。ここでは、図 1 のように画像データを FPGA に送り、カーネルサイズが 3×3 の線形フィルタを適用する構成を考える。

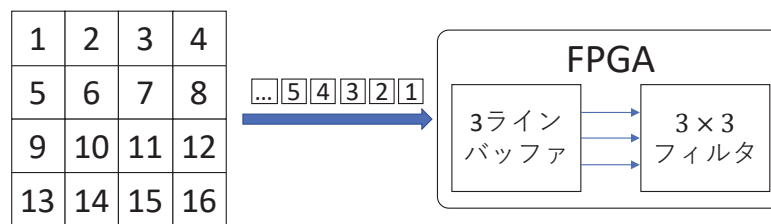


図 1 システム構成

3×3 のフィルタを計算するためには、注目画素とその 8 近傍のデータが必要となる。このデータを用意するために、3 ラインバッファが用いられる。3 ラインバッファは、画像の 3 行分のデータを格納し、後段の回路に提供するための回路である (図 2)。3 ラインバッファは、FIFO IP Core を 3 つ連結して作成できる (図 3)。

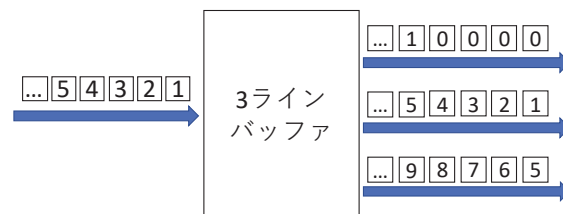


図 2 3ラインバッファの動作

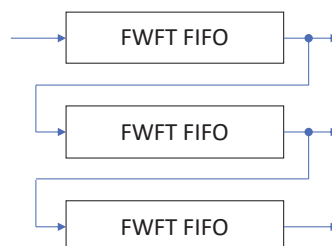


図 3 3ラインバッファの概念図

3×3 フィルタモジュールでは、3 ラインバッファの出力をレジスタに格納し、 3×3 のデータを用意し、計算を行う。このとき、計算をパイプライン化し、並列処理することでスループットを向上させることを目指す。これにより、画像フィルタを高速に計算できる。