

演習概要

FPGA による処理の基本および開発方法の基礎を学ぶため、画像のストリーム処理についての簡単な演習を行う。画像フィルタは、計算の簡単さから 3×3 ガウシアンフィルタを実装することとする。本チュートリアルでは、プラットフォームとして ZedBoard 上で Xilinx を起動し、その上で演習を行っていく。

演習で学ぶこと

- ストリーム処理の基礎
- Vivado での開発方法の基礎
- Verilog の基礎

演習期間の目安

1 週間～

事前に準備するもの

- ZedBoard とその周辺機器 (VGA ディスプレイ、キーボード、マウス、USB ハブなど)
- 2[GB] 以上の SD カード
- Vivado 2014.4 以降 (ライセンスは WebPACK で OK)
- 演習に必要なファイル一式

演習に必要なファイル

GitHub (<https://github.com/HDL-tutorial>) に、演習に必要なデータをアップロードしている。それぞれのリポジトリには、次のようなデータが入っている。

- documents: このドキュメントを含む、本演習のドキュメント集
- xilinx: Vivado プロジェクトなどを含む Xilinx のブートパーティションキット
- software: ZedBoard 上で動作させる C++ プログラム
- out-sim-software: 実機で得られた結果画像が正しいか確認するためのプログラム

各リポジトリのページから、ZIP でダウンロード、もしくは git を使ってクローンすること。