

座位号:

杭州电子科技大学学生考试卷 (A) 卷

考试课程	计算机组成原理		考试日期	2018 年 月 日		成绩	
课程号	A0507030	教师号		任课教师姓名			
考生姓名		学号 (8 位)		年级		专业	

所有试题均做在答题纸上, 否则不计分!

题号	第一大题							总分
	1	2	3	4	5	6	小计	
分数	12	6	14	12	10	4	58	
得分								
题号	第二大题							
	7	8	9	10	11	12	小计	
分数	6	3	5	5	11	12	42	
得分								

答题纸

一、(58分)

1. (12分)

(1) (3分) 使用规格化浮点数表示数据, 有什么优点?

答: 使用规格化的浮点数表示数据的优点:

- (1) 提高了浮点数据的精度;
- (2) 使程序能够更方便地交换浮点数据;
- (3) 可以使浮点数的运算更为简化。

(2) (2分) 写出 X 的规格化浮点数表示形式

$$(X)_2 = 0.001111 \quad X = 0.1111000B \times 2^{-2} \quad [X]_{\text{浮}} = 0.01111110 \quad 1111000 \text{ 即 } 3F78H$$

(3) (2分) 求 Y 的二进制真值

$$[Y]_{\text{浮}} = 1.10000101 \quad 0111011$$

$$Y = -0.1000101B \times 2^5 \quad (Y)_2 = -10001.01$$

(4) (5分) 求 X-Y 浮点数 $[X-Y]_{\text{浮}}$ (采用 0 舍 1 入法, 列出计算步骤)。

$$[E_X]_{\text{浮}} = 0.1111110 \quad [E_Y]_{\text{浮}} = 1.0000101$$

$$[M_X]_{\text{补}} = 0.1111000 \quad [M_Y]_{\text{补}} = 1.0111011$$

a. 对阶: X 对向 Y;
 $[X]_{\text{浮}} = 0.10000101 \quad .00000000 \text{ (1111)}$

b. 尾数相减:
 $[-Y]_{\text{浮}} = 0.10000101 \quad .1000101$

$$\begin{array}{r} 00.0000000 \\ + 00.1000101 \\ \hline 00.1000101 \end{array}$$

c. 结果规格化:

已经规格化

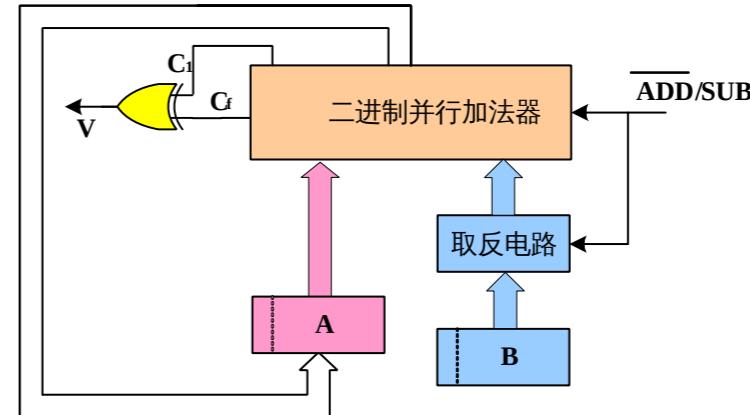
d. 舍入: 0 舍 1 入法

$$[M_{X-Y}]_{\text{补}} = 0.1000110$$

结果: $[X-Y]_{\text{浮}} = 0.100 \quad 0010 \quad 1 \quad 100 \quad 0110 \text{ 即 } 42C6H$

评分标准: a、b、c、d各 1 分, 结果 1 分

2. (6分)



- A: 累加器, 存放 $[X]_{\text{补}}$; B: 寄存器, 存放 $[Y]_{\text{补}}$;
- 取反电路:
- $\overline{\text{ADD/SUB}} = 0$ 时, 补码加法器, 将 B 寄存器直接送入并行加法器;
- $\overline{\text{ADD/SUB}} = 1$ 时, 补码减法器, 将 B 取反送入并行加法器, 同时, 并行加法器的最低位产生进位, 即 B 取反加 1, 此时并行加法器的运算相当于 $[A]_{\text{补}} + [-B]_{\text{补}}$, 完成减法运算。

评分标准: 寄存器及加法器 2 分, 减法电路 4 分, 判溢没有不扣分, 其他电路逻辑正确也可得分

3. (14分)

表 3

指令序号	助记符	寻址方式	源操作数	执行结果
1	MOV R1, 30H	立即寻址	30H	--
2	SUB R1, [16H]	直接寻址	22H	--
3	ADD R1, [SI+26H]	变址寻址	F9H	$(R1) = 07H$ $(FR) = 08H$

座位号:

(12) 22H 或 00100010B (13) 29H 或 00101001B (14) F9H 或 11111001B

4. (12分)

(1) (4分)

指令: XOR DR, A

功能: $A \oplus DR \rightarrow DR$

寻址方式: 源操作数为立即寻址, 目的操作数为寄存器寻址

评分标准: 功能2分, 寻址方式2分。功能描述出来也可得分。

(2) (4分) 写出图2中标注①、②、③的3条微指令必须发送的微操作控制信号。

①MEM → IR, IDC: M-R, IRin, IDC

②DR → LB: DRout, LBin,

③LA \oplus LB → DR: F=A \oplus B, ALUout, DRin

评分标准: 每信号0.5分。

(3) (4分)

控制字段 (21位)	转移测试字段 (2位)	下址字段 (8位)
------------	-------------	-----------

微指令字长31位, 控制存储器容量 $2^8 \times 31$ 位。

评分标准: 每个字段1分, 控存容量计算1分。

5. (10分)

(1) (4分)

主存的地址格式划分。

标记	Cache组地址	块内地址
9	8	3位

主存地址48FB0DH时映射Cache第F7H(或247)组

评分标准: 1个字段1分, 地址映射1分

(2) (6分)

SRAM和DRAM比较

比较内容	SRAM	DRAM
存储信息0和1的方式	双稳态触发器	极间电容上的电荷
电源不掉电时	信息稳定	信息会丢失
刷新	不需要	需要

集成度	低	高
容量	小	大
价格	高	低
速度	快	慢
适用场合	Cache	主存

Cache的特点:

Cache是指位于CPU和主存之间的一个高速小容量的存储器, 用于弥补CPU和主存之间的速度差异, 提高CPU访问主存的平均速度。

相比DRAM, SRAM更适合实现高速小容量的存储器, 因此Cache一般用SRAM构成。

评分标准: SRAM和DRAM比较4分, Cache特点2分。

6. (4分)

(15) 2ms

(16) 15.625us

二、(42分)

7. (6分)

(17) BE800000H (2分)

(18) -143.75 (2分)

(19) E187E000H (1分)

(20) 861F8000H (1分)

8. (3分)

因为是单周期CPU, 在一个CPU周期中既需要取指令又需要存取数据, 而存储器不能同时进行两个操作, 所以需要两个(1分);

哈佛结构(1分)

哈佛结构指令和数据存储于不同的存储器(指令存储器和数据存储器)中; 而冯·诺依曼体系结构的存储器, 则将指令和数据存储于同一个存储器中。(1分)

9. (5分)

是根据微操作控制信号的产生方式(也可以说是根据操作控制信号形成部件的电路结构)区分的, 微程序控制器中, 微操作控制信号从控制存储器读出, 而硬布线控制器由组合逻辑电路即时产生。(2分)

微程序控制器中, 指令的修改和扩充比较容易; 硬布线控制器的执行速度比较快。(3分)

10. (5分)

不能实现。

座位号:

可以在 ALU 的 A 口输入端添加一个多路选择器，控制信号为 rs_shm_s，=0，选择 rs 送 ALU 的 A 口，=1 选择指令的 shamt 字段；

其他阐述合理、设计有效的，也可给分。

11. (11分)

(1) (5分) (21) 11 (22) 9 (23) 2 (24) 10000
(25) 32位

(2) (6分)

表 6 指令控制信号表

指令	w_r_s	imm_s	rt_imm_s	wr_data_s	ALU_O_P	Write_Re_g	Mem_Wri_te	PC_s
addi	01	1	1	00	0100	1	0	00
lw	01	1	1	01	0100	1	0	00
bne	-	1	0	-	0101	0	0	10

分)

(1) (2分) (26) FE000000 (27) FFFFFFF

(2) (4分)

4 组，每组 2 片 8M

第 1 组: FFFFFFFH—FF800000H

第 2 组: FF7FFFFFFH—FF000000H

第 3 组: FFFFFFFFH—FE800000H

第 4 组: FE7FFFFFFH—FE000000H

(3) (6分)

芯片 2 个一组，位并联正确；(1 分)

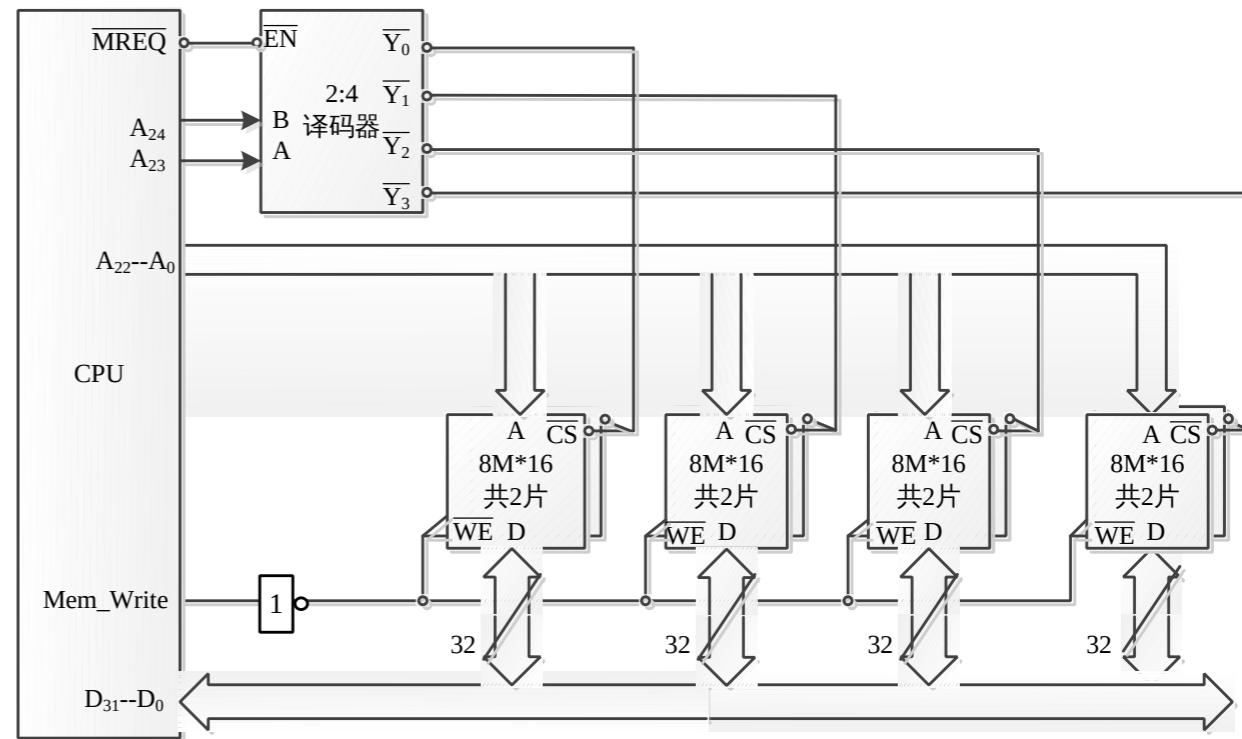
共 4 组，使用 2:4 译码器（或者其他译码器），片选信号正确；(2 分)

地址信号及连接正确(1 分)；

控制信号及连接正确(1 分)；如果直接使用 R/W#信号，扣 1 分；

数据信号及连接正确(1 分)；

如果 CPU 的地址考虑了 32 位，不扣分，不加分；



12. (12)