

座位号：

杭州电子科技大学学生考试卷 (A) 卷

考试课程	计算机组成原理 (甲)		考试日期	2019年6月日		成绩	
课程号	A0507030		教师号	任课教师姓名			
考生姓名	学号 (8位)			年级		专业	

题号	第一大题(共 38 分)			第二大题 (共 34 分)				总分
	1	2	3	1	2	3	4	
分数	10	8	20	6	2	10	16	
得分								
题号	第三大题(12 分)		第四大题 (共 16 分)					
	1	2	1	2	3	4	5	
分数	6	6	6	2	3	2	3	
得分								

请把答案写在试卷规定的地方，其它地方一律无效。

试 题

一、综合题 (本大题共 38 分) 设有 CPU 字长 16 位，地址线有 16 根，为 $A_0 \sim A_{15}$ ， A_0 为地址线低位， A_{15} 为地址线高位，数据线有 16 根，为 $D_0 \sim D_{15}$ ， D_0 为数据线低位， D_{15} 为数据线高位， \overline{WE} 为控制存储器的读写信号， $MREQ$ 是 CPU 访问存储器的请求信号。设存储器系统由 2 片 $8K \times 16bit$ 和 1 片 $16K \times 16bit$ 的 SRAM 组成。 \overline{RD} 和 \overline{WR} 分别为存储器芯片的读、写控制信号， \overline{CS} 为存储器的片选信号，下图是 CPU 与存储器的不完整的连接图，设该存储器系统从地址 2000H 开始占有连续 32KB 空间，存储器按字编址，存储器与 CPU 的控制信号功能如表 1 所示。

表 1 存储器与 CPU 控制信号逻辑功能

\overline{CS}	\overline{RD}	\overline{WR}	存储器功能
1	X	X	无操作
0	0	1	读存储器
0	1	0	写存储器
0	1	1	无操作
0	0	0	禁止

$MREQ$	\overline{WE}	CPU 对存储器的控制
1	X	无操作
0	1	读存储器
0	0	写存储器

1. (本题共 10 分) 请按照给出条件，添加若干逻辑电路，并直接在图 1 上完成 CPU 与存储器系统连接。未标出信号线的请标出 (有数字的部分)，地址线需要标出连接存储器实际的地址线数 (比如存储器需地址线 10 根，则标出 $A_0 \sim A_9$)。

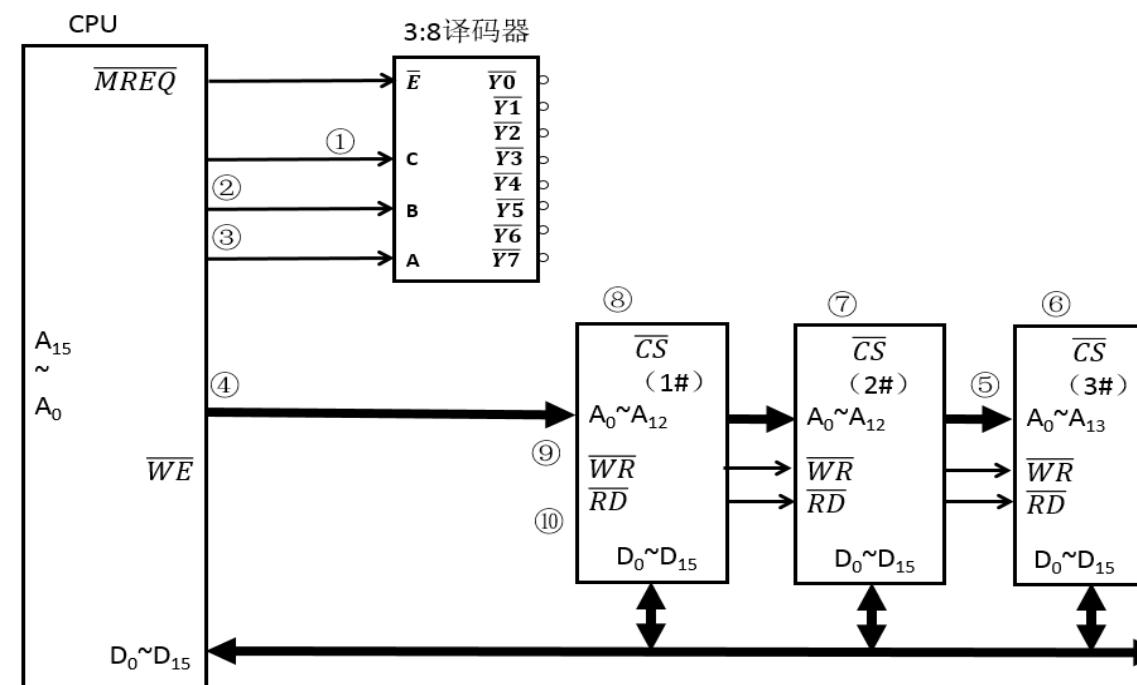


图 1

2. (本题共 8 分) 如果采用 $8K \times 16bit$ SRAM 组成 $64KW$ 存储系统，设存储器读写时间是总线传送时间的 8 倍，若要提高存储器带宽

(1). 可采用什么方式组织存储器？(2 分)

(2). 请写出存储器组织的地址格式并标出各字段的含义和位数。(4 分)

(3). 该机器是 SISD、SIMD、MISD、MIMD 四种体系结构中的哪种结构？(2 分)

3. (本题共 20 分) 设该机支持如下格式的浮点数，其中阶码用移码表示，尾数用补码表示，

数符 (1 位)	尾数 (11 位)	阶符 (1 位)	阶码 (3 位)
----------	-----------	----------	----------

设 $(X)_{10} = 13 / 64$,

座位号:

(1). (2 分) 求 X 的二进制规格化真值 (即科学表达式):

X=

(2). (2 分) 将 $[X]_{\text{浮}}$ 的编码按照上面格式填入下面空格, 每格填一位二进制数。

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

(3). (2 分) 如果数据采用小端格式存储, 该浮点数在内存地址 N 开始存储的 16 进制数值填入表 2 中。

表 2

地址	数据
N	
N+1	

(4). (4 分) 浮点数加减运算除零操作数检查外, 还需要哪 4 个步骤?

(5). 设: $[X]_{\text{浮}} = 0.11010\ 100000\ 1,101$;

$[Y]_{\text{浮}} = 1.00111\ 010111\ 1,010$;

求 $[X+Y]_{\text{浮}}$ 。要求阶码用移码运算, 尾数用补码运算, 请写出计算过程的每个步骤。

(4 分) 第一步计算过程: _

第一步完成的结果:

$[X]_{\text{浮}} =$

$[Y]_{\text{浮}} =$

(2 分) 第二步计算过程:

(2 分) 第三步处理过程:

(2 分) 第四步处理过程:

最终结果 $[X+Y]_{\text{浮}} =$

二、(本大题共 34 分) 若给主存容量为 64KW 的存储器配备一个容量为 1KW 的 Cache, 采用 2 路组相联, 每块 2 个字 (字长 16bit)。

1. (本题共 6 分) 画出主存地址格式, 并标出每个字段的含义和位数。

解题过程:

结果:

--	--	--

2. (本题共 2 分) 主存地址 2300H 可映射到 Cache 的哪一组?

结果: 组号 =

3. (本题共 10 分) 假设该机采用 RISC 指令系统, 共有 8 个 16 位寄存器, 指令字长固定为双字长 (机器字长 16 位), 要求可以最多定义 128 种操作, 具有立即、直接、间接、寄存器、寄存器间接、变址、相对、堆栈等 8 种寻址方式, 指令包括 R-R 型、R-S、S-R 型三种类型指令。

请设计该机的指令格式, 并说明各字段的功能与位数。

指令格式:

座位号:

说明:

4. (本题共 16 分) 若改变机器结构, 采用哈佛结构, 在指令存储器设置一个容量为 1KW 的 Cache, 采用 2 路组相联, 每块 2 个字 (字长 16bit)。按照题 3 的指令格式 (指令为 32 位固定字长, 设形式地址 16 位)。

若有一段 C 语言程序

```
int SUM=0;  
int ad_value [16];  
for (i=0;i<=16;i++)  
    SUM=SUM+ ad_value[i];
```

设经编译后得到如下汇编语言程序

数据存储器中:

```
SUM:    0000      ; int SUM=0, 单元 SUM 存放一个整型数据 0  
ad_value:   ; int ad_value [16], 定义 ad_value 单元存放 16 个整型数组
```

指令存储器中:

```
L0:    MOV  R0, #0      ;0→寄存器 R0,  
        MOV  R1, #0      ; 0→寄存器 R1  
        MOV  R2, #ad_value ;将存放数组 ad_value 的首地址→变址寄存器 R2  
L1:    MOV  R0, SUM      ;将内存地址 SUM 单元的数据→寄存器 R0  
        ADD  R0, [R2+0]    ;内存地址 EA=[(R2) +0], [EA]+(R0)→R0  
        MOV  SUM,R0        ;(R0) →内存地址 SUM 中  
        ADD  R2, #2        ;地址+2, 指向下个数据  
        ADD  R1, #1        ;计数值+1  
        CMP  R1, #16       ;R1 与 16 比较, 置零标志条件码 ZF 等  
        JNE  L1            ;结果不相等, 转 L1 处执行, 否则, 顺序执行  
  
L2:    ...
```

- (1). (4 分) 将标号 L1 开始的 4 条指令的源操作数采用的寻址方式填入表 3 中。

表 3

序号	指令	源操作数寻址方式
1	L1: MOV R0, SUM	
2	ADD R0, [R2+0]	
3	MOV SUM,R0	
4	ADD R2, #2	

- (2). (4 分) 分析执行上述指令段 (从标号 L0 开始的指令到 L2 (不包括 L2 所在的指令)), 求执行该段程序指令 Cache 的命中率 h 是多少? 简要写出分析过程。

分析过程:

结果: h=

- (3). (2 分) 设该指令存储器读写操作需时间 10ns, 指令 Cache 读写时间是 2ns, 则执行该段程序, 指令存储器/Cache 系统的平均访问时间 ta 是多少(需写出计算公式)?

ta=

- (4). (2 分) Cache 的效率 e 是多少(需写出计算公式)?

e=

- (5). (2 分) 如果上面的指令地址(L0)从 2100H 开始存放, 则标号 L1 所在的指令地址是多少?

L1: MOV R0, SUM 的指令地址=

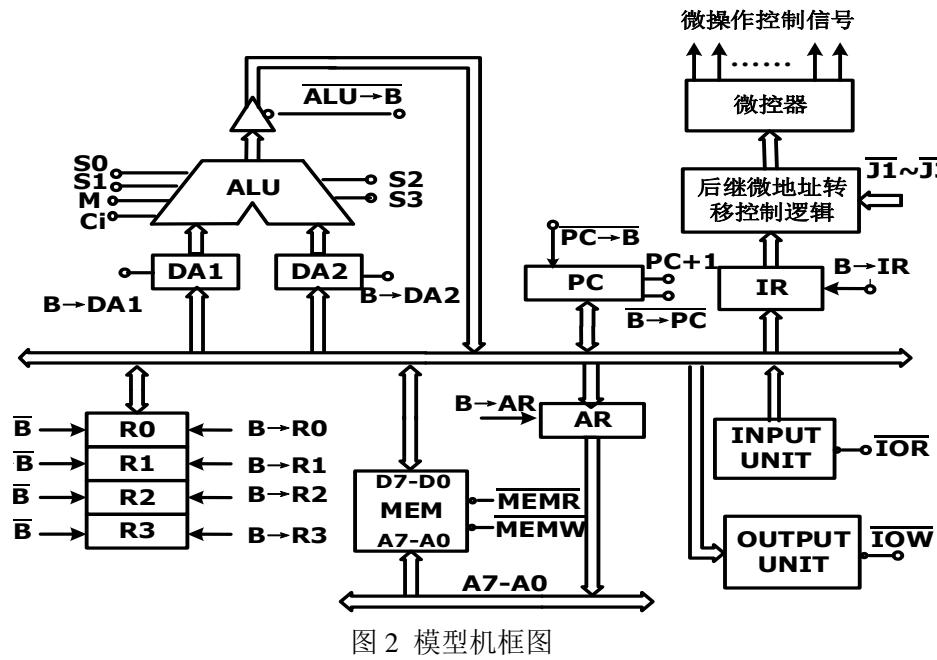
- (6). (2 分) 指令 JNE L1 的偏移地址(指令第二个字)是多少(请用补码表示, 写出计算公式) ?

偏置值 Disp=

[Disp]_补=

座位号：

三、(本大题共 12 分) 设有一模型机，字长 8 位，地址总线 8 位，如图 2 所示，采用微程序控制器方式，分析该图中标出的控制信号，其中 J1~J3 为微指令转移的判断测试控制，如果该机共有指令 100 条，每条指令平均需 7 条微指令实现，其中 3 条是共用的，如果微指令控制采用直接控制法，微指令的下条指令地址由微指令下址字段给出，判断测试控制信号 J1~J3 采用译码输出，



1、(本题共 6 分) 请设计微指令格式，并说明各字段的位数和含义。填入下面格子中。

--	--	--

2、(本题共 6 分) 图 3 是实现指令 ADD R0, 10H 的微程序流程图，但缺了三条微指令，请填入合适的微指令，完成该指令（指令功能：[R0]+10H→R0, 2 字节指令，第二字节为 10H）的微程序流程图，并说明执行微指令所产生的 PC→AR, PC+1→PC 的微命令信号。

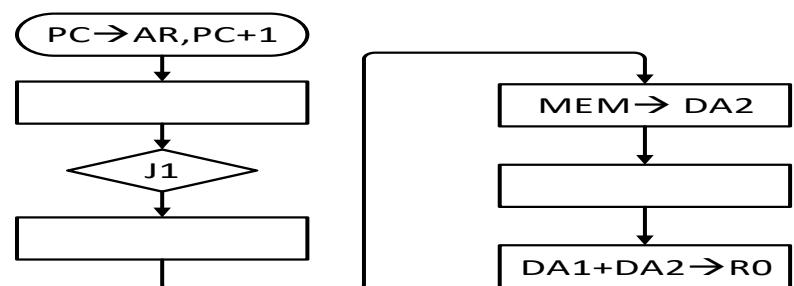


图 3 微程序流程图

执行 PC→AR, PC+1→PC 微指令所产生的微命令信号：

四、(本大题共 16 分) 图 4 是实现 32 位 MIPS 单周期的模型机结构和数据通路。ALU 有 16 种运算功能，加法时 ALU_OP=ADD(0100)；减法时 ALU_OP=SUB(0101)；逻辑左移 ALU_OP=SLL (0011)；位与运算 ALU_OP=AND (0010)。

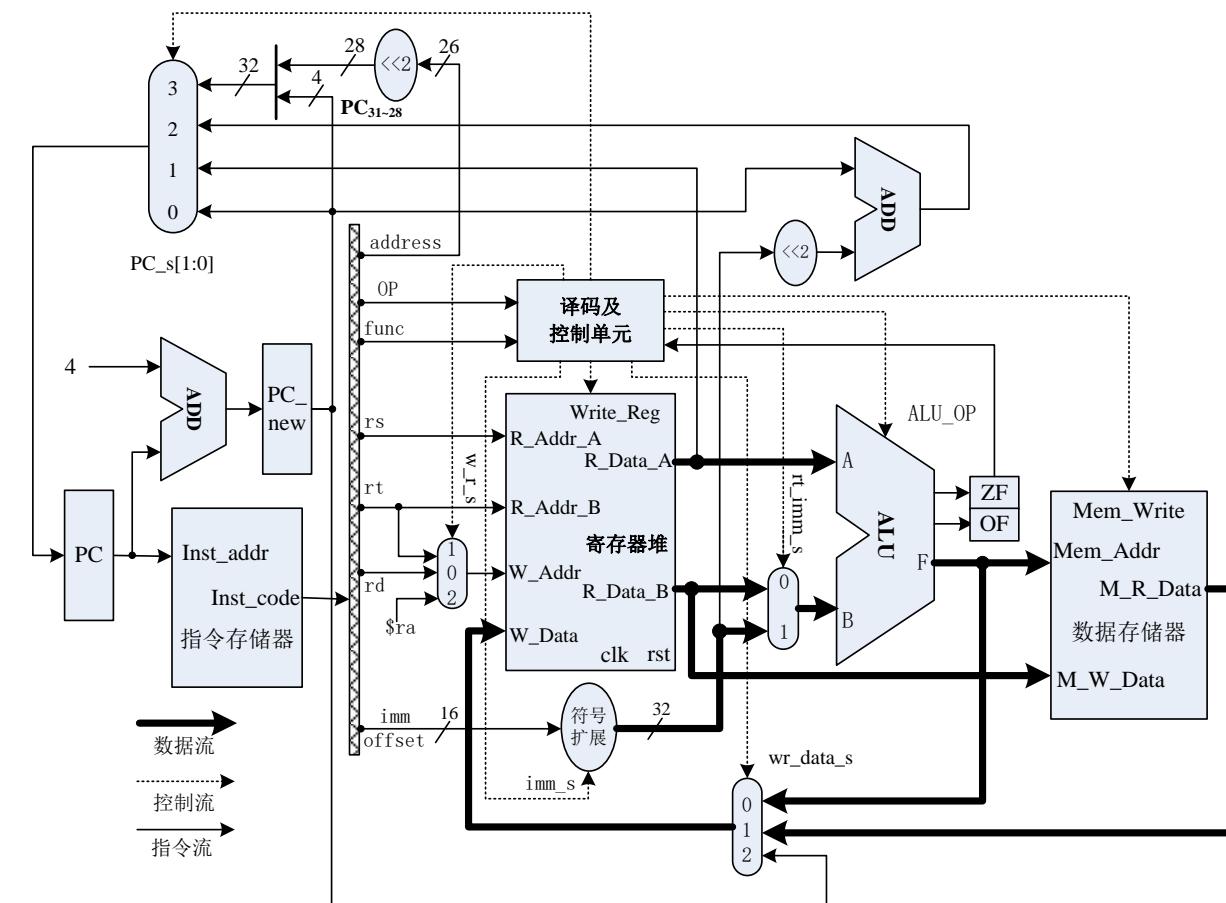


图4 MIPS单周期CPU结构图

指令 lw rt, (rs+imm) ; 是访存取数指令：[(rs)+imm]→rt, imm 为偏移量

1. (本题共6分) 请在图4上直接画出该指令从取指令到完成执行的数据通路 (用箭头线表示，画出除控制信号外所有经过的部件数据通路，如果数据经过多路选择开关，则将箭头线经过对应开关的数值覆盖) 注：控制信号 Write_Reg 为高电平表示写寄存器、Mem_Write 为高电平表示写存储器。

2. (本题共2分) 指出该机器采用哈佛体系结构还是普利斯顿体系结构？它和冯·诺依曼体系结构有何不同。

座位号:

3. (本题共3分) 写出表4中该指令的数据通路对应的控制信号的取值。

表4

指令	Write_Reg	Mem_Write	PC_S
lw rt, (rs+imm)			

4. (本题共 2 分) 设指令在时钟的上沿开始执行, 则 PC_NEW 中的值应该在时钟上沿还是下沿送入 PC 中。

5. (本题共 3 分) 在虚拟存储器管理中, 实现虚存地址到物理地址的变换有那三种方式?