

实验3 基本模型机系统设计实验 (第5次课)

2025.10



哈尔滨工程大学计算机实验教学中心

时序电路实验

实验目的

- 1.掌握节拍脉冲发生器的设计方法和工作原理
- 2.掌握利用框图输入法设计节拍脉冲发生器电路的方法。

实验原理

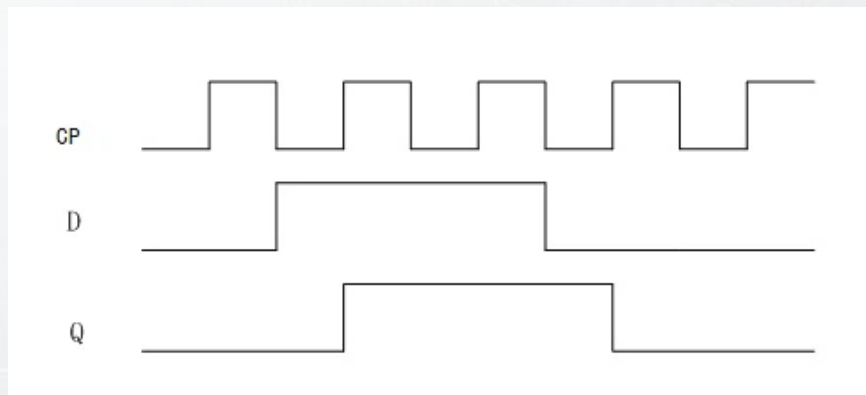
- 1.计算机之所以能够按照人们事先规定的顺序进行一系列的操作或运算，就是因为它的控制部分能够按一定的先后顺序正确地发出一系列相应的控制信号。
- 2.这就要求计算机必须有时序电路。控制信号就是根据时序信号产生的。节拍脉冲发生器是计算机时序电路中的关键部件。

D触发器

D触发器是一个具有记忆功能的，具有两个稳定状态的信息存储器件，是构成多种时序电路的最基本逻辑单元，也是数字逻辑电路中一种重要的单元电路。

D	CLK	Q	QN
0	时钟上升沿	0	1
1	时钟上升沿	1	0
×	0	last Q	last QN
×	1	last Q	last QN

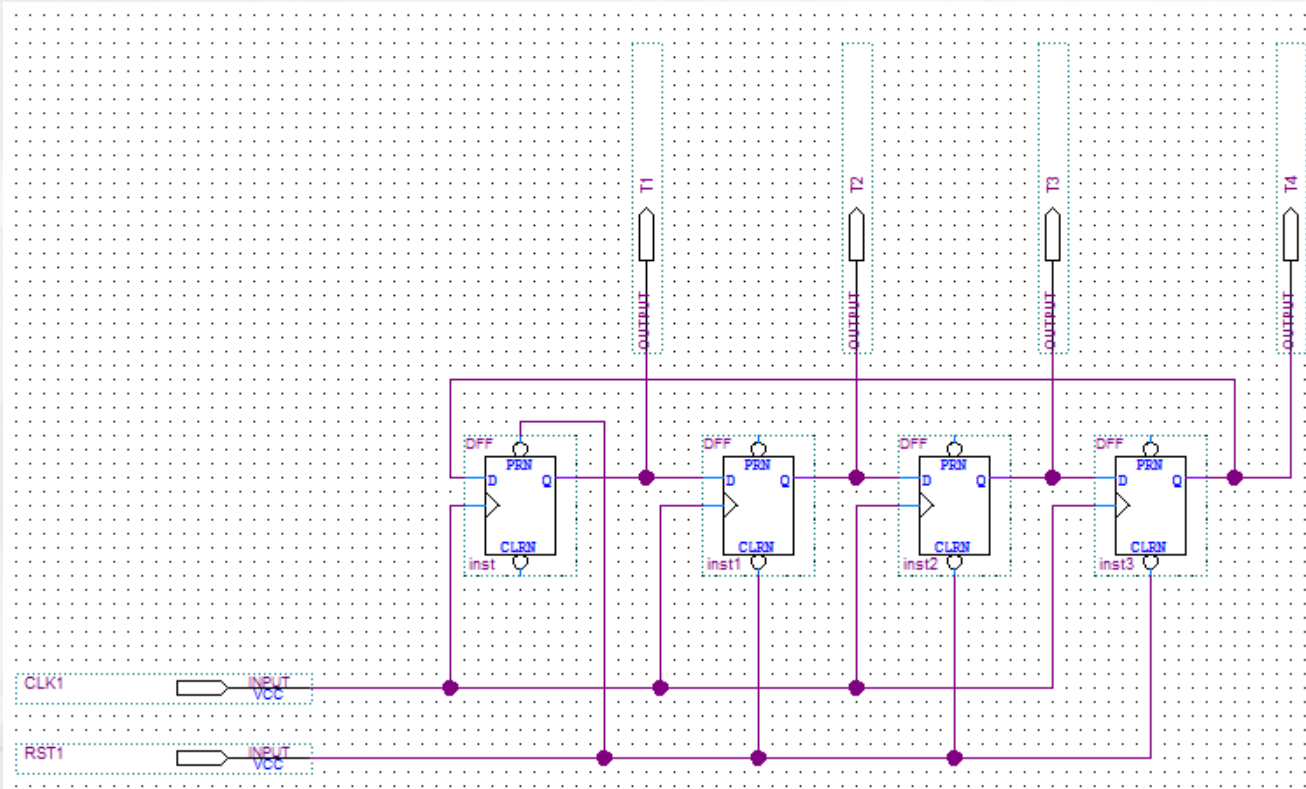
D触发器功能表



D触发器时序图

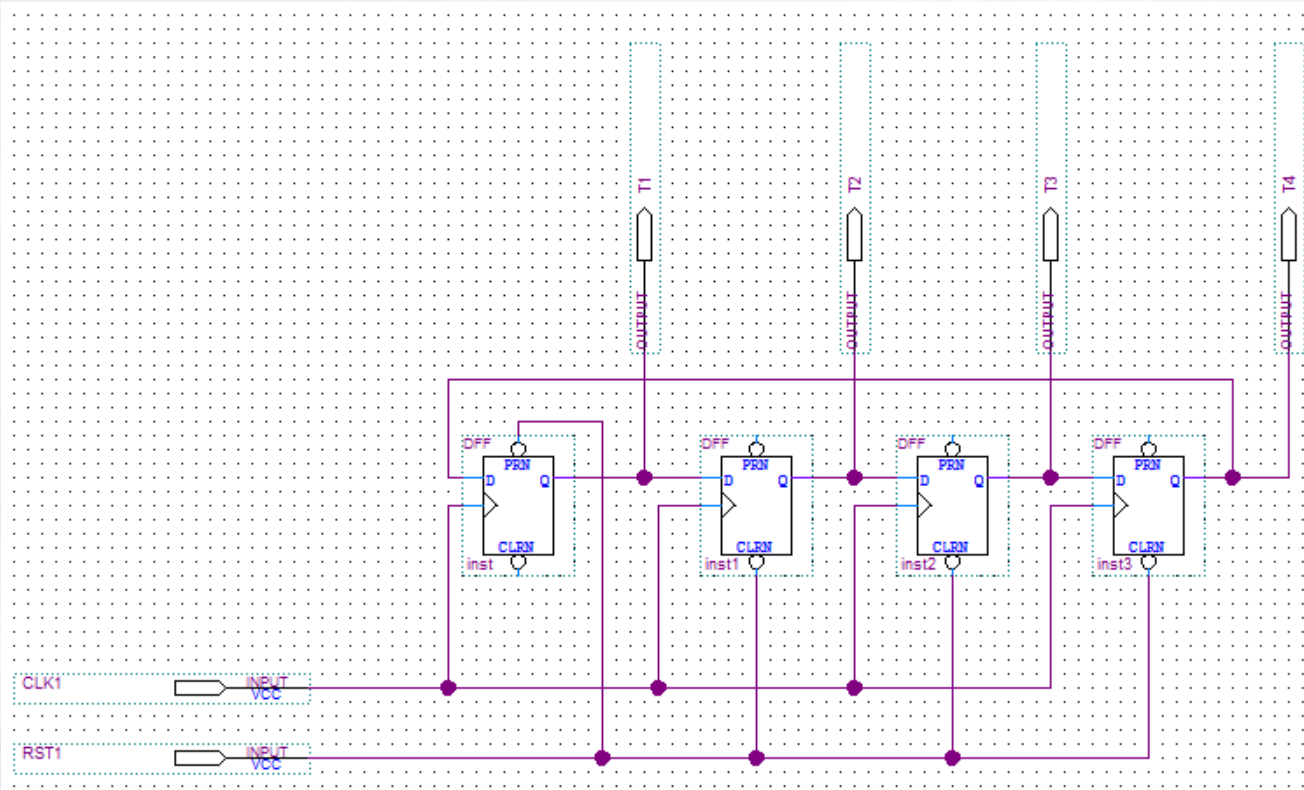
节拍脉冲发生器原理图

节拍脉冲发生器由4个D触发器组成，可产生4个等间隔的时序信号T1~T4



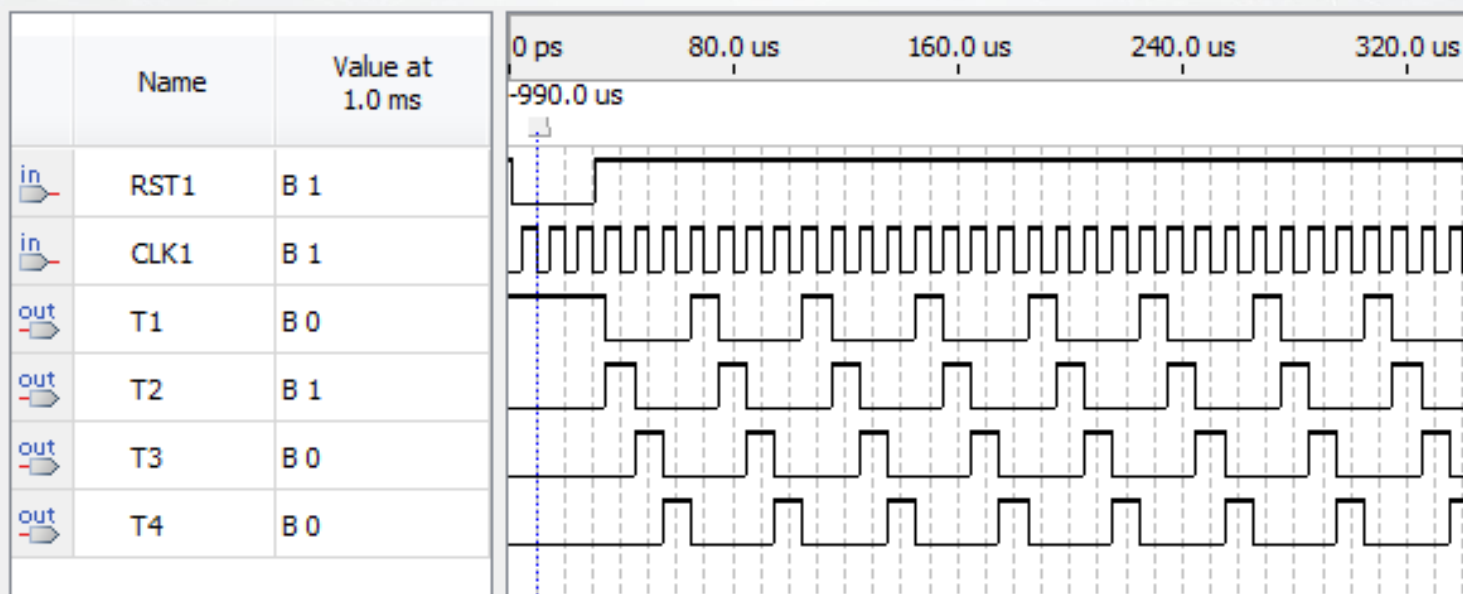
节拍脉冲发生器原理图

节拍脉冲发生器由4个D触发器组成，可产生4个等间隔的时序信号T1~T4



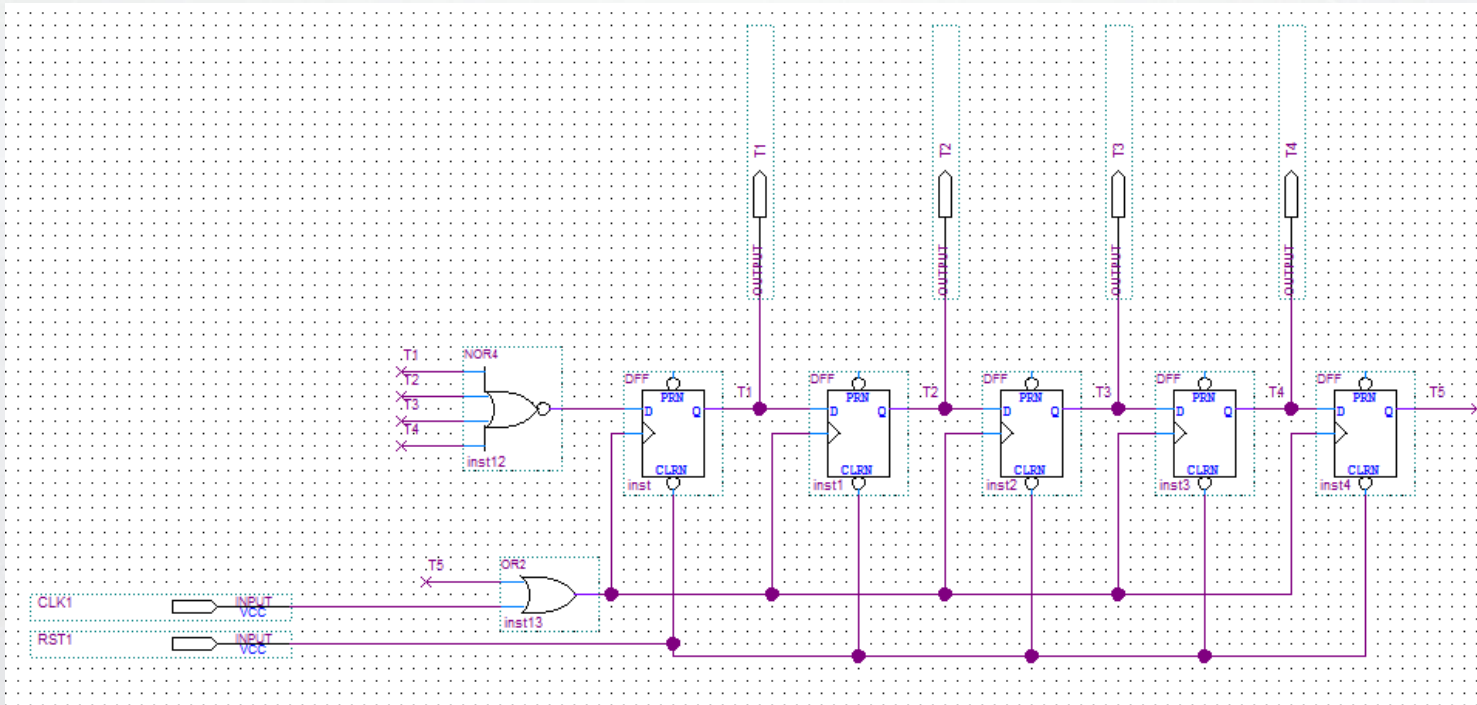
节拍脉冲发生器仿真波形图

当RST1输入为一个负脉冲，T1~T4将在CLK1的输入脉冲作用下，周期性地轮流输出正脉冲。



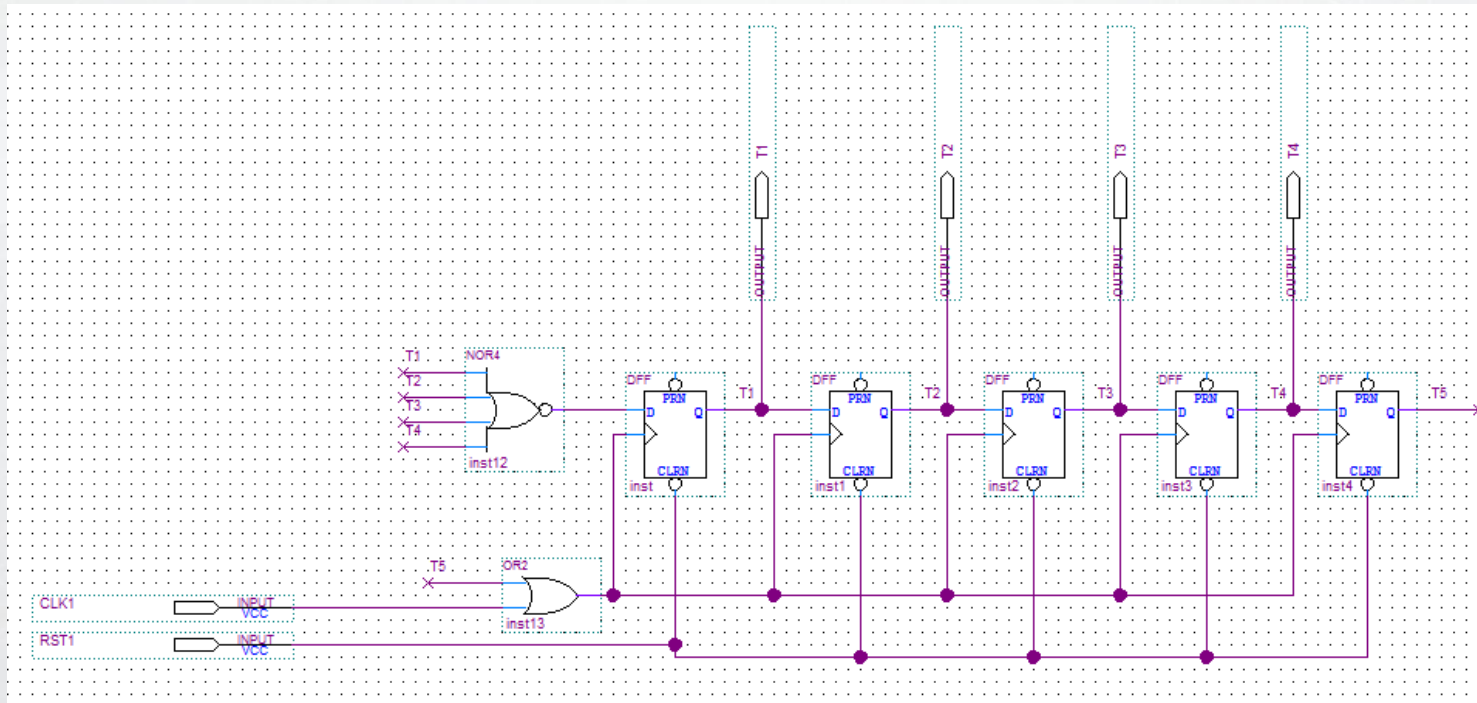
单步运行节拍脉冲发生器原理图

在单步方式下，每当RST1由低电平转为高电平时，输出一组T1、T2、T3、T4节拍信号。



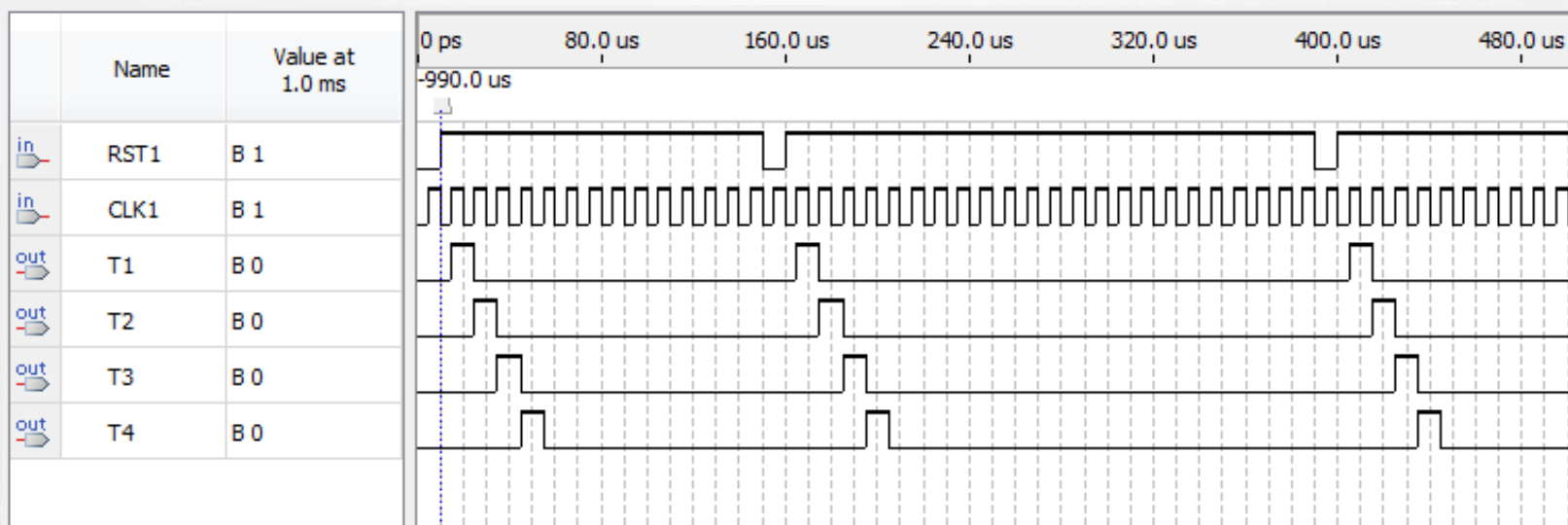
单步运行节拍脉冲发生器原理图

在单步方式下，每当RST1由低电平转为高电平时，输出一组T1、T2、T3、T4节拍信号。



单步运行节拍脉冲发生器仿真波形图

在单步方式下，每当RST1由低电平转为高电平时，输出一组T1、T2、T3、T4节拍信号。



实验内容与要求

1、电路设计

在Quartus Prime软件中，利用硬件描述语言或框图设计单步/连续运行节拍脉冲发生器。分析电路图，解释如何实现单步或连续输出节拍脉冲信号。

2、完成仿真，仿真要求：

合理设置各个输入信号，仿真节拍脉冲发生器单步运行和连续运行功能。

3、将并下载到FPGA实验台进行测试

选择合适的电路模式结构，对电路进行引脚锁定，编程下载到FPGA实验台，演示电路的功能。

实验任务与步骤

- 1、新建工程，新建框图文件 (*.bdf)，设计单步/连续运行节拍脉冲发生器。使用D触发器DFF和2选1选择器21mux元件，保存文件。

主菜单“File”→“New Project Wizard”，新建工程Timing（实体名）
主菜单“File”→“New”项，选择Block Diagram/Schematic File，新建框图文件，保存为 Timing.bdf。

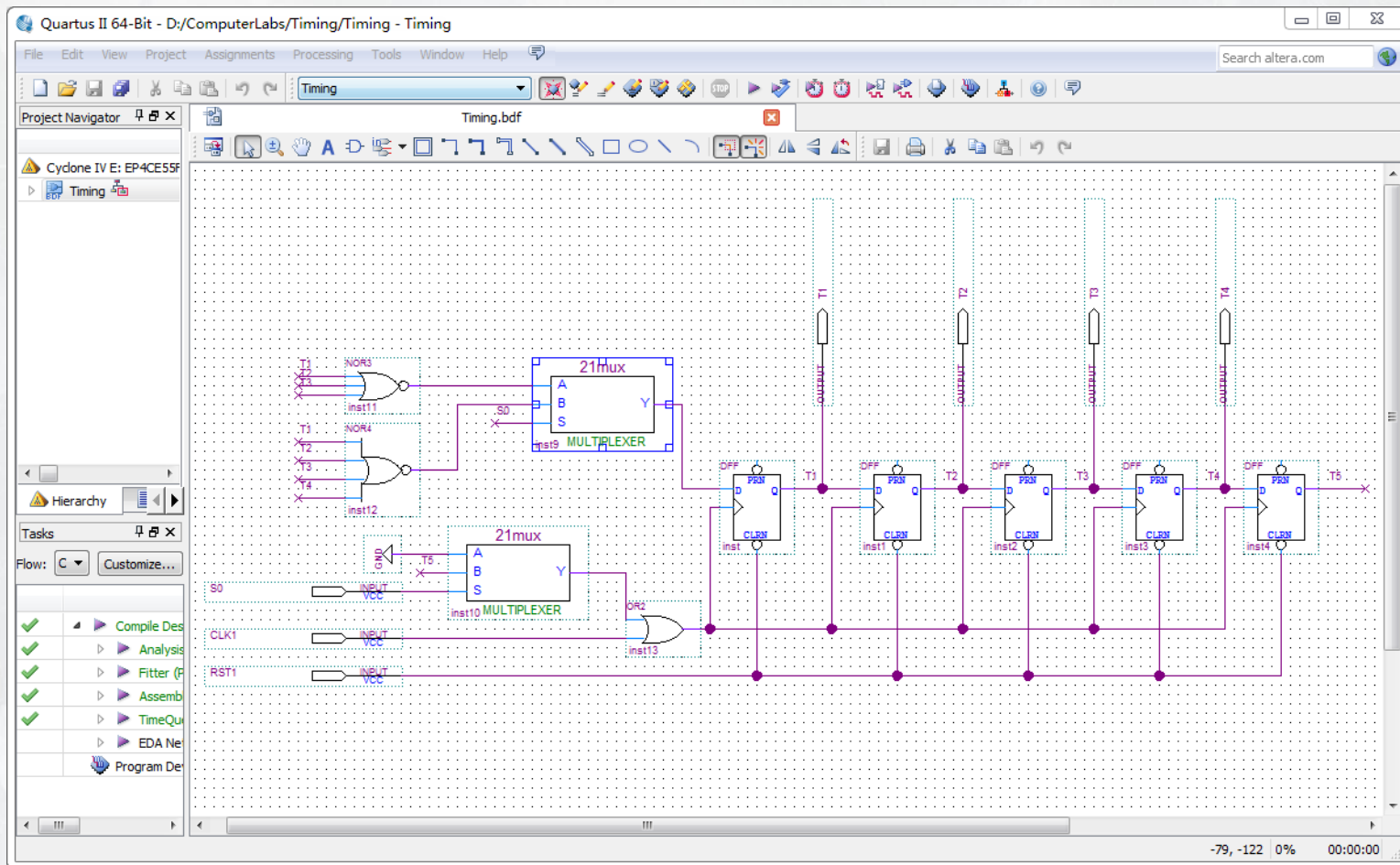
- 2、设置器件

主菜单“Assignmemts”→“Device”项，选择Cyclone IV E系列
EP4CE55F23C8芯片

- 3、编译电路

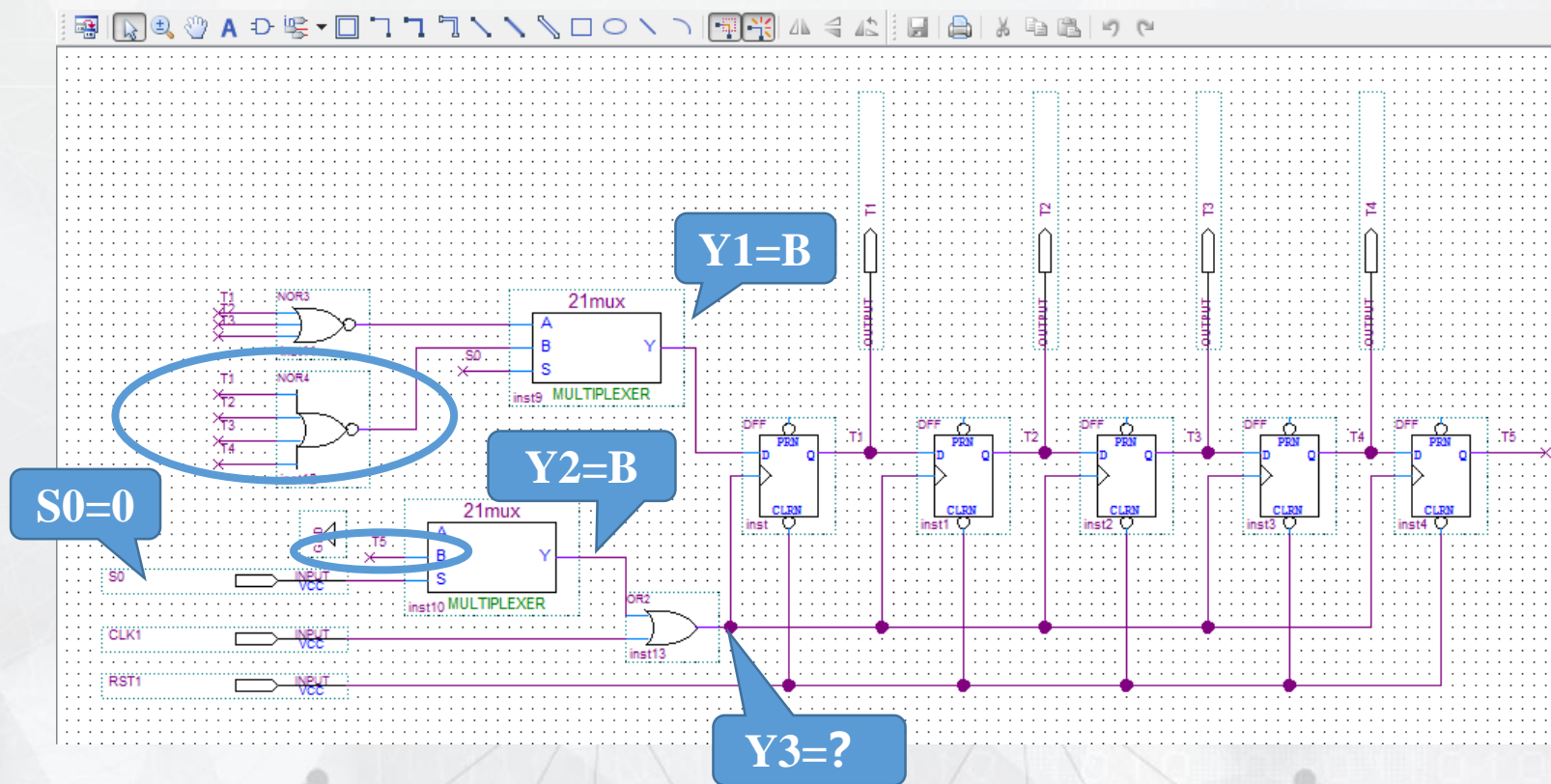
主菜单“Processing”→“Start Compliation”项，启动编译

单步/连续运行节拍脉冲发生器电路



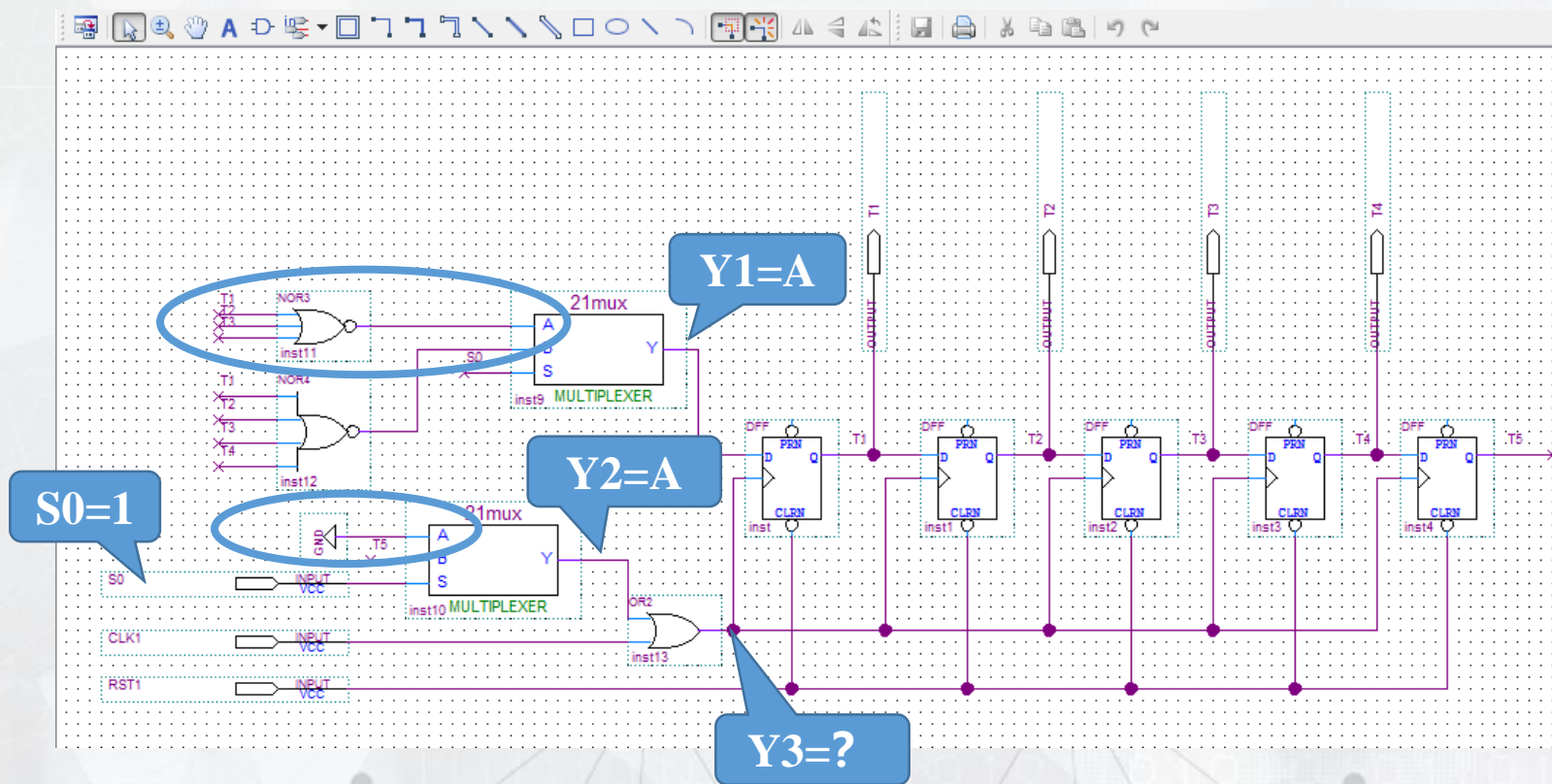
节拍脉冲发生器——单步方式

当 $S0=0$ 时， $Y=B$ ，单步方式；



节拍脉冲发生器——连续方式

当 $S0=1$ 时， $Y=A$ ，连续方式；

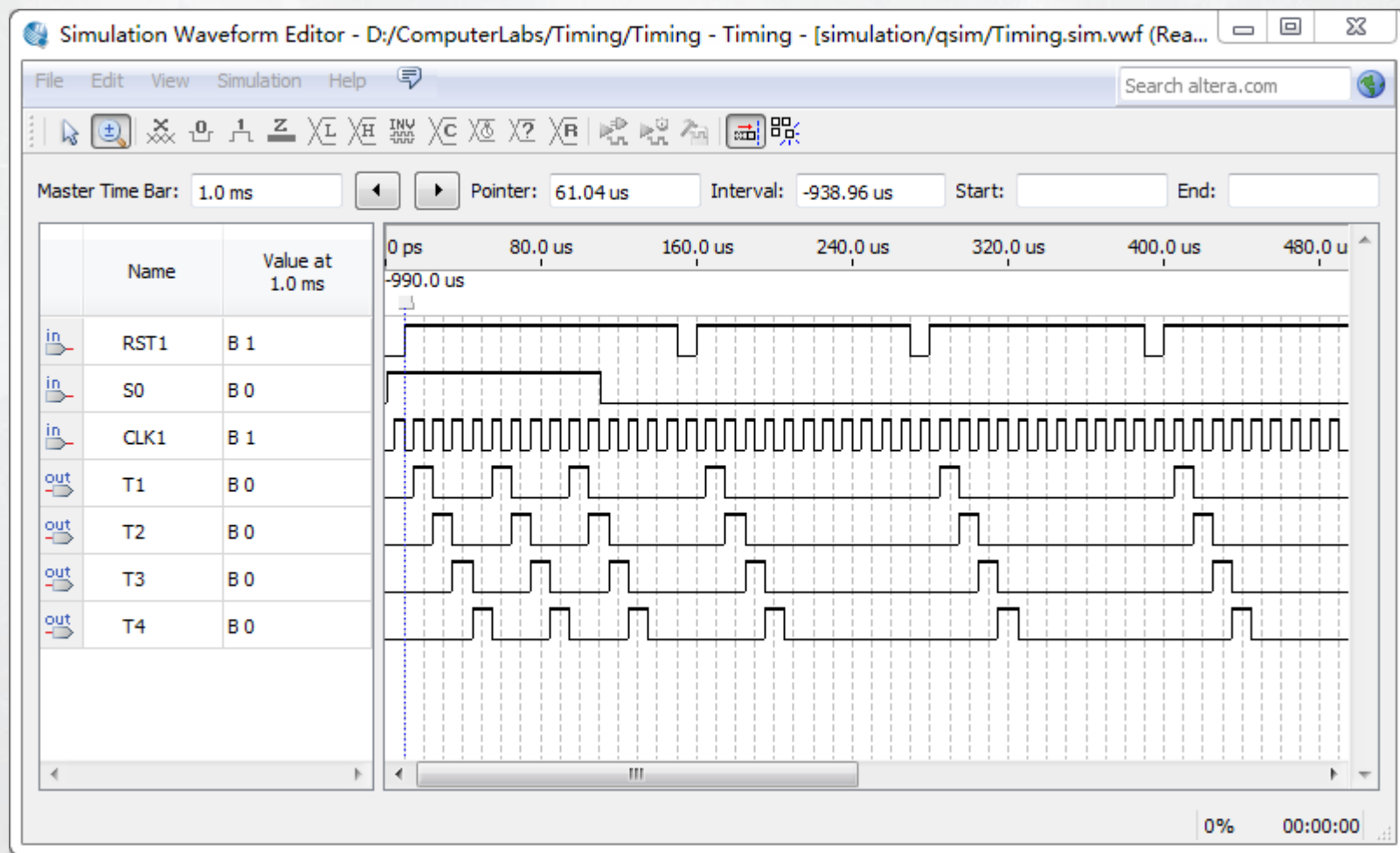


实验任务与步骤

4、新建波形图文件 (*.vwf), 设置仿真时间, 添加输入输出端口, 设置输入信号值, 保存文件。运行仿真。

建立仿真波形文件：主菜单“File”→“New”项，选择 University Program VWF，新建*.vwf，打开波形编辑器。
设置仿真时间：主菜单“Edit”→“Set End Time”项。
添加输入输出端口：波形编辑器窗口主菜单“Edit”→“Insert”→“Insert Node or Bus”
运行仿真：波形编辑器窗口主菜单“Simulation”→“Run Functional Simulation”项。

单步/连续运行节拍脉冲发生器仿真波形图

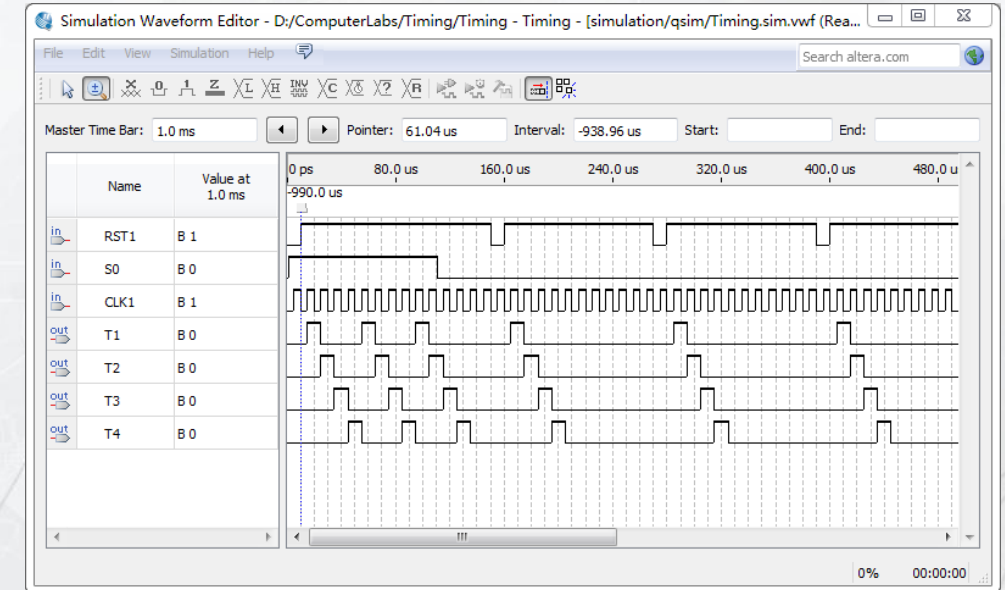
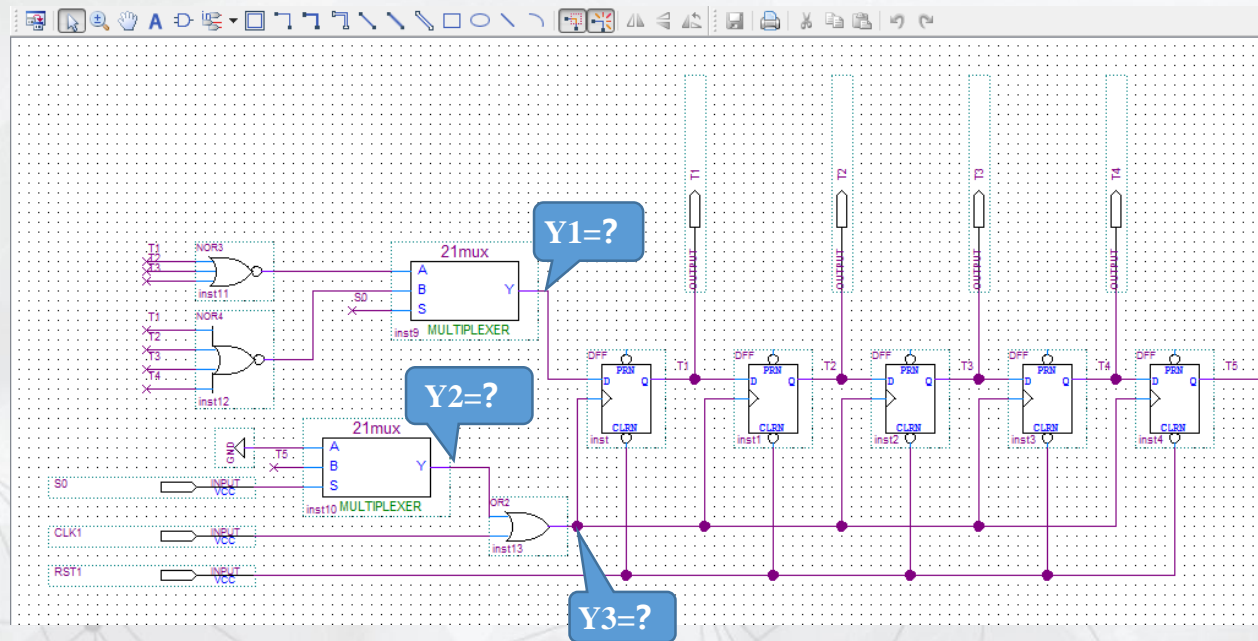


S0=1, 连续工作方式

S0=1	T1	T2	T3	T4	Y1	Y2	Y3
Clk1上升沿1							
Clk1上升沿2							
Clk1上升沿3							
Clk1上升沿4							
Clk1上升沿5							

S0=0, 单步工作方式

S0=0	T1	T2	T3	T4	T5	Y1	Y2	Y3
Clk1上升沿1								
Clk1上升沿2								
Clk1上升沿3								
Clk1上升沿4								
Clk1上升沿5								



实验任务与步骤

5、选择**KX-CDS**实验台，选择合适的电路模式结构，例如NO.5，对照电路模式图和引脚表，查找引脚号。打开编程器，输入引脚号，对电路进行引脚锁定，编译工程。

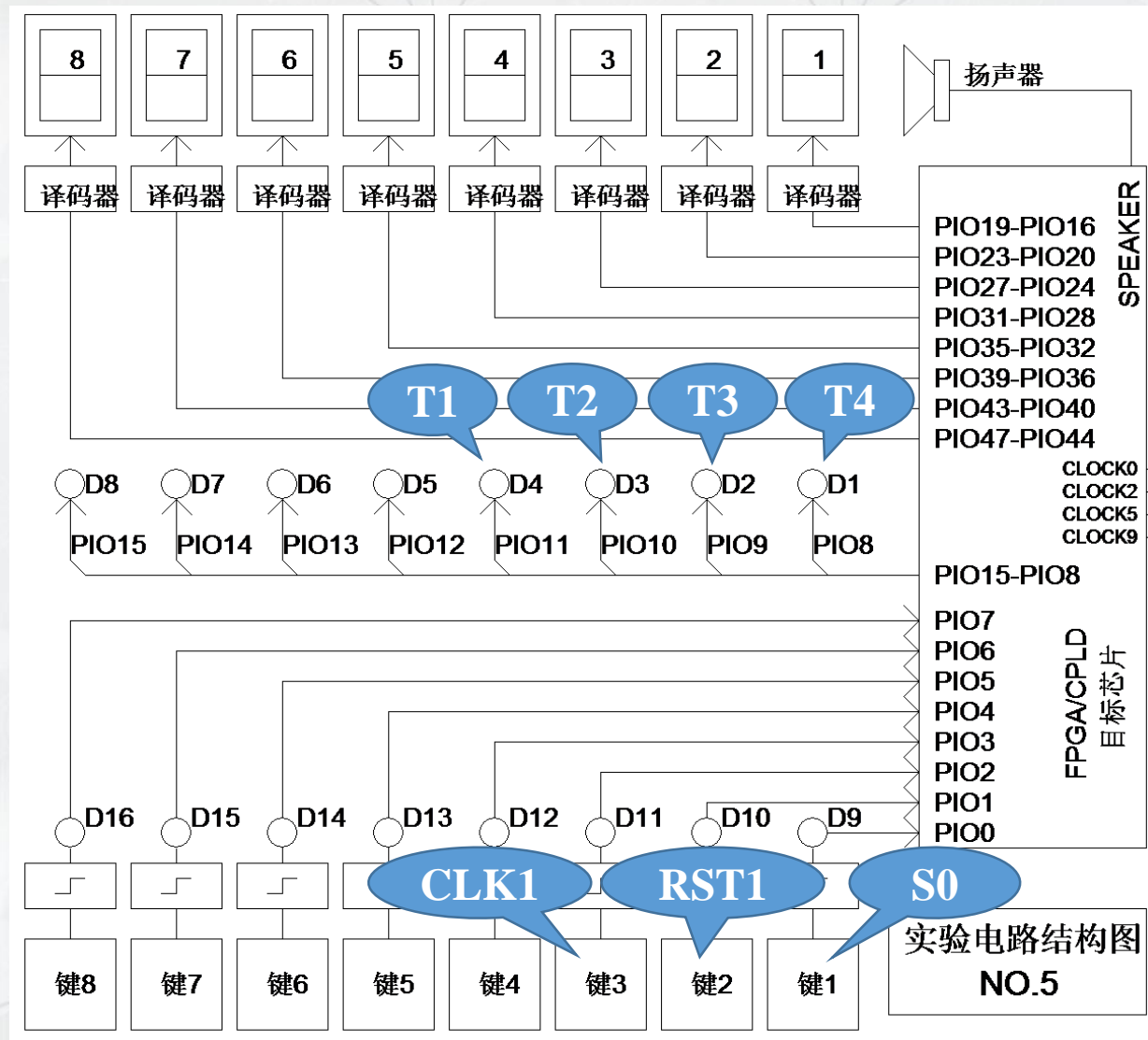
主菜单“Assignments”→“Pin planner”项

6、下载sof文件到FPGA实验台，演示节拍脉冲发生器的功能。

主菜单“Tools”→“Programmer”项，打开编程器，设置硬件，连接实验台。

在Programmer窗口，点击Start按钮，Progress为100%时，下载完毕

选择FPGA实验台电路结构No.5



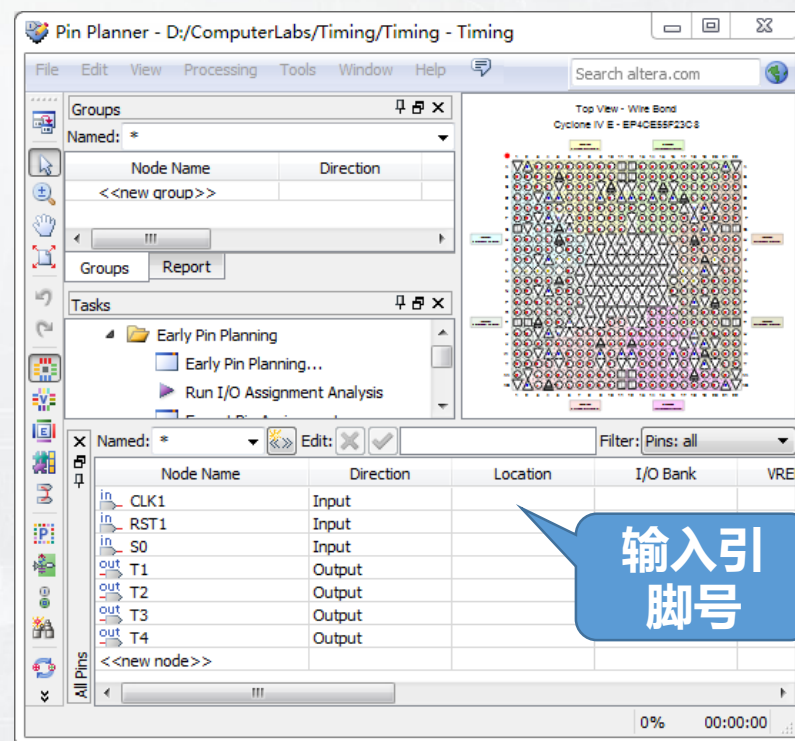
FPGA实验台引脚锁定

参照电路模式图No.5，确定引脚名称，再查找引脚表，获得引脚号

引脚锁定方案(No.5)

输入/输出端口	外设	引脚名称	引脚号
CLK1	按键3		
RST1	按键7		
S0	按键5		
T1	Led灯4		
T2	Led灯3		
T3	Led灯2		
T4	Led灯1		

主菜单“Assignments”→“Pin”项，在Location栏中输入引脚号



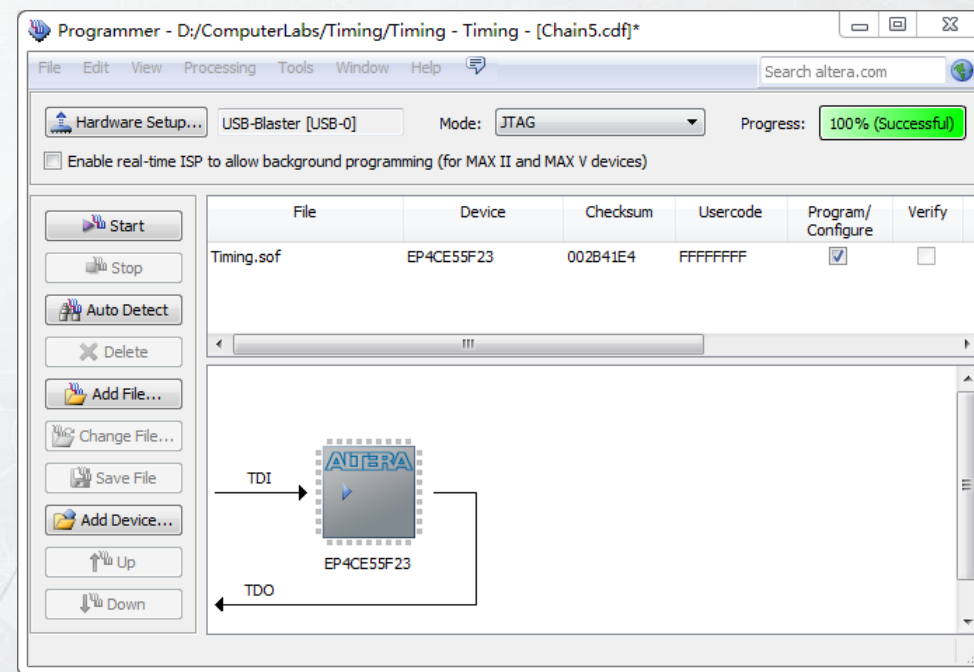
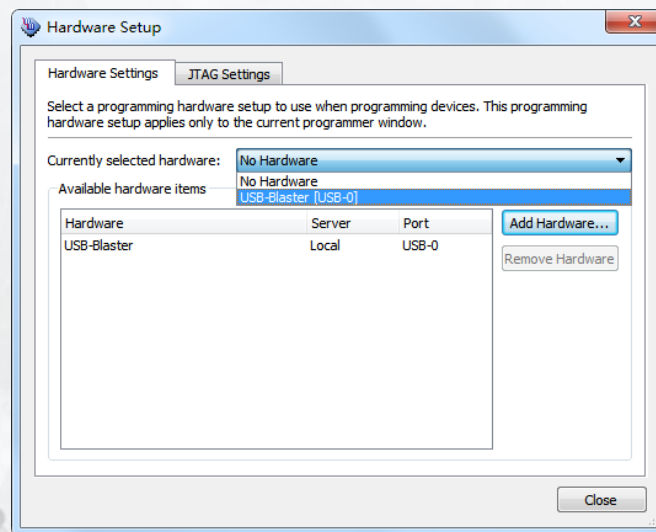
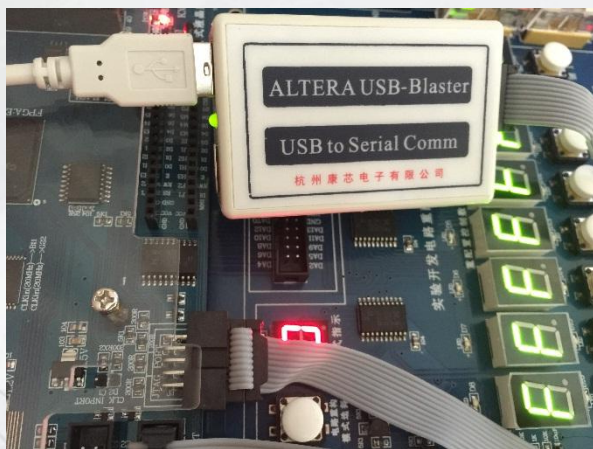
连接实验台下载电路

主菜单“Tools”→“Programmer”项，打开编程器，点击 “Hardware Setup” 按钮，选择USB-Blaster硬件。

在Programmer窗口，点击Start按钮，Progress为100%时，下载完毕。

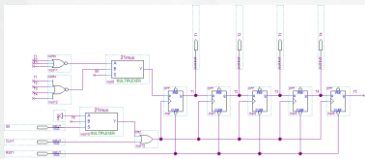
注意：实验台需要打开电源，并且将其JTAG接口与计算机通过USB线连接。

KX-CDS实验台

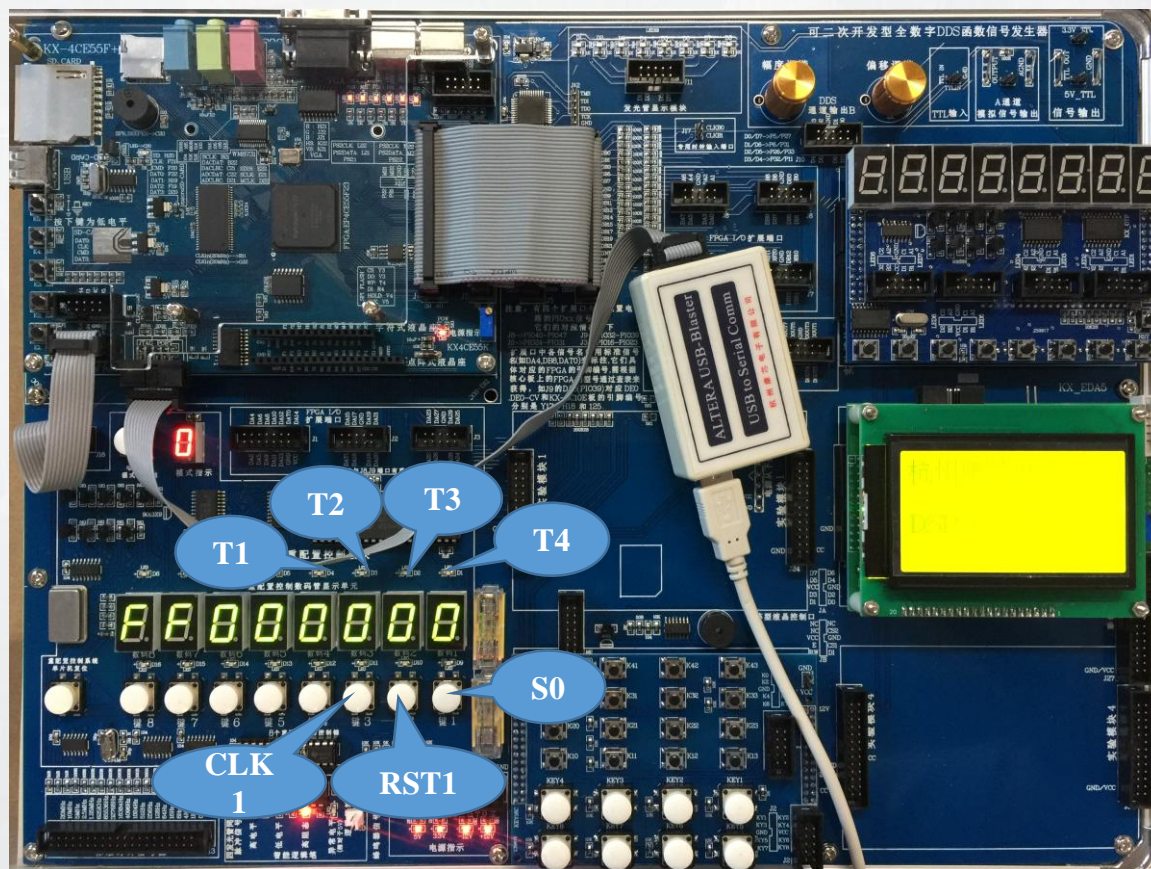
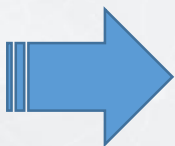


FPGA实验台演示

KX-CDS实验台



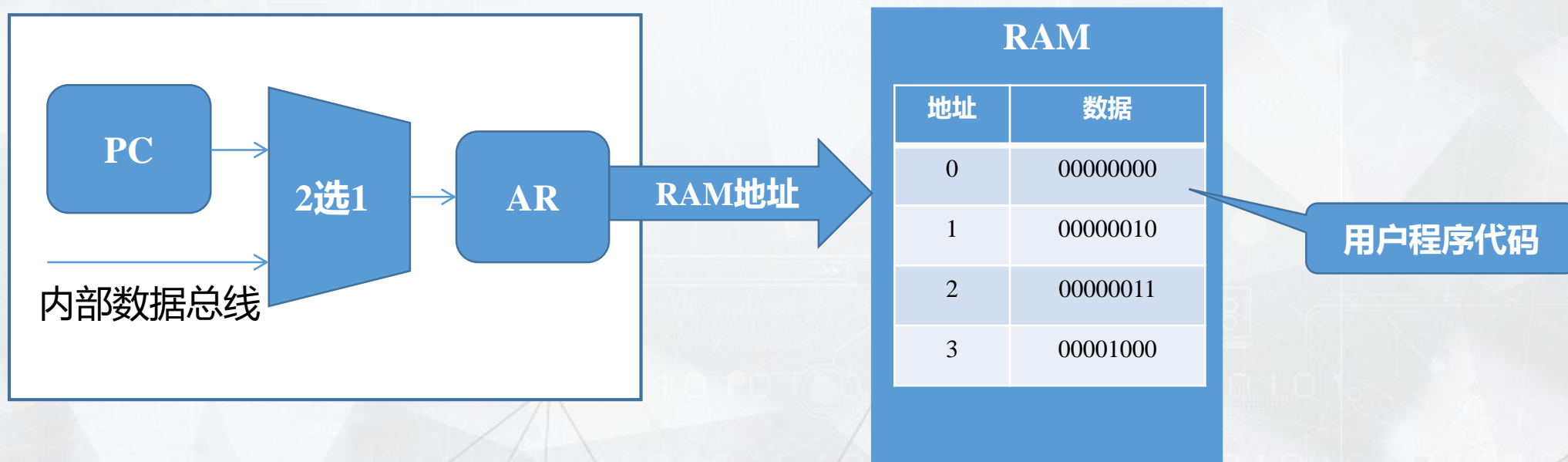
下载



程序计数器与地址寄存器(PC_AR)实验

实验原理

地址单元主要由三部分组成：程序计数器PC、地址寄存器AR和多路开关。



实验内容与要求

- 1、在Quartus Prime软件中，利用硬件描述语言或框图设计程序计数器与地址寄存器。
- 2、完成仿真，仿真要求：
合理设置各个输入信号，仿真程序顺序执行和跳转执行时输出地址的变化。
- 3、将并下载到FPGA实验台进行测试。
选择合适的电路模式结构，对电路进行引脚锁定，编程下载到FPGA实验台，直观的演示电路的功能。

实验任务与步骤

- 1、新建工程，新建框图文件 (*.bdf)，设计设计程序计数器与地址寄存器。添加自定义8位寄存器元件，采用元器件库中 lpm_counter和总线型2选1电路BUS_MUX。保存文件。

主菜单“File”→“New Project Wizard”，新建工程PC_AR（实体名）
主菜单“File”→“New”项，选择Block Diagram/Schematic File，新建框图文件，保存为PC_AR.bdf。

2、设置器件

主菜单“Assignments”→“Device”项，选择Cyclone IV E系列EP4CE55F23C8芯片

3、编译电路

主菜单“Processing”→“Start Compilation”项，启动编译

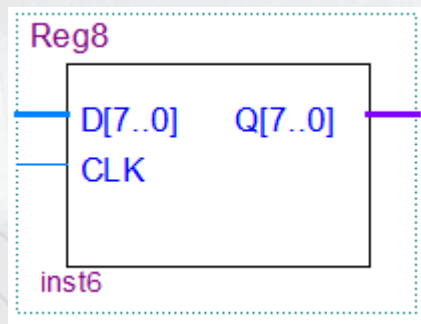
自定义8位寄存器元件

1.利用框图设计位寄存器电路，电路设计文件Reg8.bdf，将Reg8.bdf拷贝到工程目录

2.主菜单“File”→“Create/Update”项，
选择“Create Symbol Files for Current File”

由Reg8.bdf生成Reg8.bsf，即生成自定义8位寄存器元件符号

3.在元器件库中，在Project目录下选择自定义元件Reg8，加入到总线电路图中



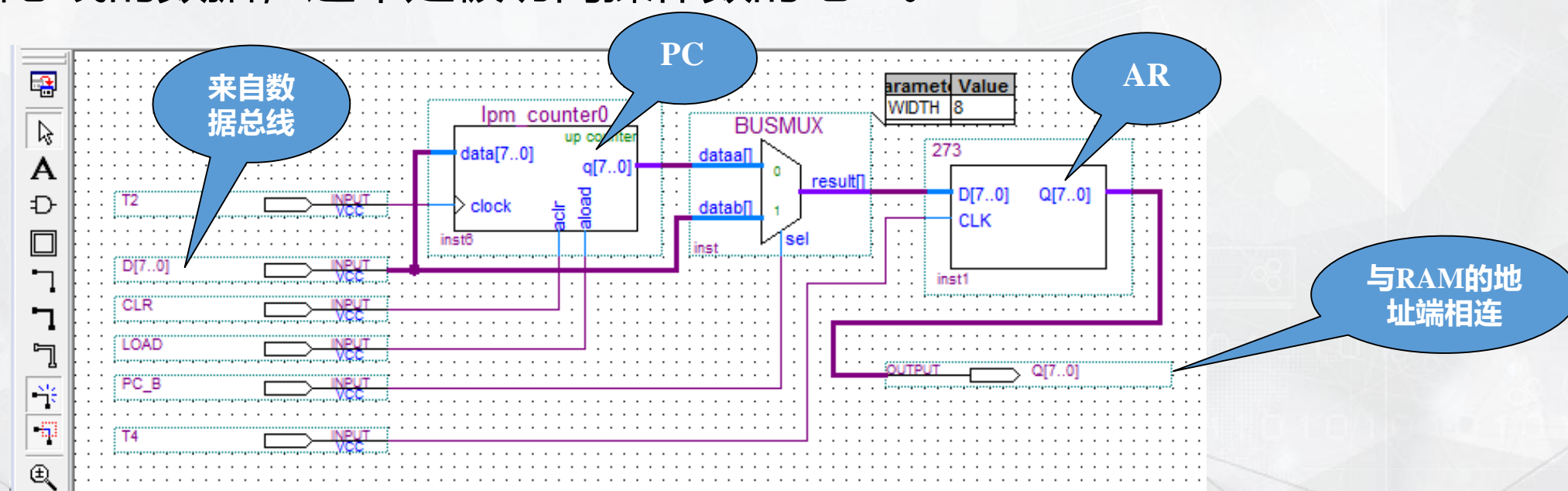
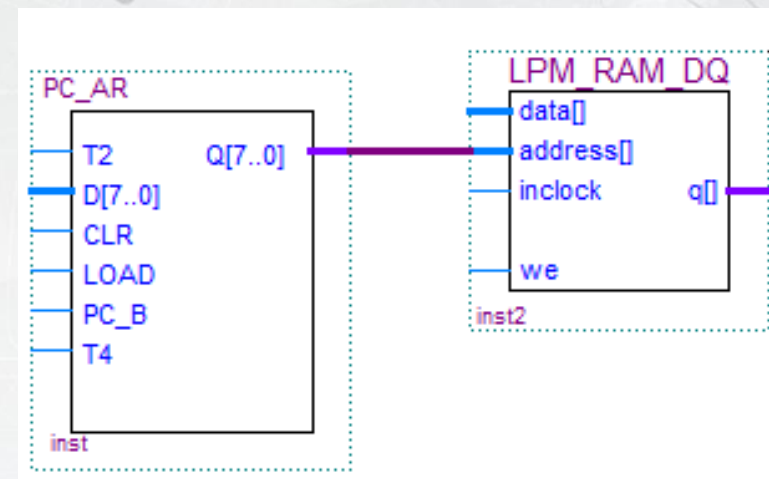
数据寄存器Reg8可以暂存8位数据。当CLK上升沿到来时，输出端Q输出输入端D的值。即 $Q[7..0]=D[7..0]$

程序计数器与地址寄存器电路图

程序计数器PC：提供下一条程序指令的地址

地址寄存器AR：存储RAM地址。

RAM地址来自两个渠道。一是程序计数器PC的输出，通常是下一条指令的地址；二是来自于内部数据总线的的数据，通常是被访问操作数的地址。



实验任务与步骤

4、新建波形图文件 (*.vwf),设置仿真时间, 添加输入输出端口, 设置输入信号值, 保存文件。运行仿真。

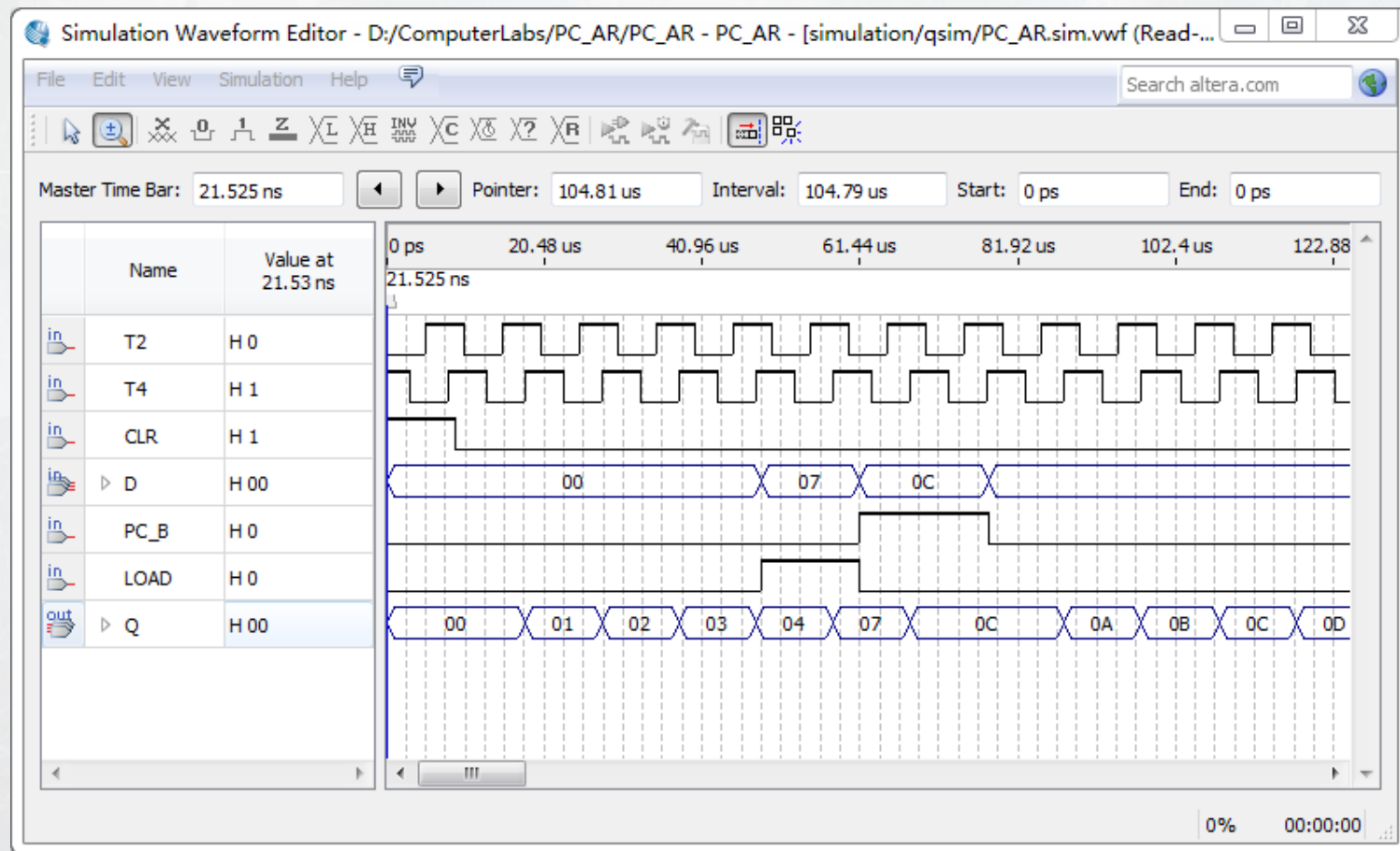
建立仿真波形文件：主菜单“File”→“New”项, 选择 University Program VWF, 新建*.vwf, 打开波形编辑器。

设置仿真时间：主菜单“Edit”→“Set End Time”项。

添加输入输出端口：波形编辑器窗口主菜单 “Edit” → “Insert”→“Insert Node or Bus”

运行仿真：波形编辑器窗口主菜单“Simulation”→ “Run Functional Simulation”项。

程序计数器与地址寄存器仿真波形图



实验仿真要求

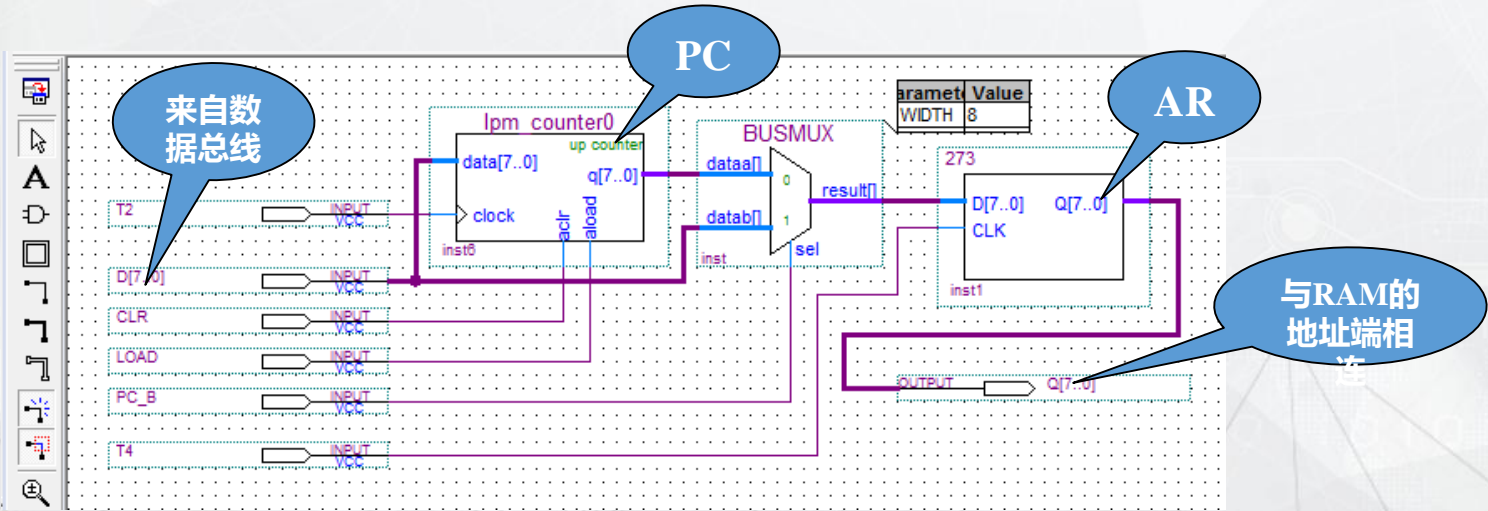
在模型机中，程序计数器与地址寄存器的输出端Q与RAM存储器的地址端连接。

假设，程序运行时，RAM地址的变化是:00、01、02、0A、03、04、0B、05、06、0B、07、08、01。

要求合理设置输入值，仿真程序计数器与地址寄存器的输出端Q能够按RAM地址实际变化需求提供地址。

RAM中存储的程序代码

RAM地址	程序代码	指令
00	00	IN
01	10	ADD
02	0A	
03	20	STA
04	0B	
05	30	OUT
06	0B	
07	40	JMP
08	01	
09		数据区
0A	34	
0B		



实验任务与步骤

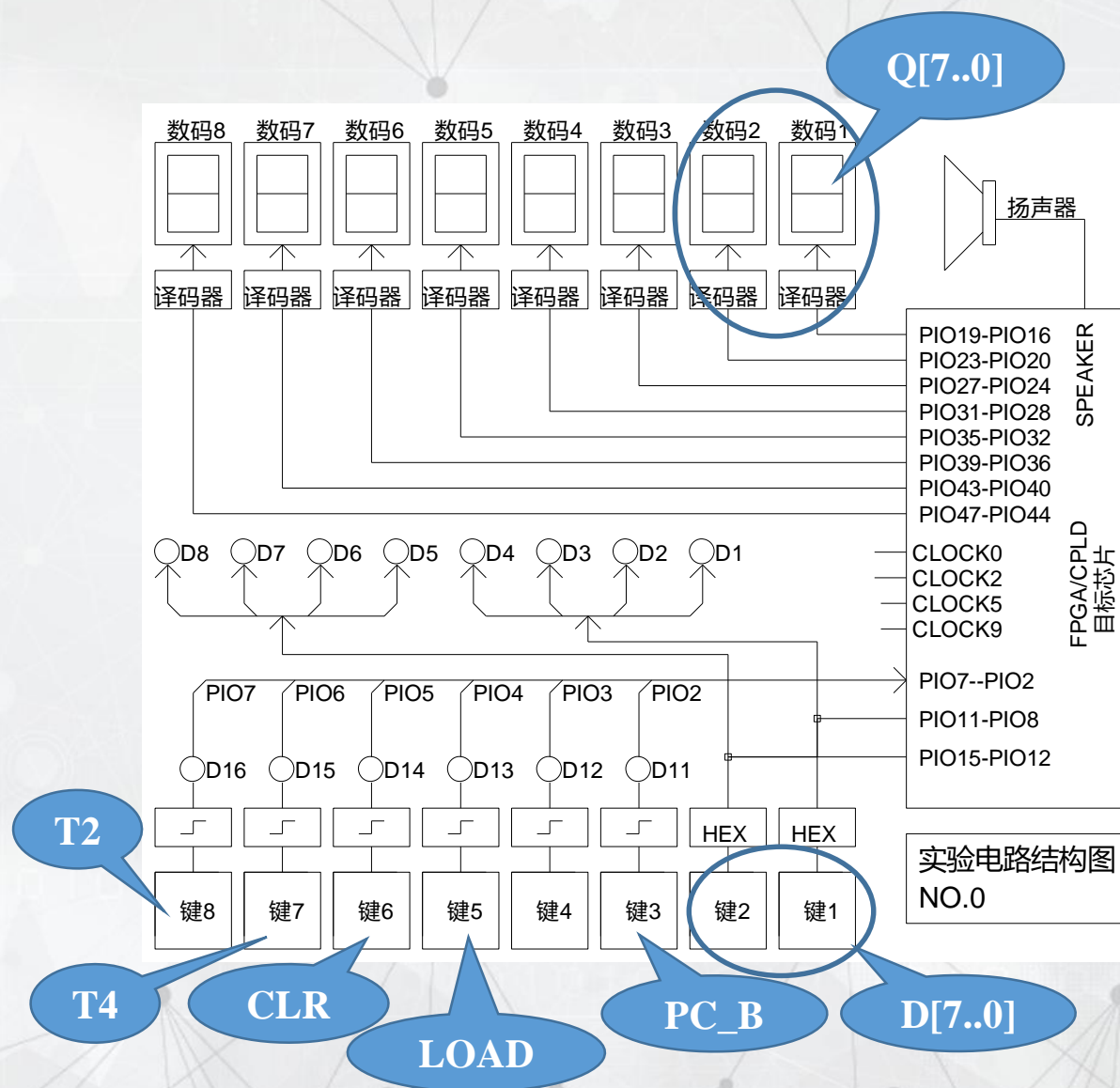
5、选择**KX-CDS**实验台，选择合适的电路模式结构，例如NO.0，对照电路模式图和引脚表，查找引脚号。打开编程器，输入引脚号，对电路进行引脚锁定，编译工程。

主菜单“Assignments”→“Pin”项

6、下载sof文件到FPGA实验台，演示节拍脉冲发生器的功能。

主菜单“Tools”→“Programmer”项，打开编程器，设置硬件，连接实验台。在Programmer窗口，点击Start按钮，Progress为100%时，下载完毕

选择FPGA实验台电路结构No.0



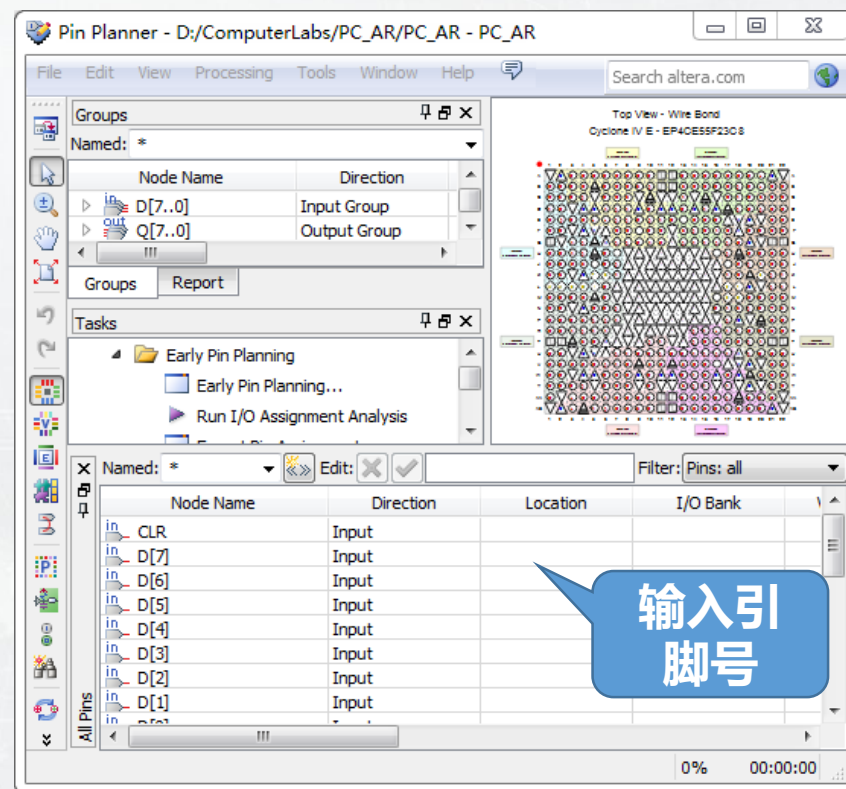
FPGA实验台引脚锁定

参照电路模式图No.0，确定引脚名称，再查找引脚表，获得引脚号

引脚锁定方案(No.0)

输入/输出 端口	外设	引脚名称	引脚号
T2	按键8		
T4	按键7		
CLR	按键6		
LOAD	按键5		
PC_B	按键3		
D[7..4]	按键2		
D[3..0]	按键1		
Q[7..4]	数码管2		
Q[3..0]	数码管1		

主菜单“Assignments”→“Pin”项，在
Location栏中输入引脚号



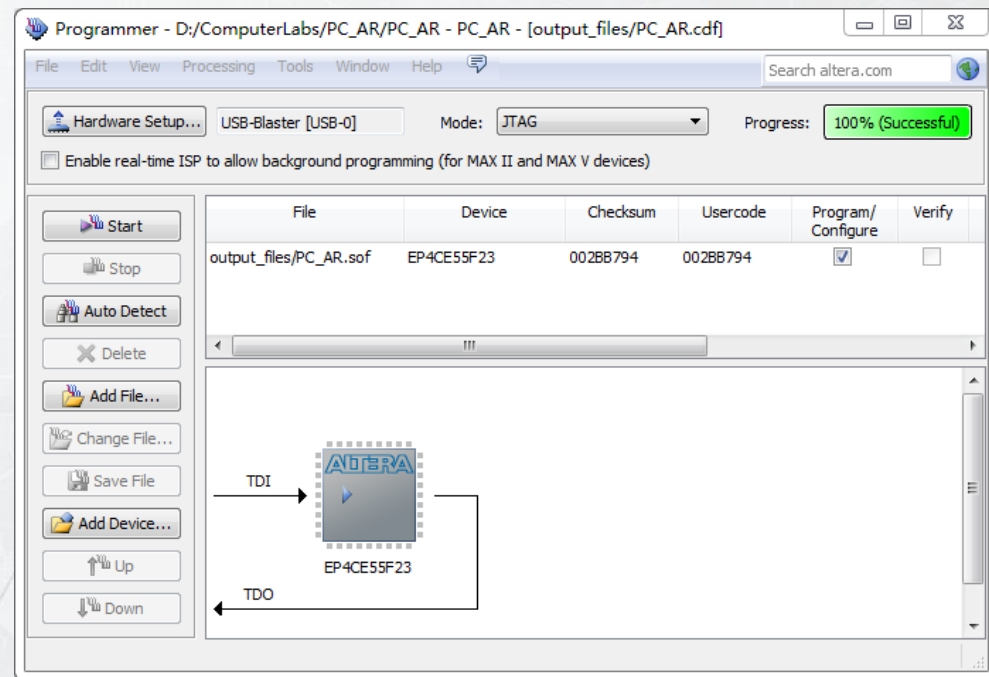
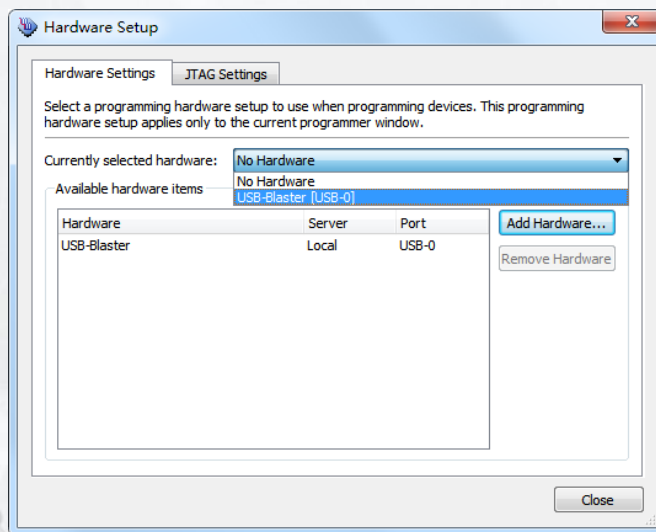
连接实验台下载电路

主菜单“Tools”→“Programmer”项，打开编程器，点击“Hardware Setup”按钮，选择USB-Blaster硬件。

在Programmer窗口，点击Start按钮，Progress为100%时，下载完毕。

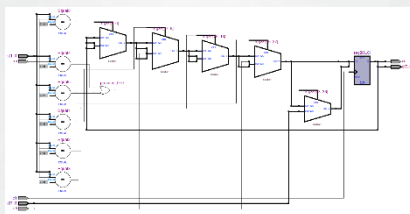
注意：实验台需要打开电源，并且将其JTAG接口与计算机通过USB线连接。

KX-CDS实验台

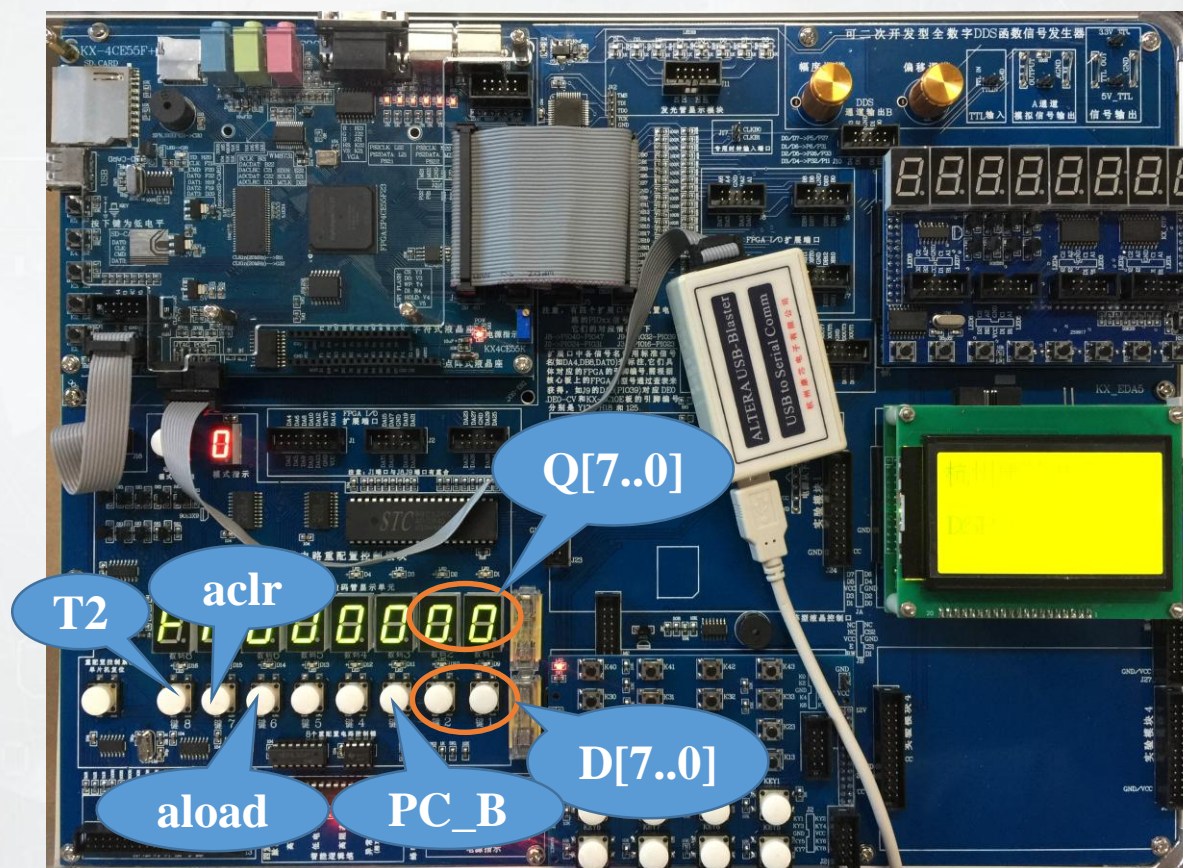
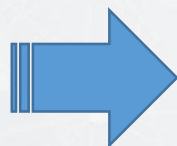


程序计数器与地址寄存器实验台演示

KX-CDS实验台



下载



现在开始实验！（第5次课）

实验3 基本模型机系统设计实验

1、时序电路实验：参考教材6.3

程序计数器与地址寄存器（PC_AR）实验：参考教材6.4

2、完成电路设计、编译和仿真。

（1）实现单步/连续运行节拍脉冲发生器，并仿真单步/连续工作方式。

（2）程序计数器与地址寄存器（PC_AR）实验仿真要求：

假设，程序运行时，RAM地址实际的变化是:00、01、02、0A、03、04、0B、05、06、0B…。要求合理设置输入值，仿真程序计数器与地址寄存器的输出端Q能够按RAM地址实际需求提供地址。

3、**2个人一组**。实体名后面加2个学号的后两位，例如mux21a0709

4、下次课预习：

基本模型机系统原理：参考教材7.1.1

参考ppt：基本模型机指令系统与控制台命令设计.pptx

微控制器组成实验：参考教材7.1.2