

基本组合、时序逻辑电路实验（第1次课）

2025.10



哈尔滨工程大学计算机实验教学中心

基本组合、时序逻辑电路实验

实验目的

- 熟悉Quartus Prime开发环境及开发流程
- 掌握Quartus Prime中VHDL文本输入设计方法
- 熟悉FPGA实验台的功能和使用方法

基本组合、时序逻辑电路实验

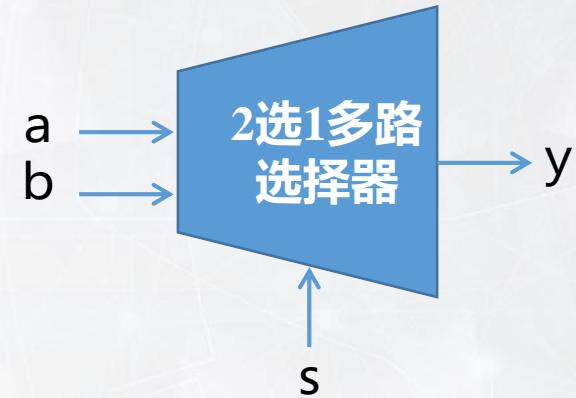
实验内容

利用Quartu Prime完成2选1多路选择器的文本编辑输入，采用VHDL硬件描述语言设计2选1多路选择器电路([mux21a.vhd](#))。完成波形图仿真。给出2选1多路选择器仿真波形。最后在FPGA实验台上进行硬件测试，验证2选1多路选择器的功能。

2选1多路选择器

2选1多路选择器真值表

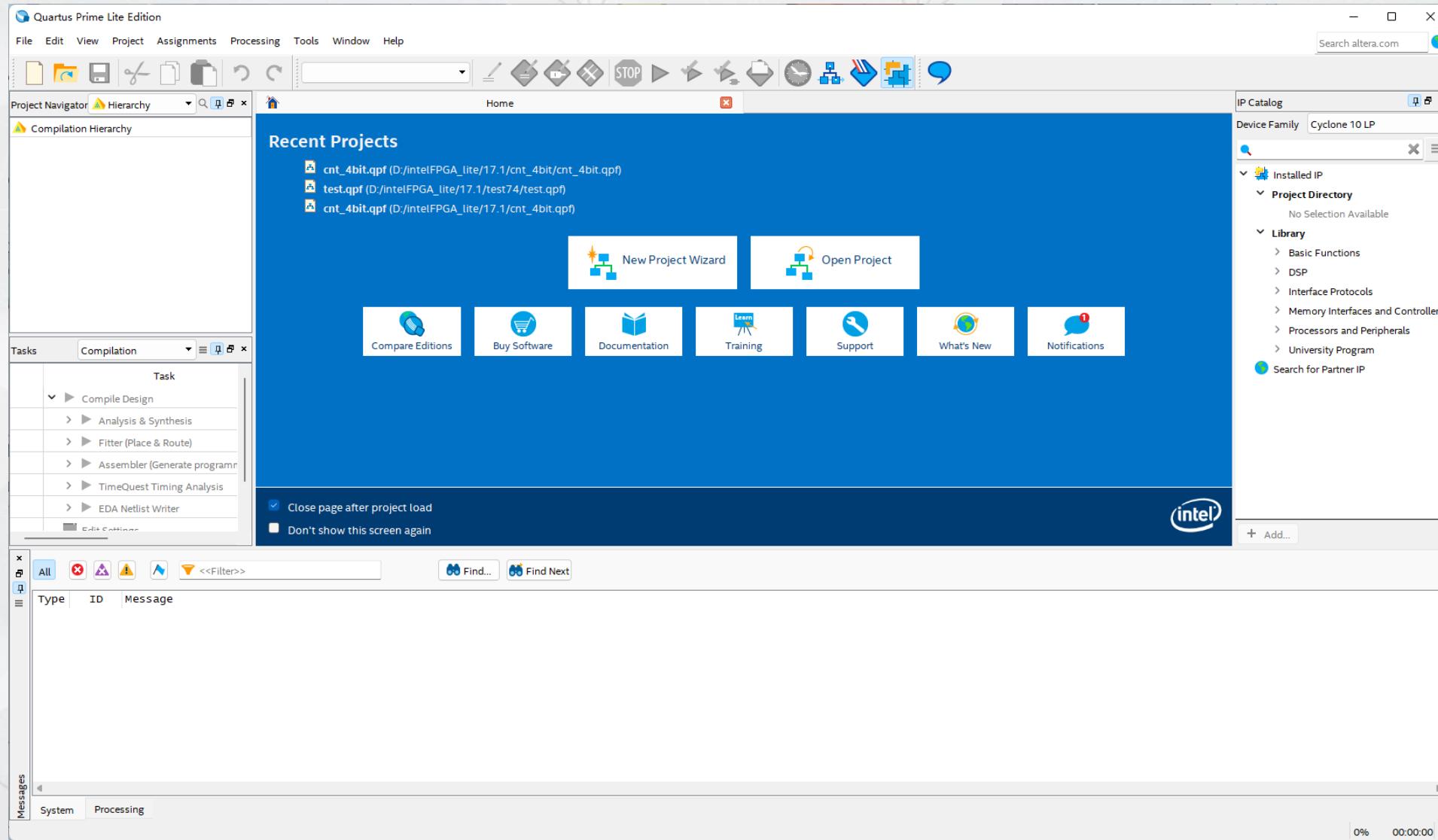
输入			输出
a	b	s	y
0	0	0	0
0	1	0	0
1	0	0	1
1	1	0	1
0	0	1	0
0	1	1	1
1	0	1	0
1	1	1	1



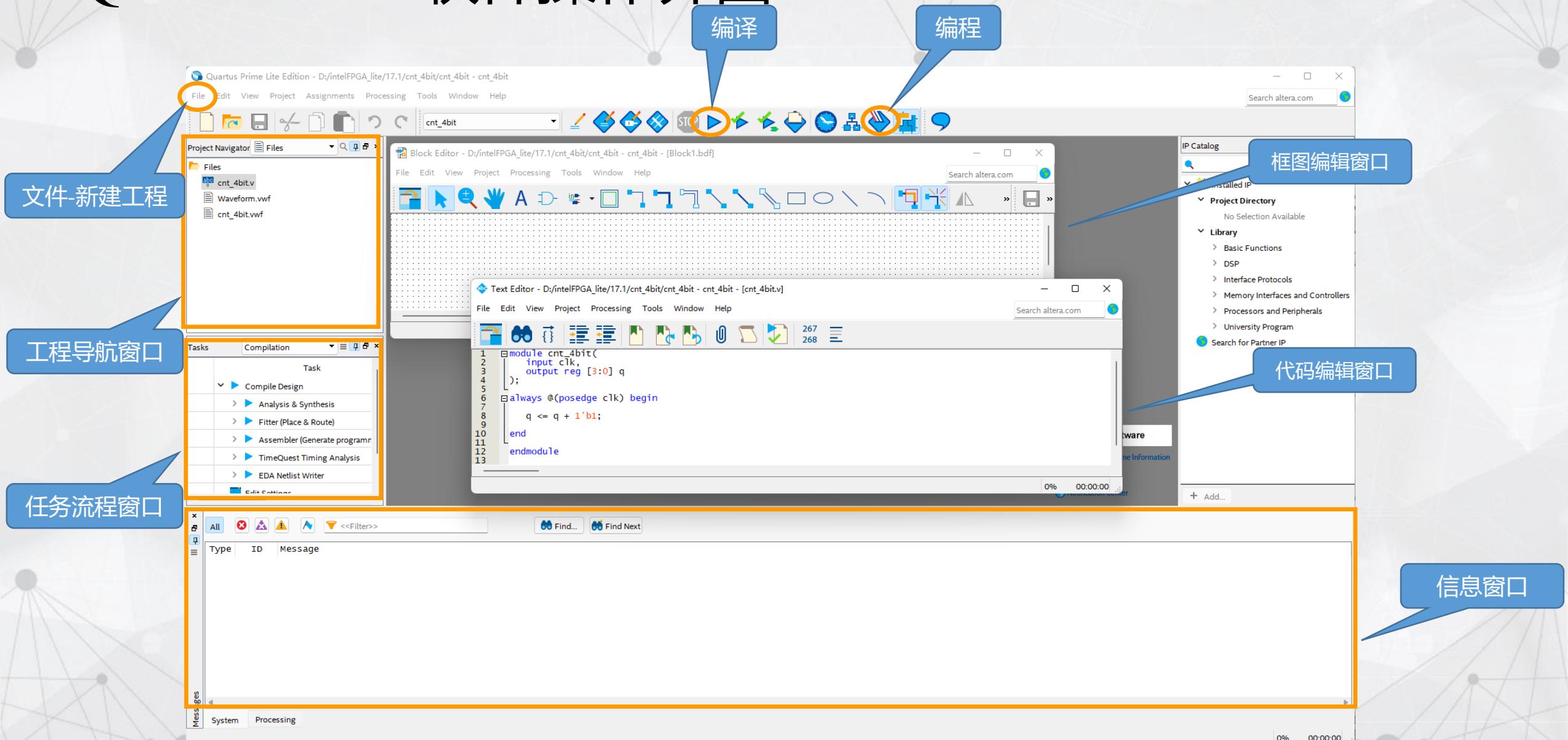
选1多路选择器接口
描述

当通道控制信号 $s=0$ 时，选择输入信号a通道的数据送到输出端y。
当通道控制信号 $s=1$ 时，选择输入信号b通道的数据送到输出端y。

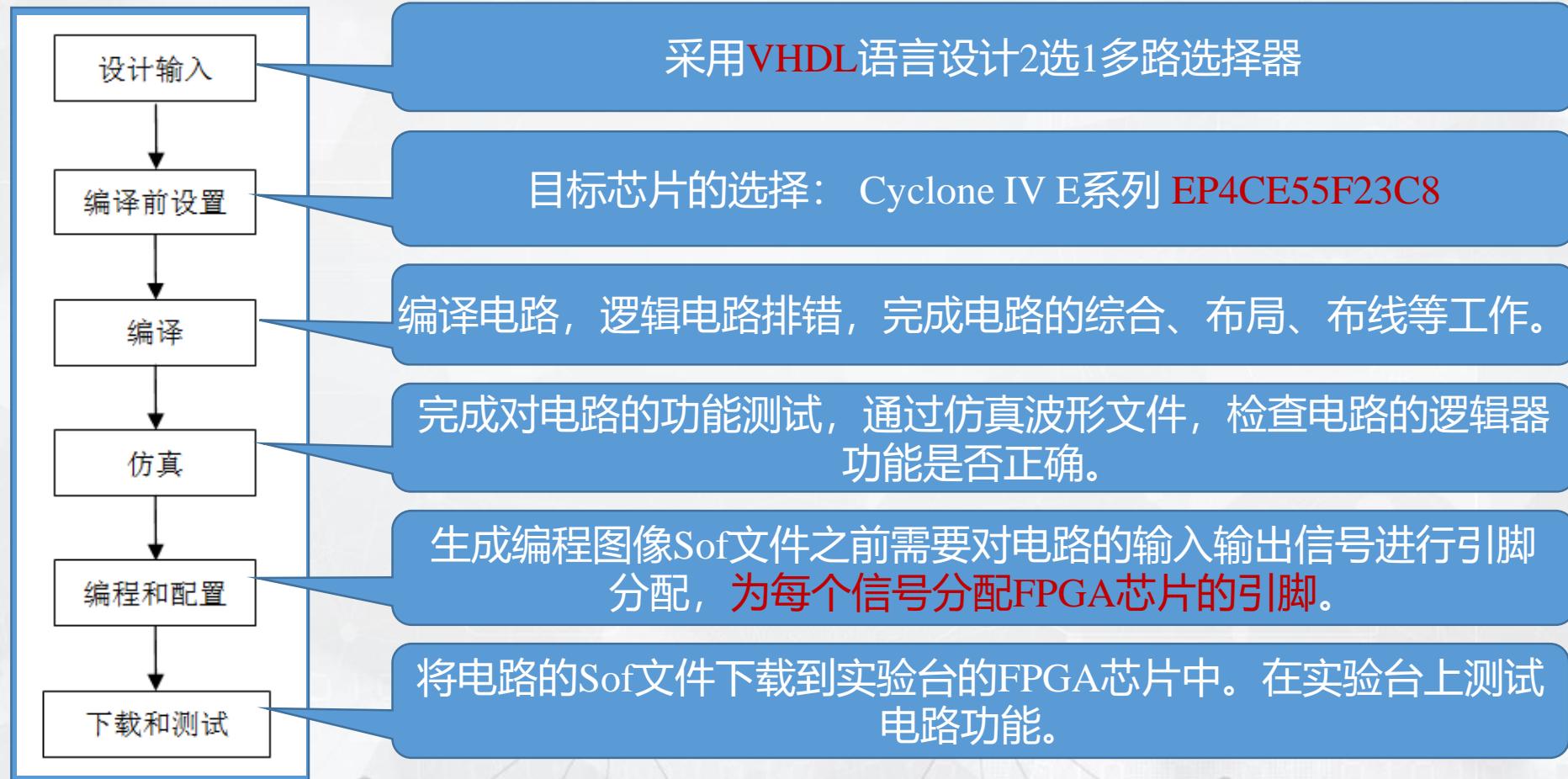
Quartus Prime软件操作界面



Quartus Prime软件操作界面



2选1多路选择器设计步骤



第1步：设计输入

采用VHDL语言设计2选1多路选择器

主菜单“File”→
“New Project Wizard”项，
新建工程，工程名mux21a
D:\CompterLabs\mux21a

新建VHDL文件

输入2选1多路选择器VHDL代
码 保存mux21a.vhd



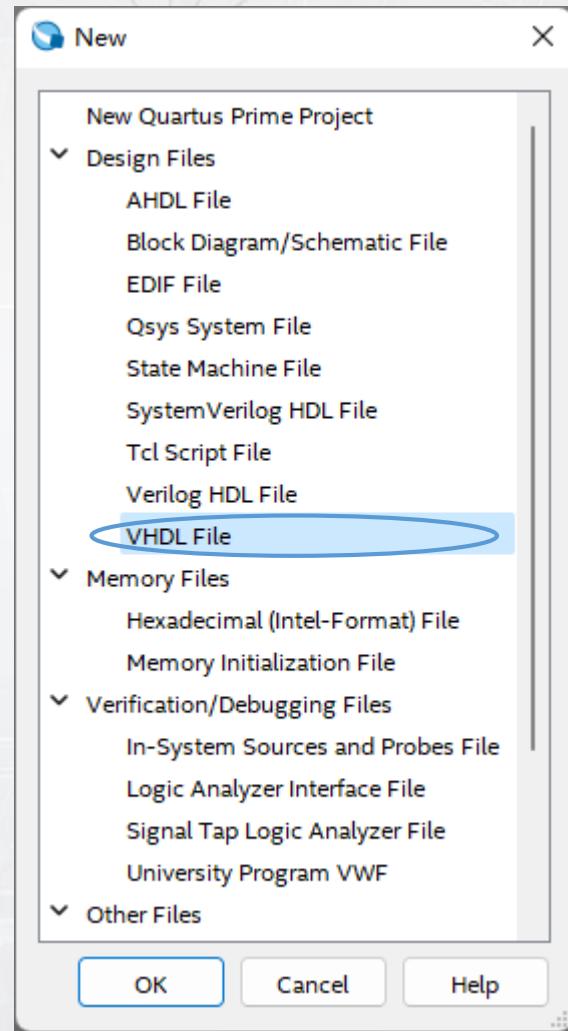
第1步：设计输入

新建VHDL文件*.vhd

新建工程
工程名mux21a
D:\CompterLabs\mux21a

主菜单“File”→
“New”项，新建VHDL文件

输入2选1多路选择器VHDL
代码 保存mux21a.vhd



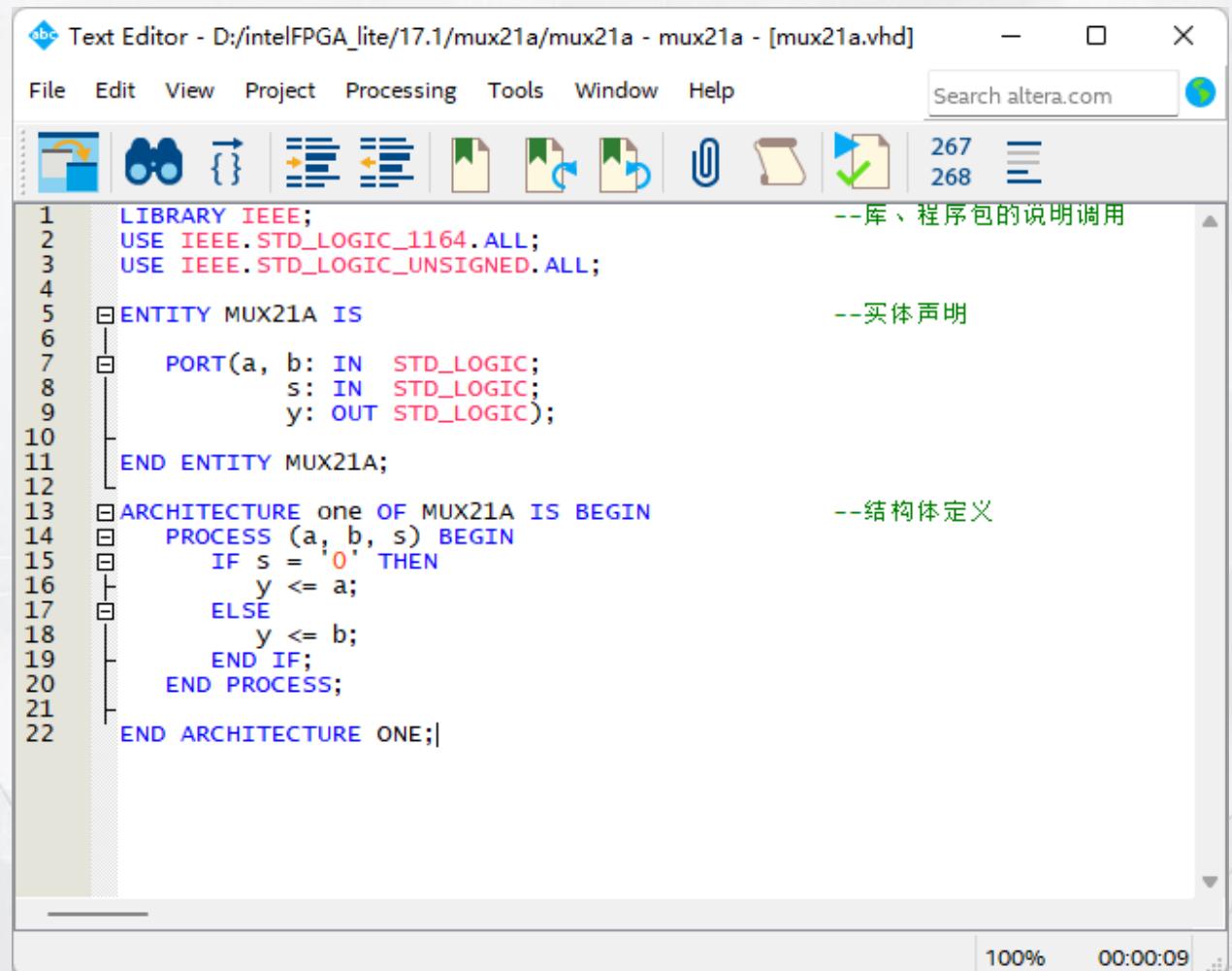
第1步：设计输入

采用VHDL语言设计2选1多路选择器

新建工程
工程名mux21a
D:\CompterLabs\mux21a

主菜单“File”→
“New”项，新建VHDL文件

输入2选1多路选择器VHDL
代码 保存mux21a.vhd



The screenshot shows a VHDL text editor window with the following code:

```
LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;
USE IEEE.STD_LOGIC_UNSIGNED.ALL;

ENTITY MUX21A IS
    PORT(a, b: IN STD_LOGIC;
          s: IN STD_LOGIC;
          y: OUT STD_LOGIC);
END ENTITY MUX21A;

ARCHITECTURE one OF MUX21A IS BEGIN
    PROCESS (a, b, s) BEGIN
        IF s = '0' THEN
            y <= a;
        ELSE
            y <= b;
        END IF;
    END PROCESS;
END ARCHITECTURE ONE;
```

Annotations on the right side of the code explain the purpose of each section:

- 库、程序包的说明调用
- 实体声明
- 结构体定义

第2步：编译前设置

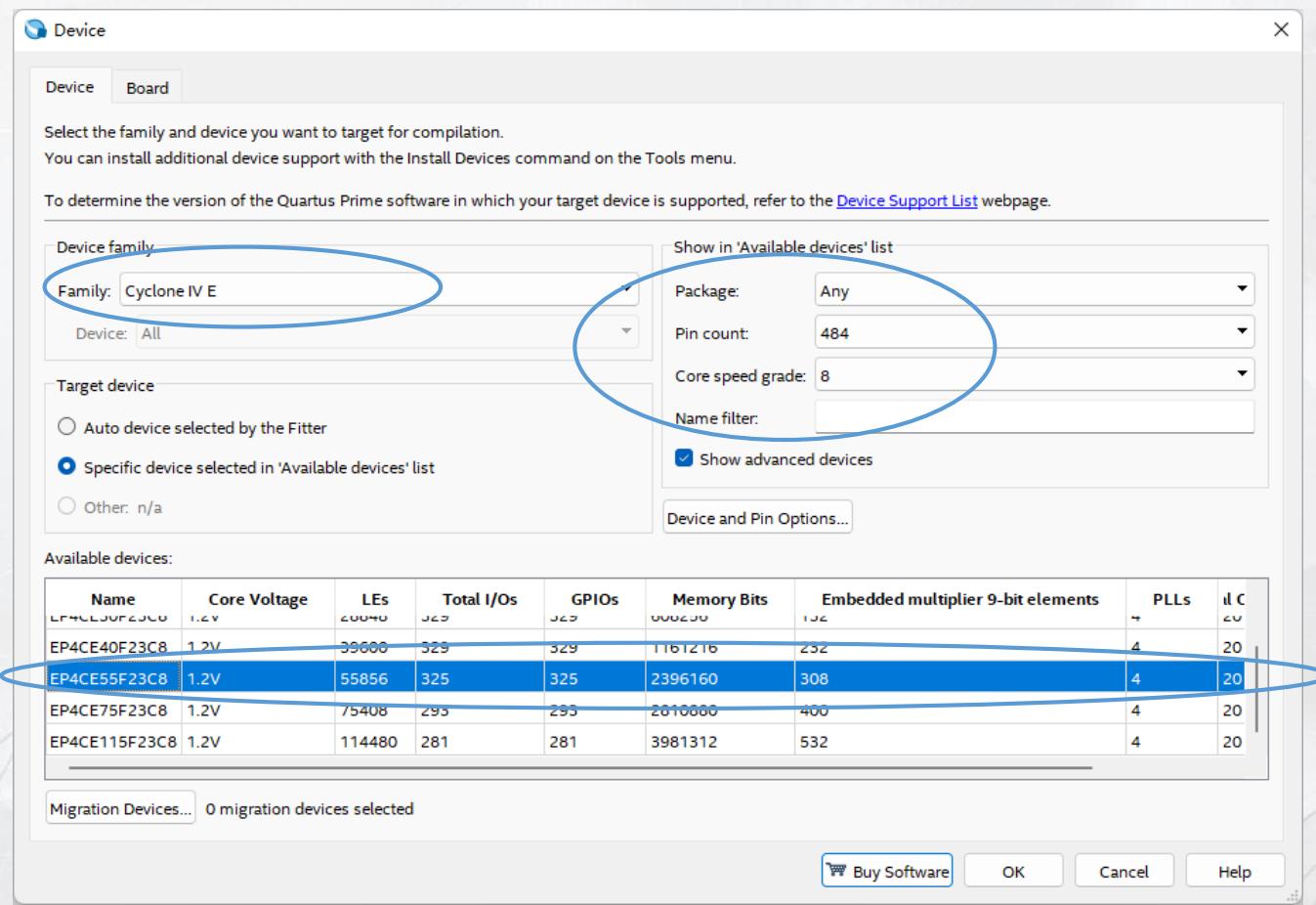
目标芯片的选择：Cyclone IV E系列 EP4CE55F23C8

主菜单

“Assignmemts”→
“Device”项

输入器件参数
CycloneIV E
Pin count: 484
Speed grade: 8

目标芯片的选择：
CycloneIV E
EP4CE55F23C8



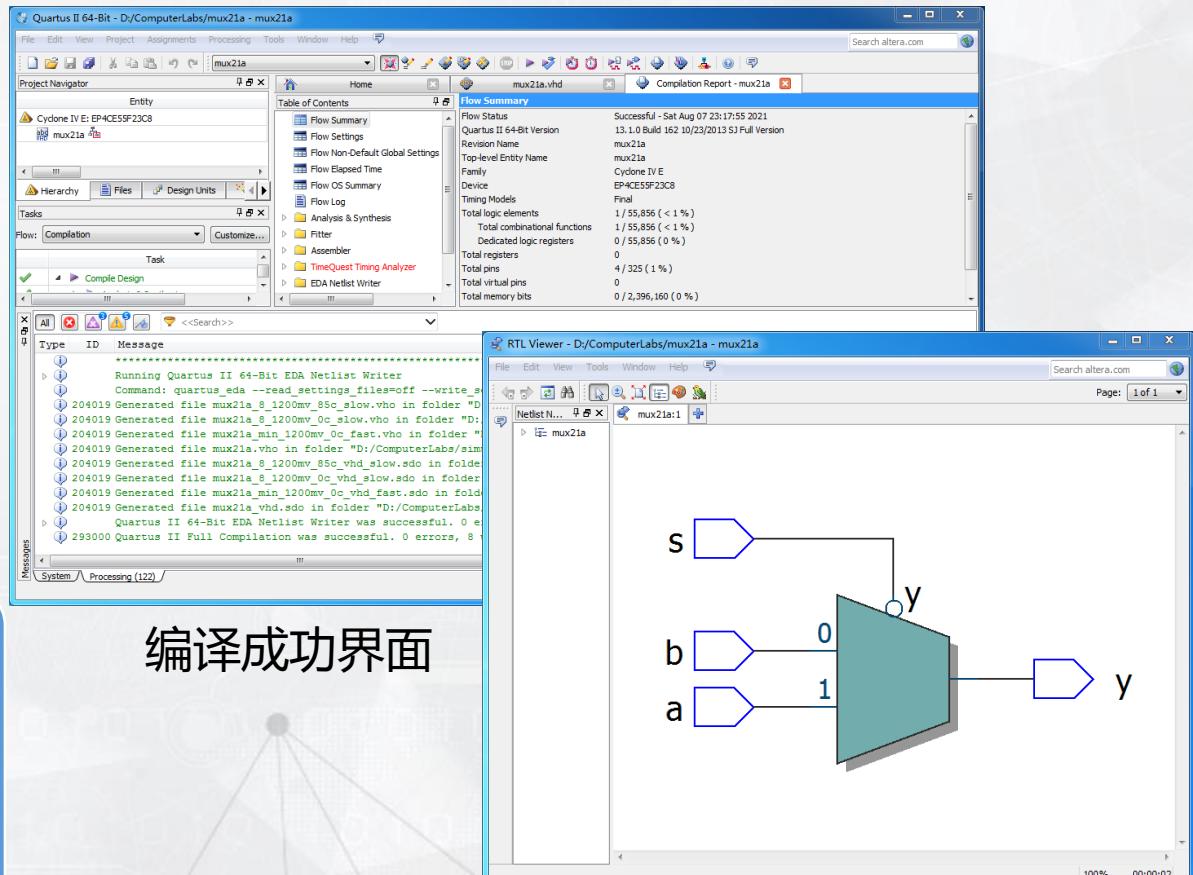
第3步：编译

编译电路，逻辑电路排错，完成电路的综合、布局、布线等工作。

主菜单 “Processing” →
“Start Compilation” 项，
启动编译

主菜单 “Processing” →
“Compilation Report” 项，
查看编译报告

主菜单 “Tools” →
“Netlist Viewers”
→ “RTL Viewer” 项，
查看RTL电路图



RTL电路图

第4步：仿真

完成对电路的功能测试，通过仿真波形文件，检查电路的逻辑器功能是否正确。

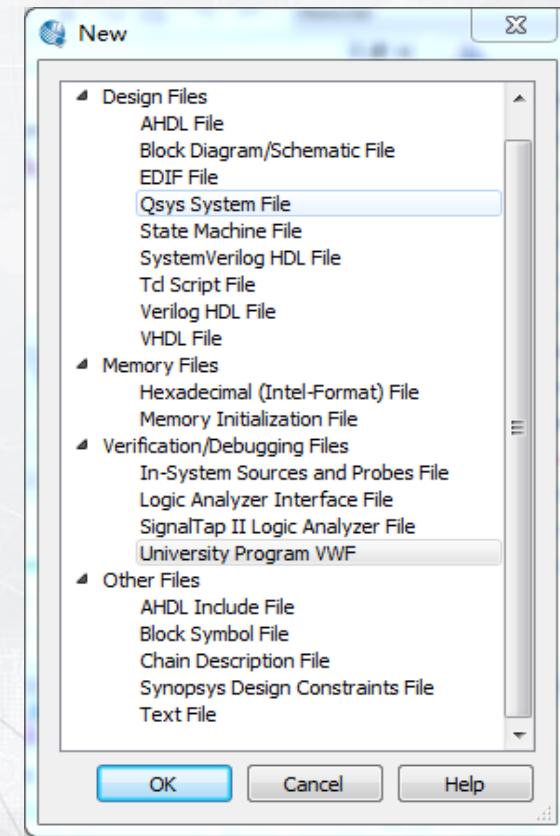
主菜单“File”→“New”项，选择
University Program VWF，建立仿真
波形文件 *.vwf，打开波形编辑器

设置仿真时间

添加输入输出端口

设置输入信号值

运行仿真，观察仿真波形图



第4步：仿真

完成对电路的功能测试，通过仿真波形文件，检查电路的逻辑器功能是否正确。

建立仿真波形文件 *.vwf

打开波形编辑器

波形编辑器主菜单“Edit”→

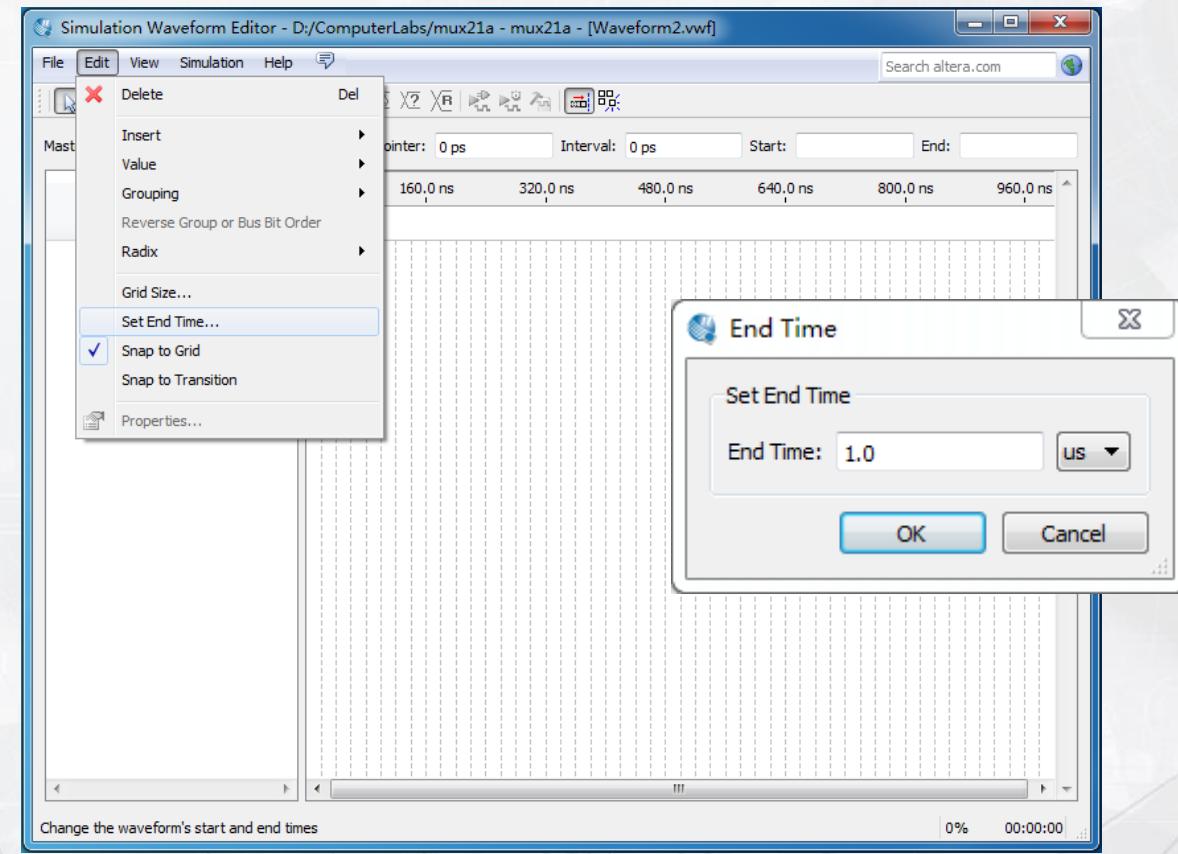
“Set End Time”项，

设置仿真时间

添加输入输出端口

设置输入信号值

运行仿真，观察仿真波形图



第4步：仿真

完成对电路的功能测试，通过仿真波形文件，检查电路的逻辑器功能是否正确。

建立仿真波形文件 *.vwf

打开波形编辑器

设置仿真时间

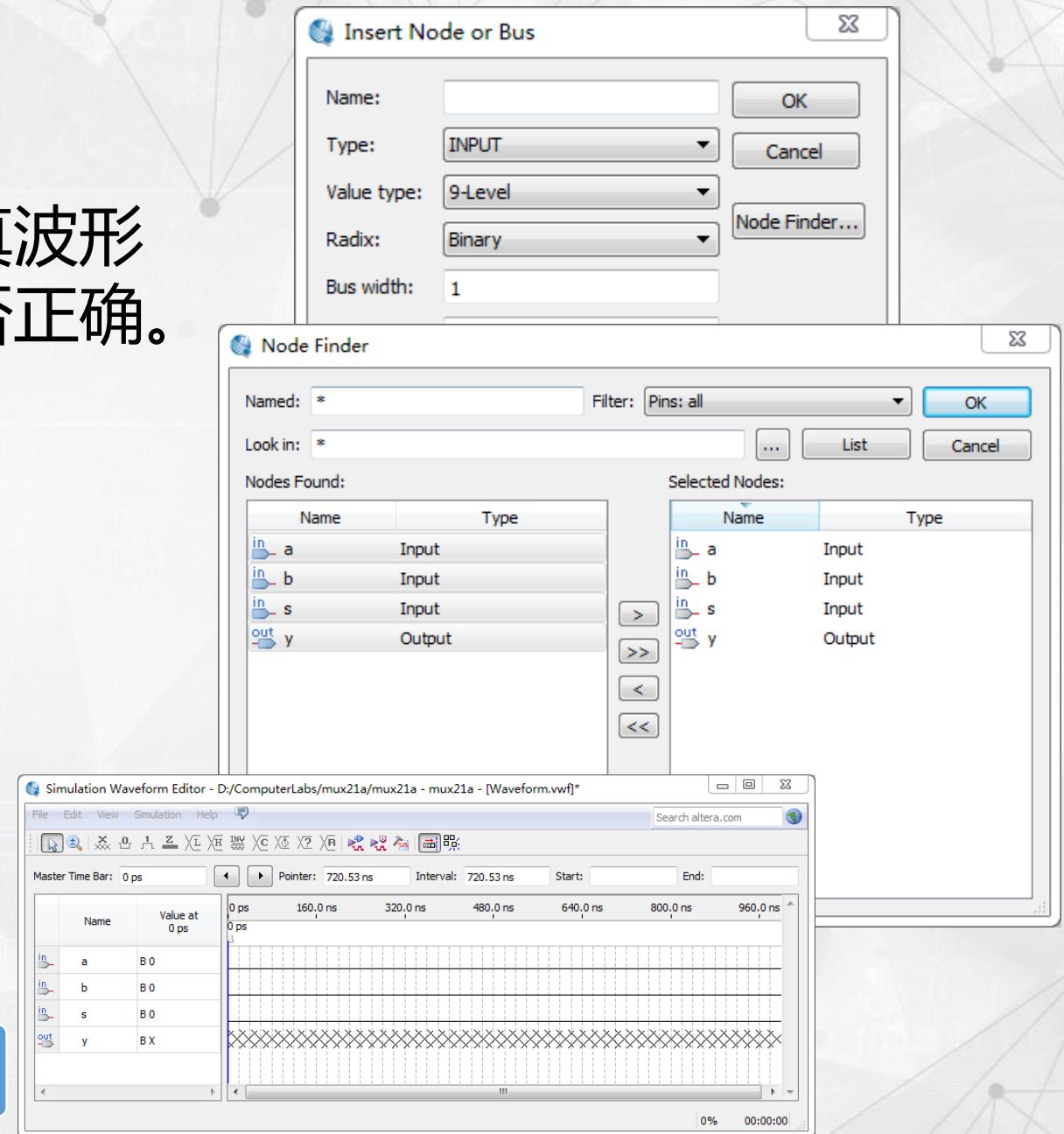
添加输入输出端口，波形编辑

器菜单“Edit” →

“Insert”→“Insert Node or Bus”

设置输入信号值

运行仿真，观察仿真波形图



第4步：仿真

完成对电路的功能测试，通过仿真波形文件，检查电路的逻辑器功能是否正确。

建立仿真波形文件 *.vwf

设置仿真时间

添加输入输出端口

设置输入信号值

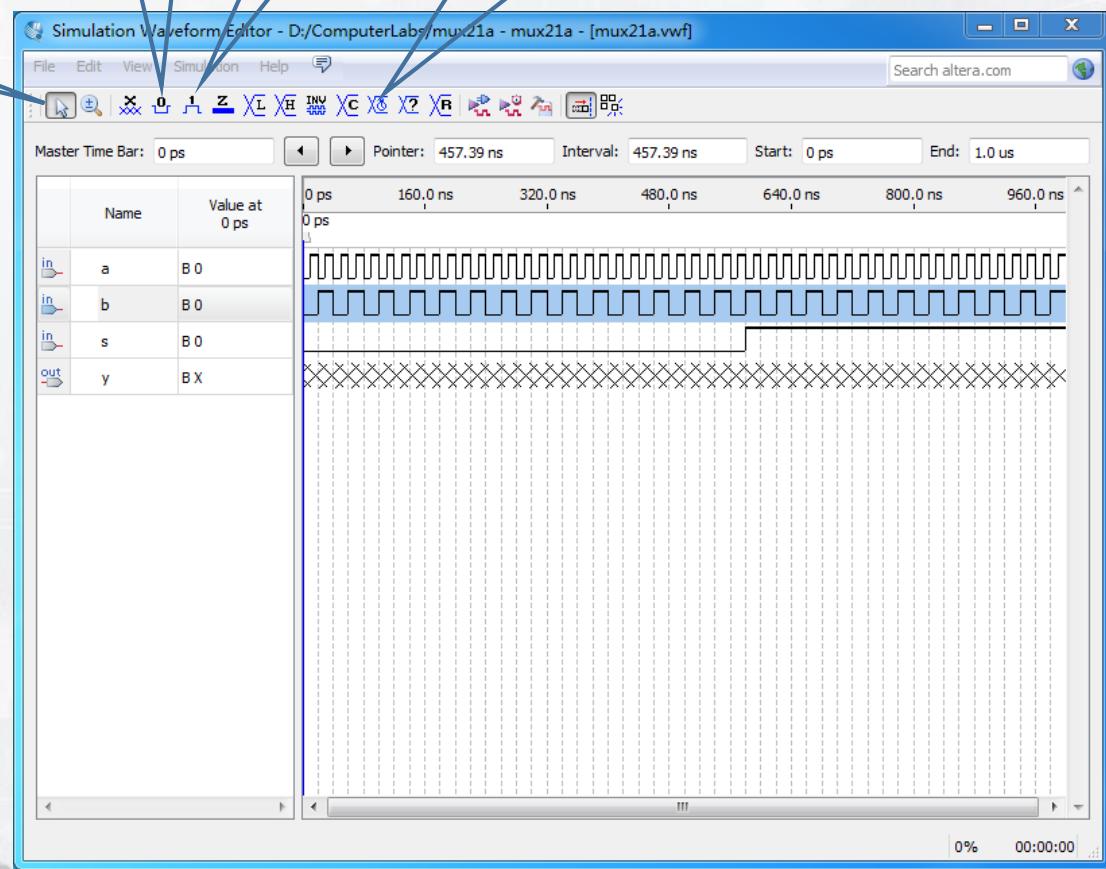
运行仿真，观察仿真波形图

选择工具

低电平

高电平

时钟/周期信号



第4步：仿真

完成对电路的功能测试，通过仿真波形文件，检查电路的逻辑器功能是否正确。

建立仿真波形文件 *.vwf

设置仿真时间

添加输入输出端口

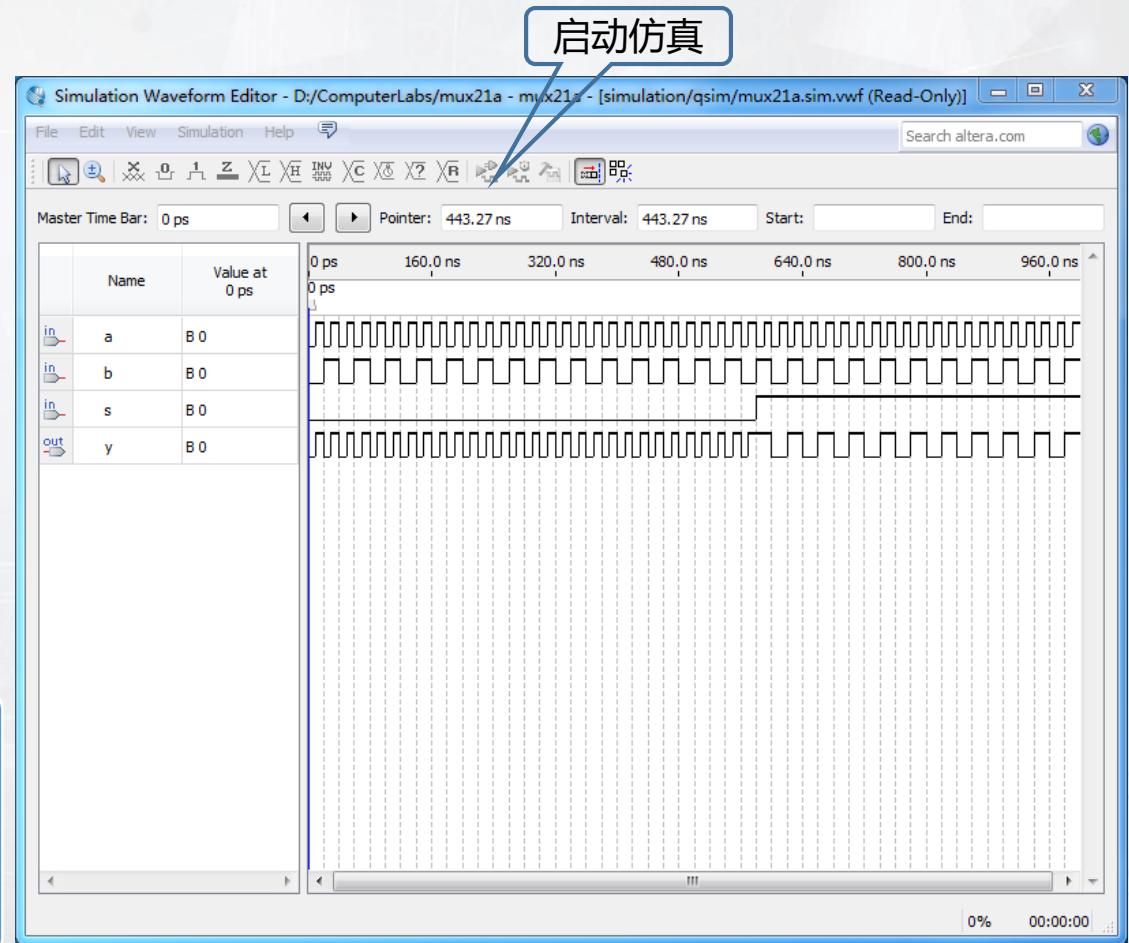
设置输入信号值

启动仿真，观察仿真波形图

波形编辑器窗口主菜单

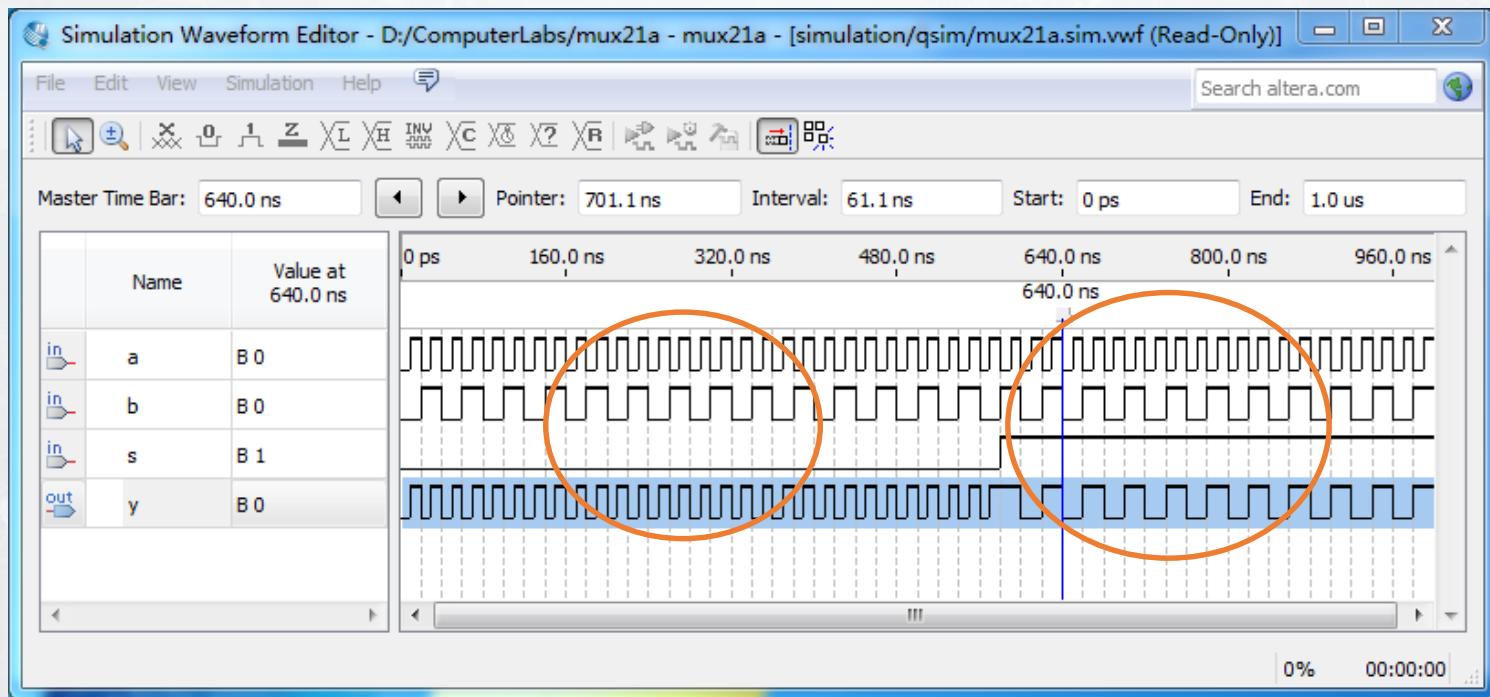
“Simulation”→

“Run Functional Simulation”项



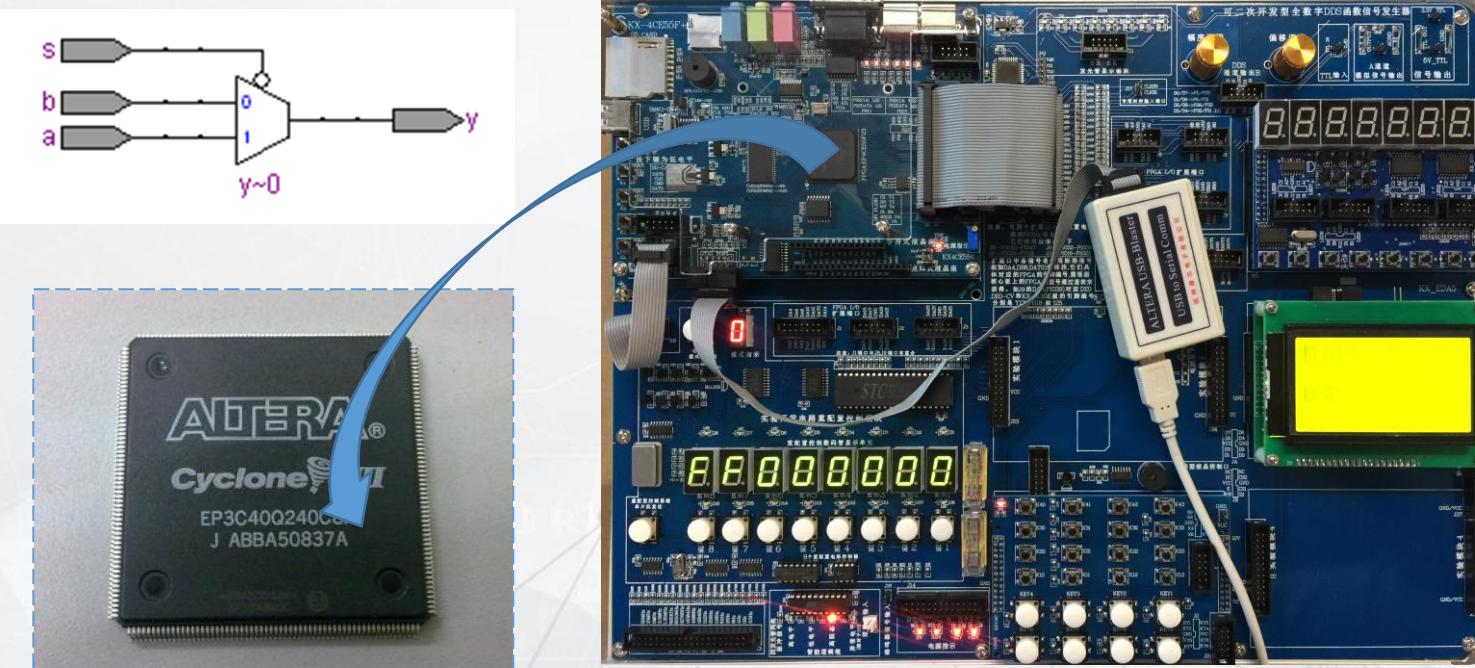
2选1多路选择器仿真波形图分析

在输出波形图上，利用“标线”可以定位任意时刻的仿真情况，在640ns时刻，各个信号的值为： $a=0$, $b=1$, $s=0$, $y=0$ ，与2选一选择器的真值表一致。注意：点击工具栏上的箭头按钮使鼠标处于选择状态，可以拖动“标线按钮”到指定时间位置。



第5步：编程和配置

生成编程图像Sof文件之前需要对电路的输入输出信号进行引脚分配，为每个信号分配FPGA芯片的引脚。



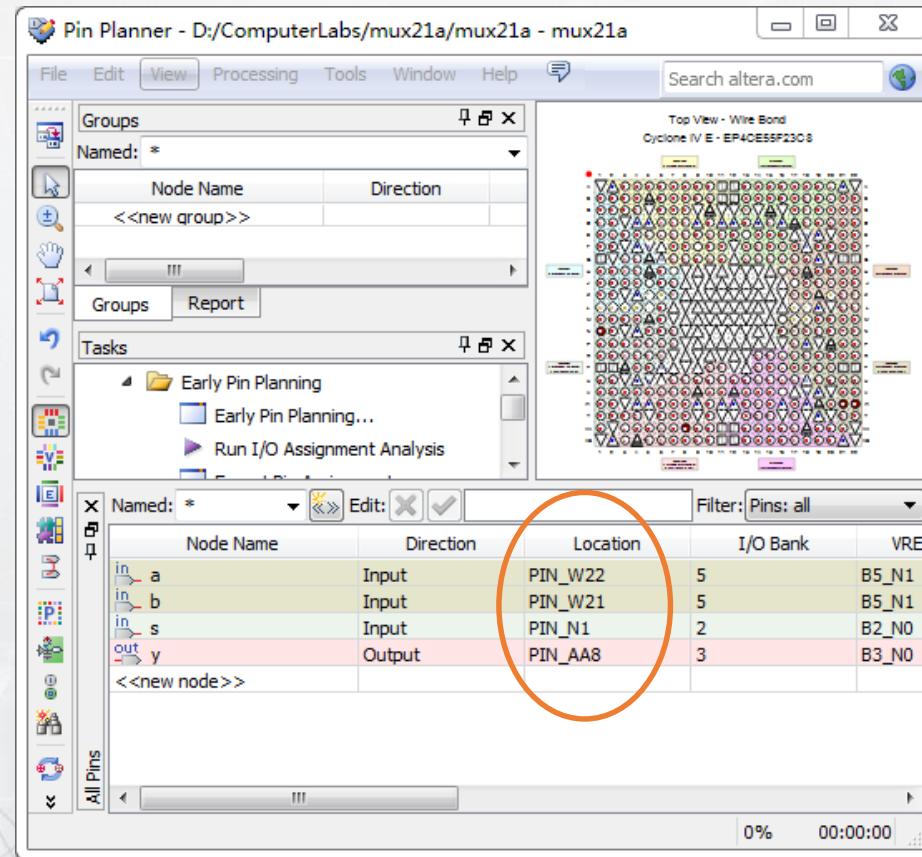
2选1多路选择器引脚锁定表

(KX-CDS实验台， 电路模式No.5， EP4CE55F23C8芯片)

输入/输出端口	外设	引脚名称	引脚号
a	时钟	CLKB0	W22
b	时钟	CLKB1	W21
s	按键1	PIO0	N1
y	扬声器	DBT1	AA8

引脚锁定(KX-CDS实验台)

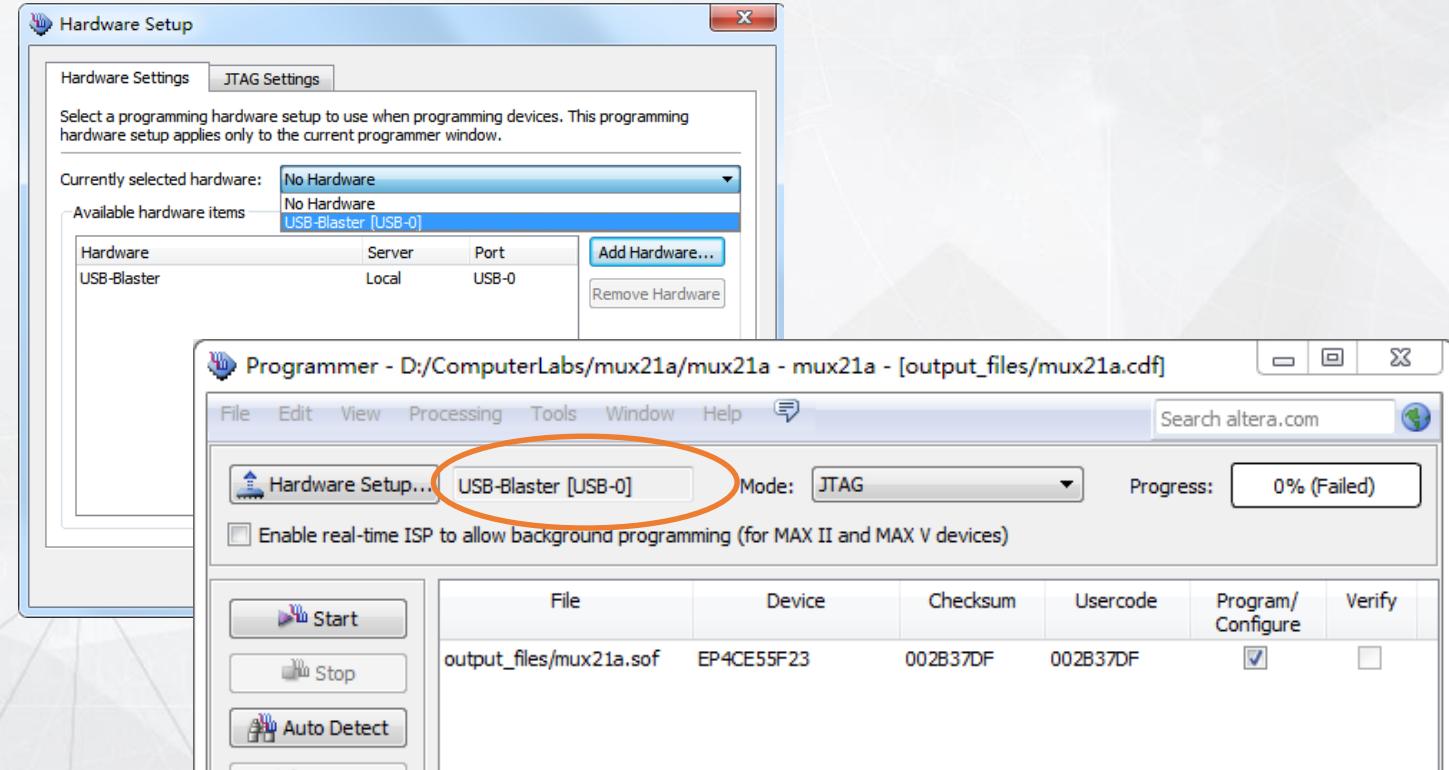
主菜单“Assignment”→“Pin Planner”项，在Location栏中输入引脚号，编译



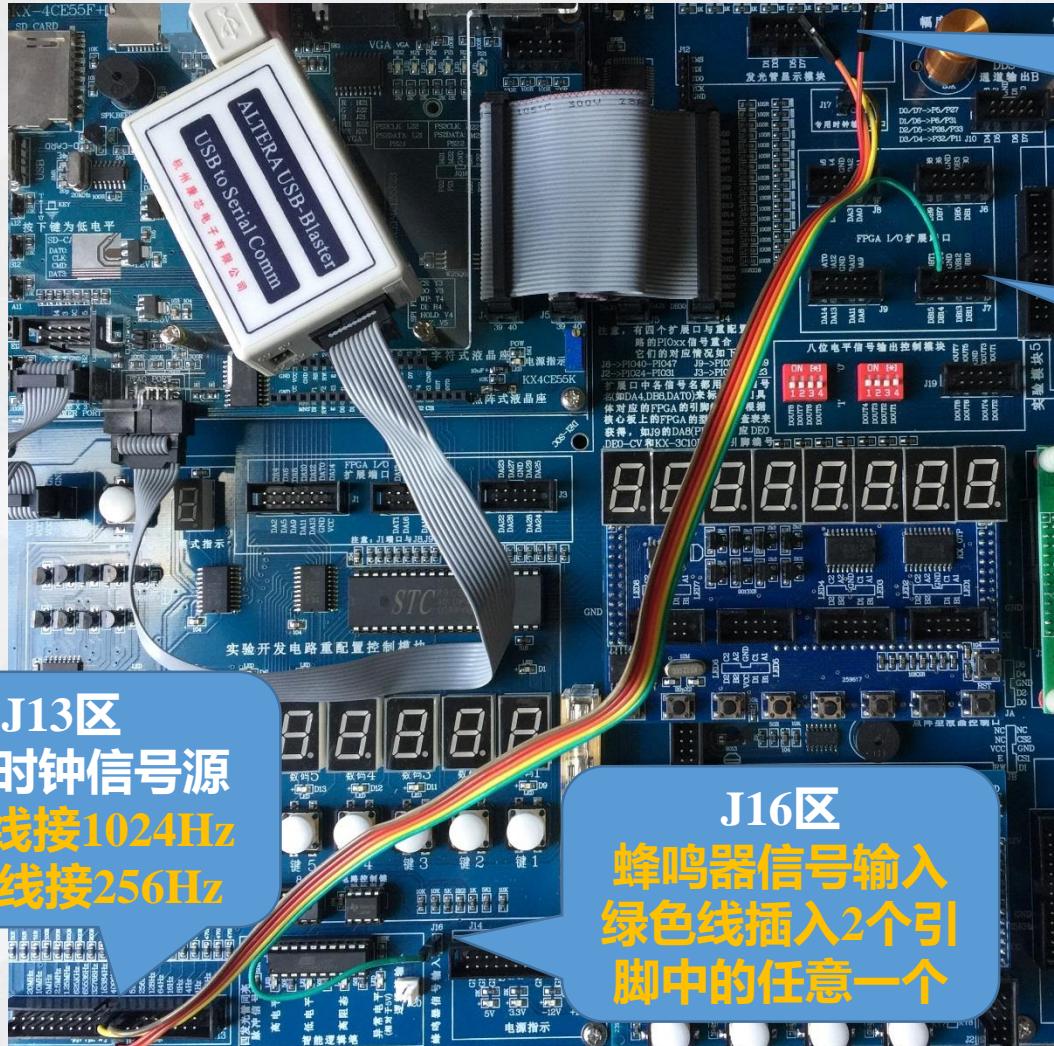
连接实验台编程器配置(ByteBlasterMV) KX-CDS实验台，EP4CE55F23C8芯片

主菜单“Tools”→“Programmer”项，打开编程器，点击 “Hardware Setup” 按钮，选择USB-Blaster硬件。

注意：实验台需要打开电源，并且将其JTAG接口与计算机通过USB线连接。USB端口选ALTERRA USB-Blaster



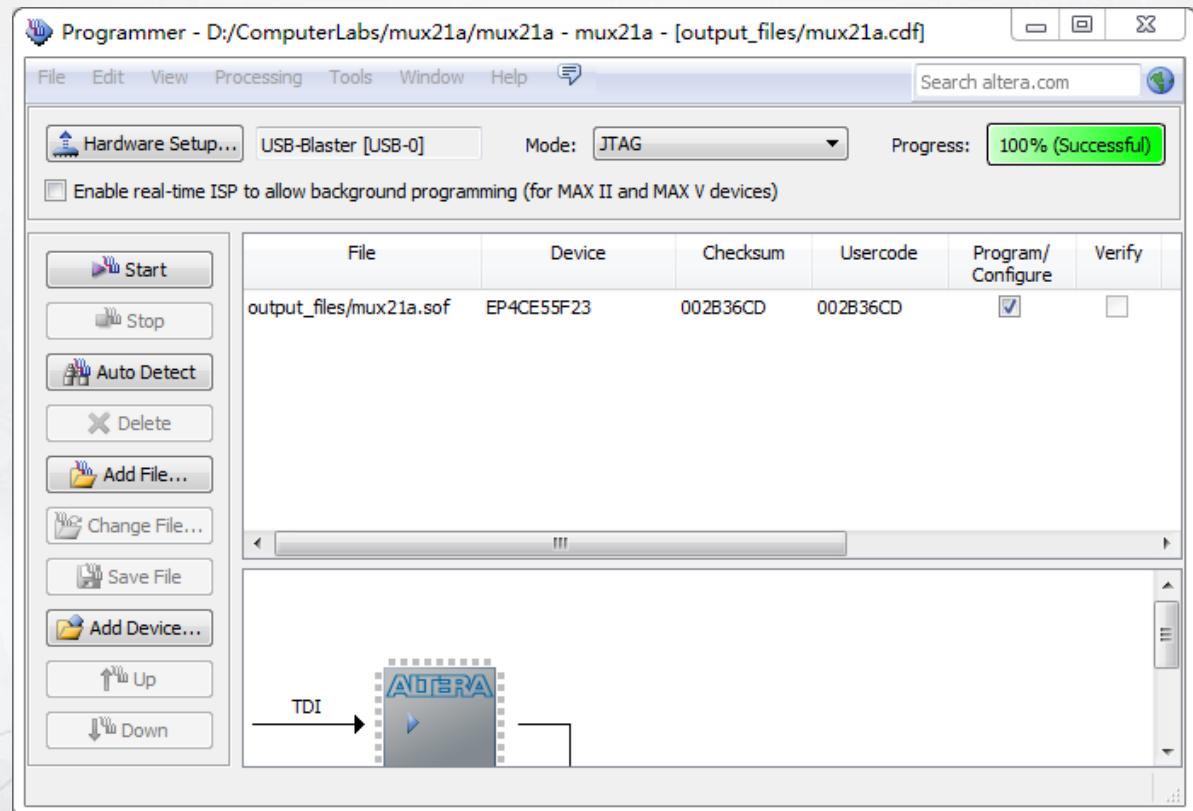
KX-CDS实验台用单线连接时钟源、蜂鸣器



输入/输出端口	外设	引脚名称	单线	
a	时钟	CLKB0	黄色	1024Hz
b	时钟	CLKB1	棕色	256Hz
s	按键1	PIO0		
y	扬声器	DBT1	绿色	

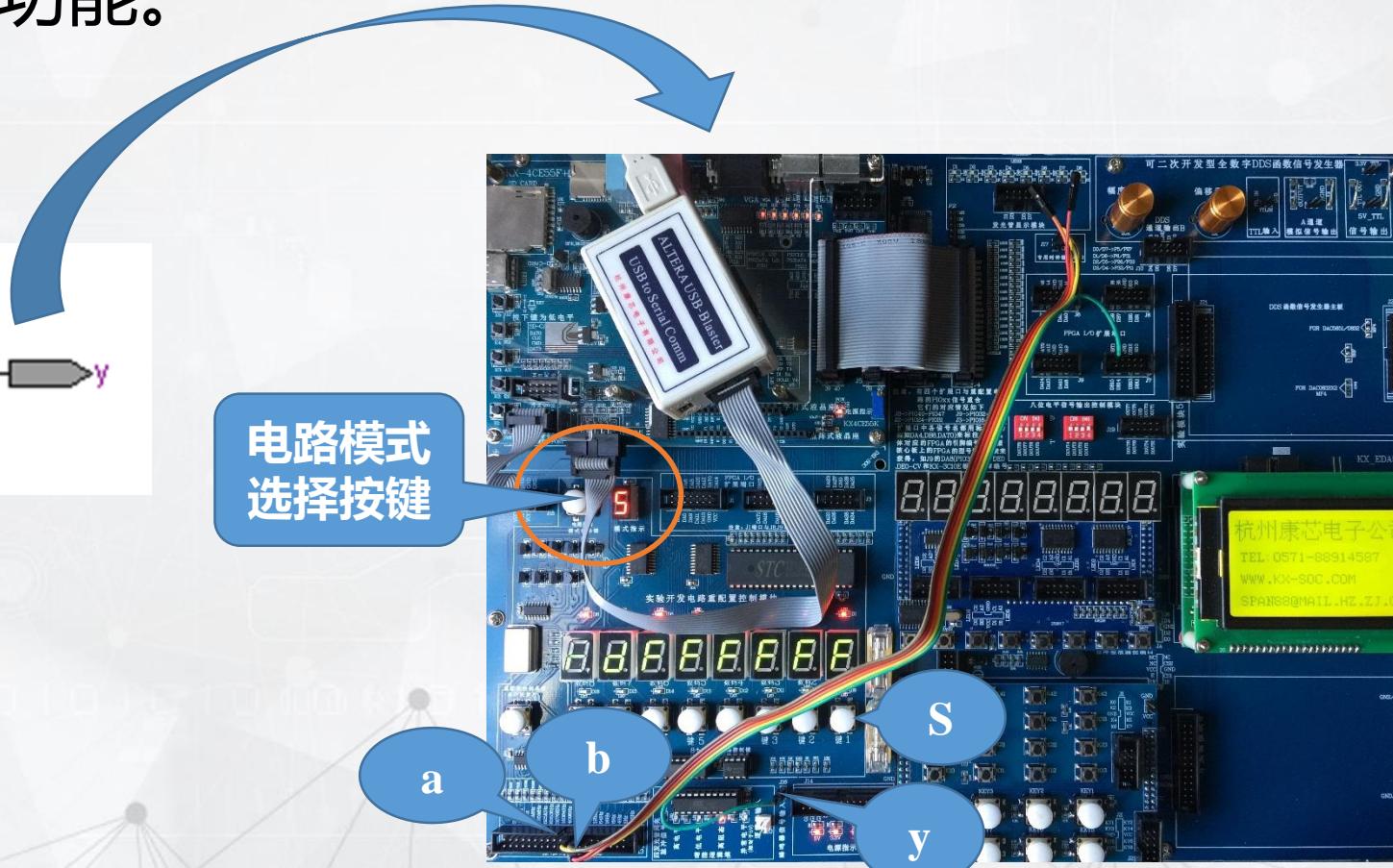
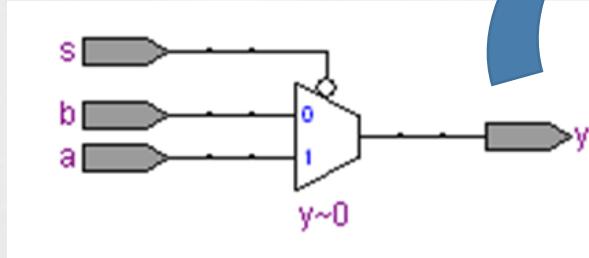
第6步：下载和测试—— KX-CDS实验台，EP4CE55F23C8芯片

在Programmer窗口，点击Start按钮，进度Progress为100%时，下载完毕



2选1多路选择器实验台演示

将电路的Sof文件下载到实验台的FPGA芯片中。在KX-CDS实验台上测试电路功能。



实验注意事项：

1. 实验台需要打开电源，并且将其JTAG接口与计算机通过USB线连接。USB端口选ALTERRA USB-Blaster
2. 需要安装实验台驱动，详见QQ群word教程。驱动路径参考教程，但以实际为准，安装失败可尝试多次，或者换设备和电脑再尝试。
3. 有选做实验项目，加分。
4. 实验截图，用于写报告，电路图、代码图、波形图、引脚锁定图、实验台图
5. 建议采用电脑屏幕截屏方式截图（利用Print Screen键），不建议用手机拍摄屏幕（除非进行后期处理保证波形图等图片上的信号和文字清晰）

现在开始实验！（第1次课）

实验一、基本组合、时序逻辑电路实验

1、2-1选择器 参考教材102页-123页

2、**2个人一组。** 实体名后面加2个学号的后两位，例如mux21a0709

注意，其他一些文件名，都要与实体名保持一致。否则出错。

3、按组提交、验收实验结果，完成智慧树实验后测试任务（实验测试1）。

4、**选做内容：**利用verilog语言设计8-1选择器（8选一），完成波形图仿真。

选做内容可以不按组做，感兴趣的同学在课内或课外时间完成后按前述方法提交、验收实验结果，写入实验报告，保存源工程。

5、有问题可以现场或课后通过QQ和教师交流。

6、下次课预习：2-4译码器（135页-144页），计数器（144页-147页），8位数据寄存器（148页-151页），采取腾讯会议共享屏幕按组验收。