

Alexandre THIMONIER 1782235

Constantin BOUIS 1783438

TP5 de INF1600

EXERCICE 2 **Memoire cache**

Q1 :

La mémoire principale est de 1024 Ko et donc code sur 20 bits.
On utilise 14bits pour adresser les 16Ko de mémoire cache. Les lignes sont de 16octets : on utilise donc 4bits pour chaque ligne.
 $14-4 = 10$ bits pour le nombre de lignes.

Direct : On utilise une ligne par ensemble.

6 bits TAG | 10 bits ensemble | 4 bits pour l'octet

Ensemble de 2 : 2 voies donc 1 bit pour le coder, $10-1=9$ bits pour l'ensemble.
 $20\text{Bits}-9-4=7$ bits de tag.

7 bits TAG | 9 bits ensemble | 4 bits pour l'octet

Ensemble de 4 : 4 voies donc 2 bits pour le coder : $10-2 = 8$ bits pour l'ensemble.

8 bits TAG | 8 bits ensemble | 4 bits pour l'octet

Q2 :

	DIRECT				2 blocs				4 blocs			
Acces	Tag	Set	Hit	W-b	Tag	Set	Hit	W-b	Tag	Set	Hit	w-b
WR 0x5EF1D	17	2F1			2F	0F1			5E	F1		
WR 0x19C7C	06	1C7			0C	1C7			19	C7		
RD 0x5EF1B	17	2F1	o		2F	0F1	o		5E	F1	o	
RD 0x8CDB0	23	0DB			46	0DB			8C	DB		
WR 0x3CDB3	0F	0DB		o	1E	0DB			3C	DB		
WR 0x5EF15	17	2F1	o		2F	0F1	o		5E	F1	o	
RD 0x68DBF	1A	0DB		o	34	0DB		o	68	DB		
WR 0xCAF1C	32	2F1		o	65	0F1			CA	F1		
RD 0x39C7E	0E	1C7		o	1C	1C7			39	C7		
WR 0xCAF1A	32	2F1	o		65	0F1	o		CA	F1	o	

Q3 :

État cache fin (Ensemble direct) :

Set	Tag
2F1	32*
1C7	0E
0DB	1A

État cache fin (Ensemble de deux) :

Set	Tag
0F1	2F*
	65*
1C7	0C*
	1C
0DB	34
	1E*

État cache fin (Ensemble de quatre) :

Set	Tag
F1	5E*
	CA*
C7	19*
	39
DB	8C
	3C*
	68

Q4 :

h : Taux de succes

(1-h) : Taux de default

p: Taux de 'write-back'

Tc : Temps d'accès a la cache = 8ns

Tp : Temps d'accès memoire principale = 100ns

Temps d'accès effectif : $h \cdot Tc + (1-h) \cdot Tp + p \cdot Tp$

Direct :

3 succès, 11 copies (7 lectures et 4 écriture)

$$h \cdot Tc + (1-h) \cdot Tp + p \cdot Tp = 0,3 \cdot 8 + 0,7 \cdot 100 + 0,4 \cdot 100 = 112,4 \text{ ns}$$

Bloc 2 :

3 succès, 8 copies (7 lectures et 1 écriture)

$$h \cdot Tc + (1-h) \cdot Tp + p \cdot Tp = 0,3 \cdot 8 + 0,7 \cdot 100 + 0,1 \cdot 100 = 82,4 \text{ ns}$$

Bloc 4 :

3 succès, 7 copies (7 lectures et 0 écriture)

$$h \cdot Tc + (1-h) \cdot Tp + p \cdot Tp = 0,3 \cdot 8 + 0,7 \cdot 100 + 0 \cdot 100 = 72,4 \text{ ns}$$

Q5 :

Dans une cache complètement associative, il n'y a pas d'ensembles. La structure de l'adresse serait devenu : 16 | 4, c'est à dire, 16 bits de tag ainsi que 4 bits pour l'octet, ce qui donne un total de 20 bits pour les 1024Ko de mémoire principale