

## Reporte de la práctica 2 de Arquitectura de Computadoras

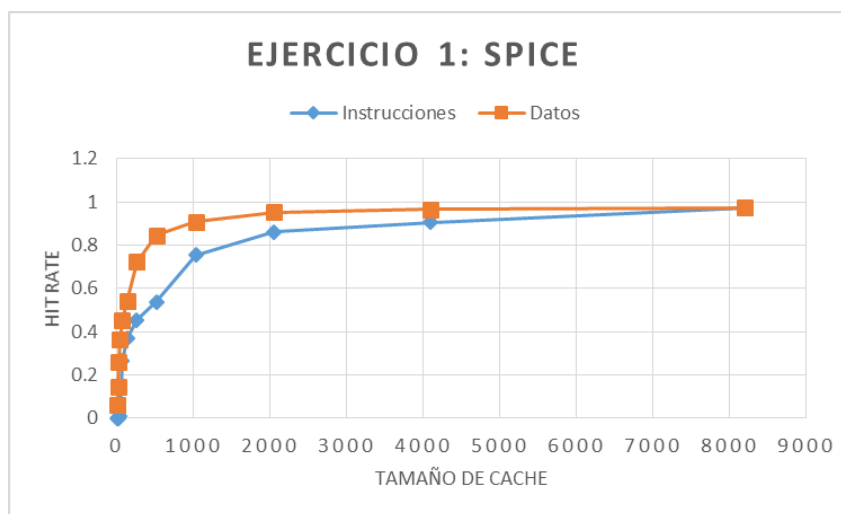
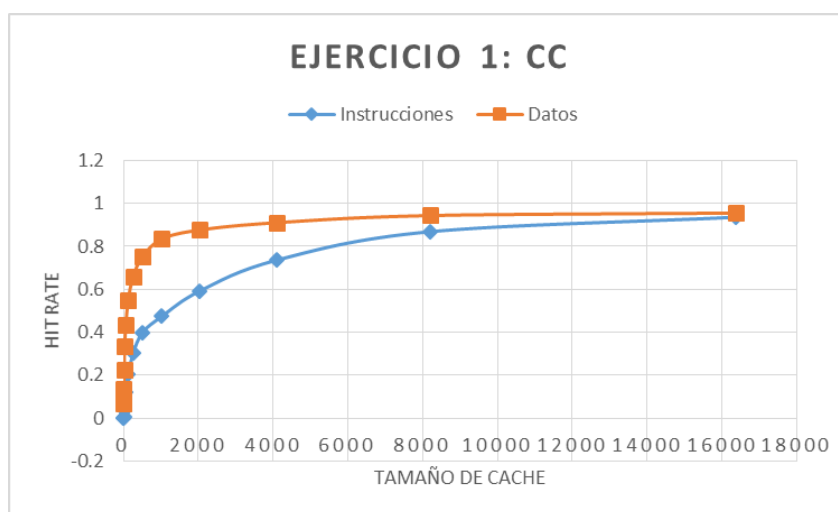
Dr. José Alberto Domingo Incera Diéguez

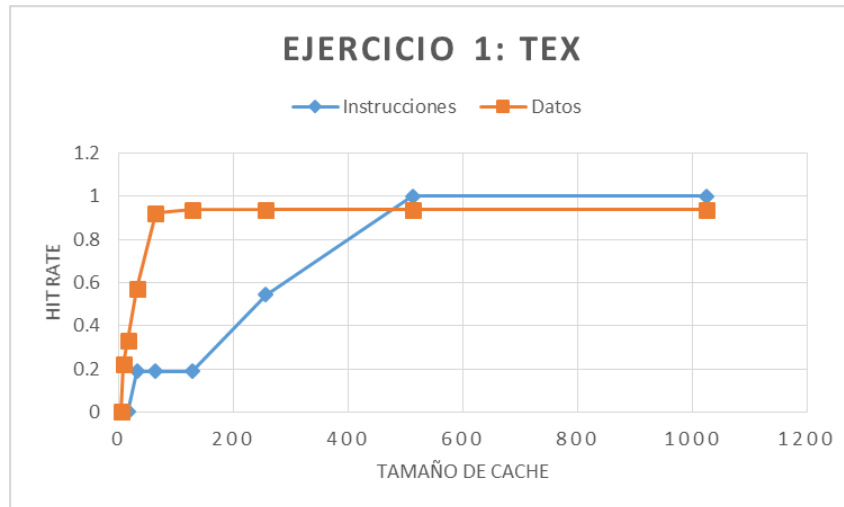
Héctor Hugo Huipet Hernández

110092

### 1 Caracterización del conjunto de trabajo

Se realizó una simulación utilizando el cache desarrollado en la práctica para ir variando el tamaño del cache desde 4 bytes hasta que la tasa de hit sea insensible al cambio en el tamaño del cache.

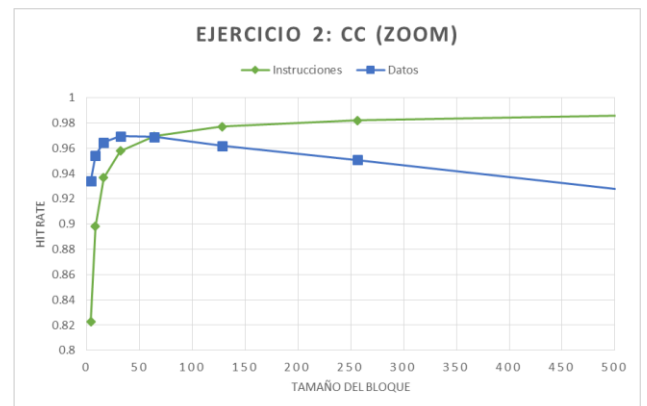
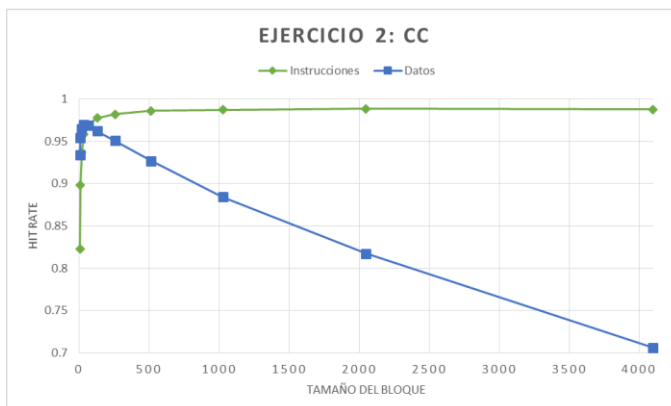


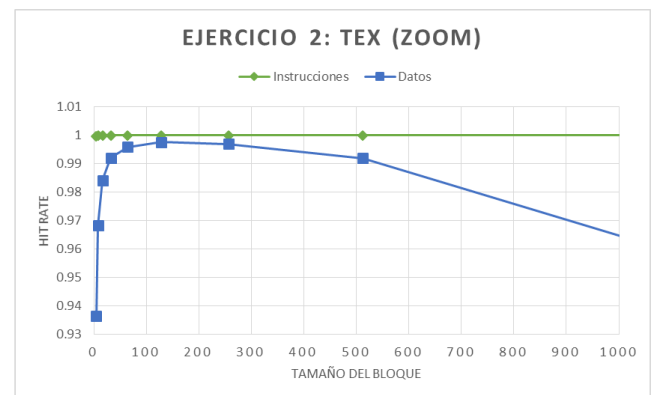
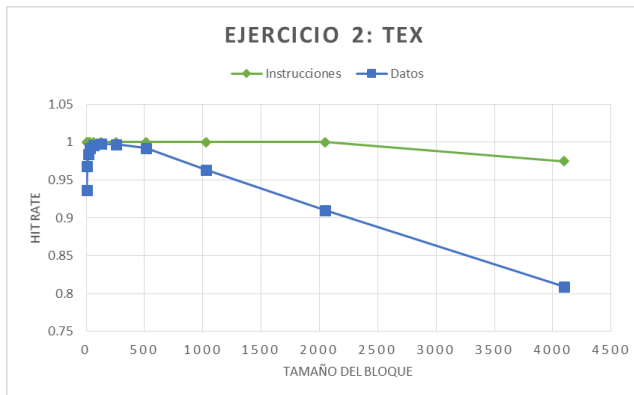
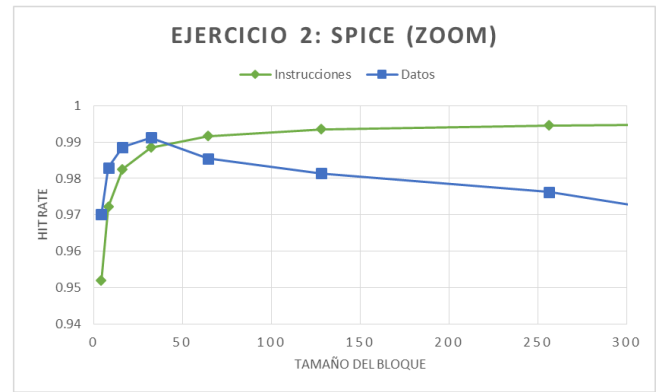
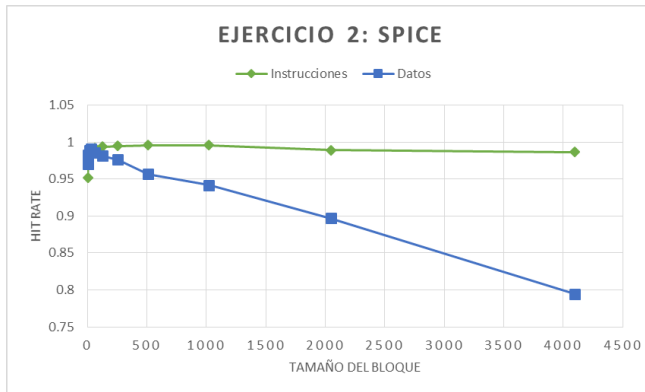


- 1) En este experimento se está modificando incrementalmente el tamaño de cache para poder observar cómo cambia el hit rate a medida que el tamaño de cache se incrementa. También se quiere observar que existe una frontera en la cual el tamaño de cache ya no incrementa el hit rate, ya que como se explicó en clase, también se empieza a ver aumentado el hit time o pueden requerirse más recursos para dicha memoria (silicio), disipación de calor.
- 2) ¿Cuál es el tamaño total del conjunto de trabajo de instrucciones y del conjunto de trabajo de datos, para cada una de las trazas?

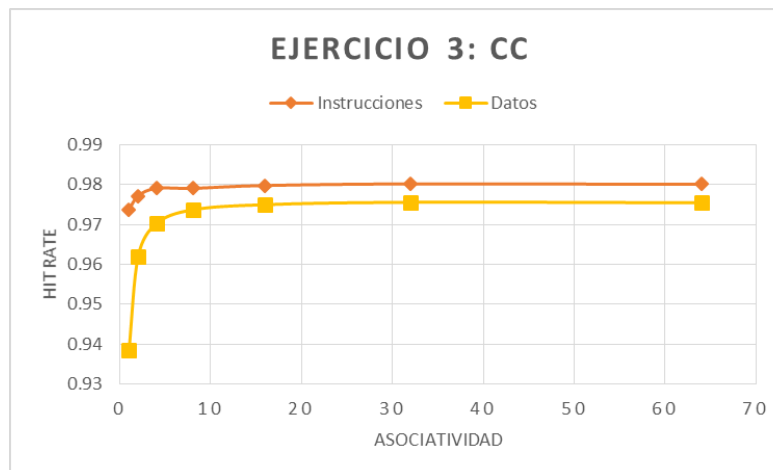
|       | Instrucciones | Datos |
|-------|---------------|-------|
| CC    | 16KB          | 4KB   |
| SPICE | 4KB           | 1KB   |
| TEX   | 512B          | 64B   |

## 2 Impacto del tamaño de bloque

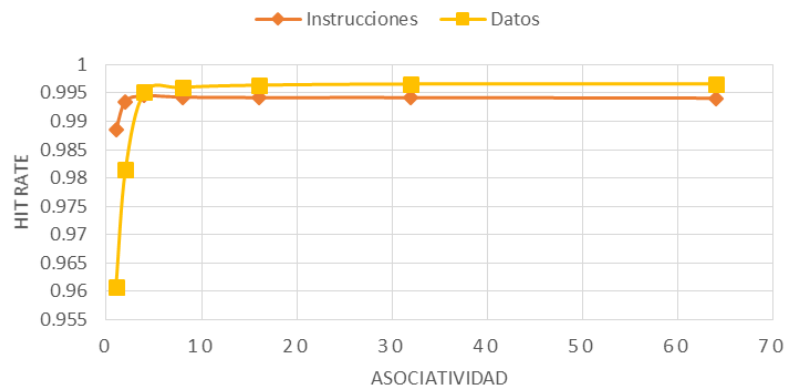




### 3 Impacto de la asociatividad



### EJERCICIO 3: SPICE



### EJERCICIO 3: TEX

