



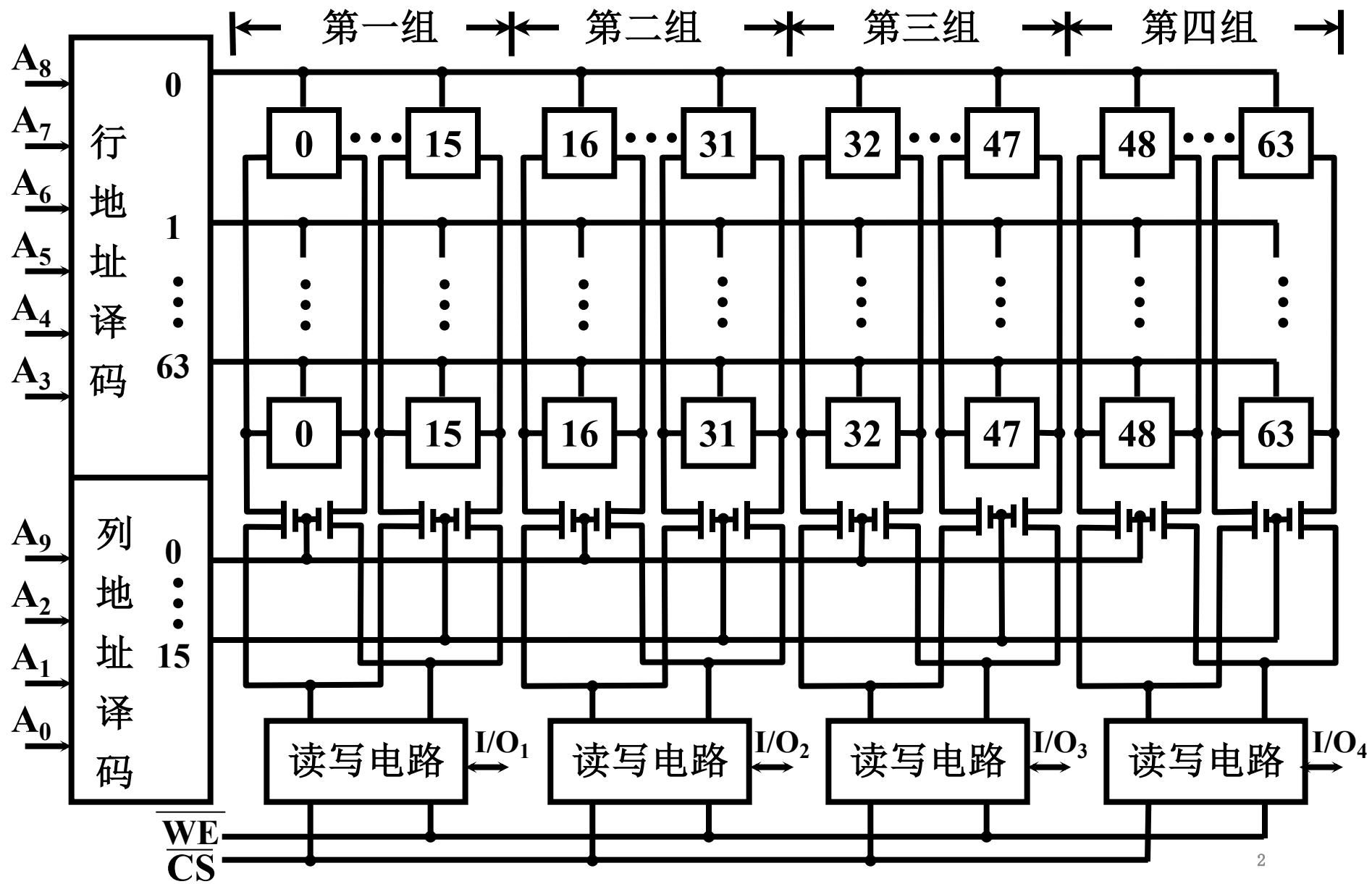
计算机组成原理

第 8 讲

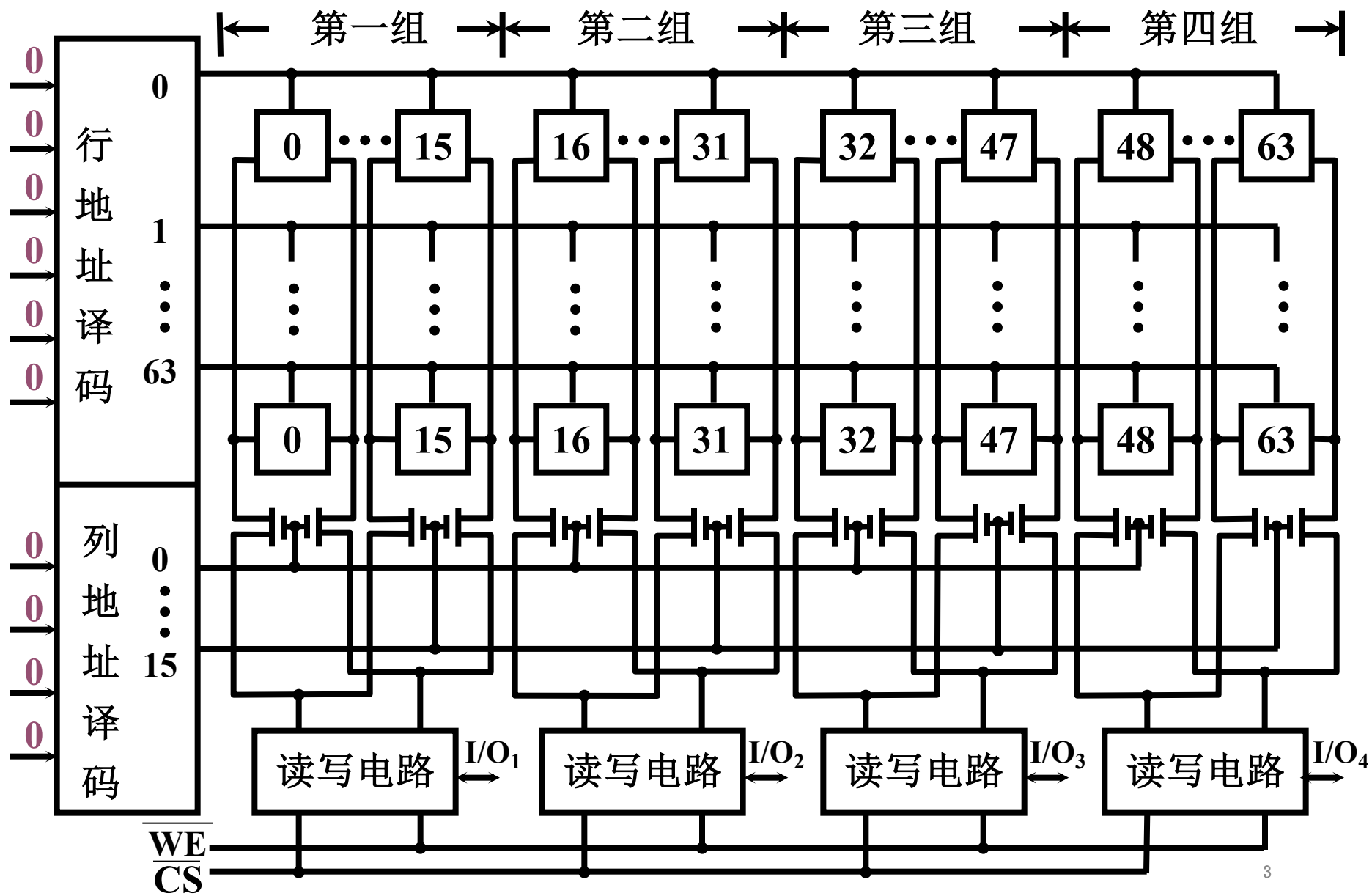
左德承

哈尔滨工业大学计算学部
容错与移动计算研究中心

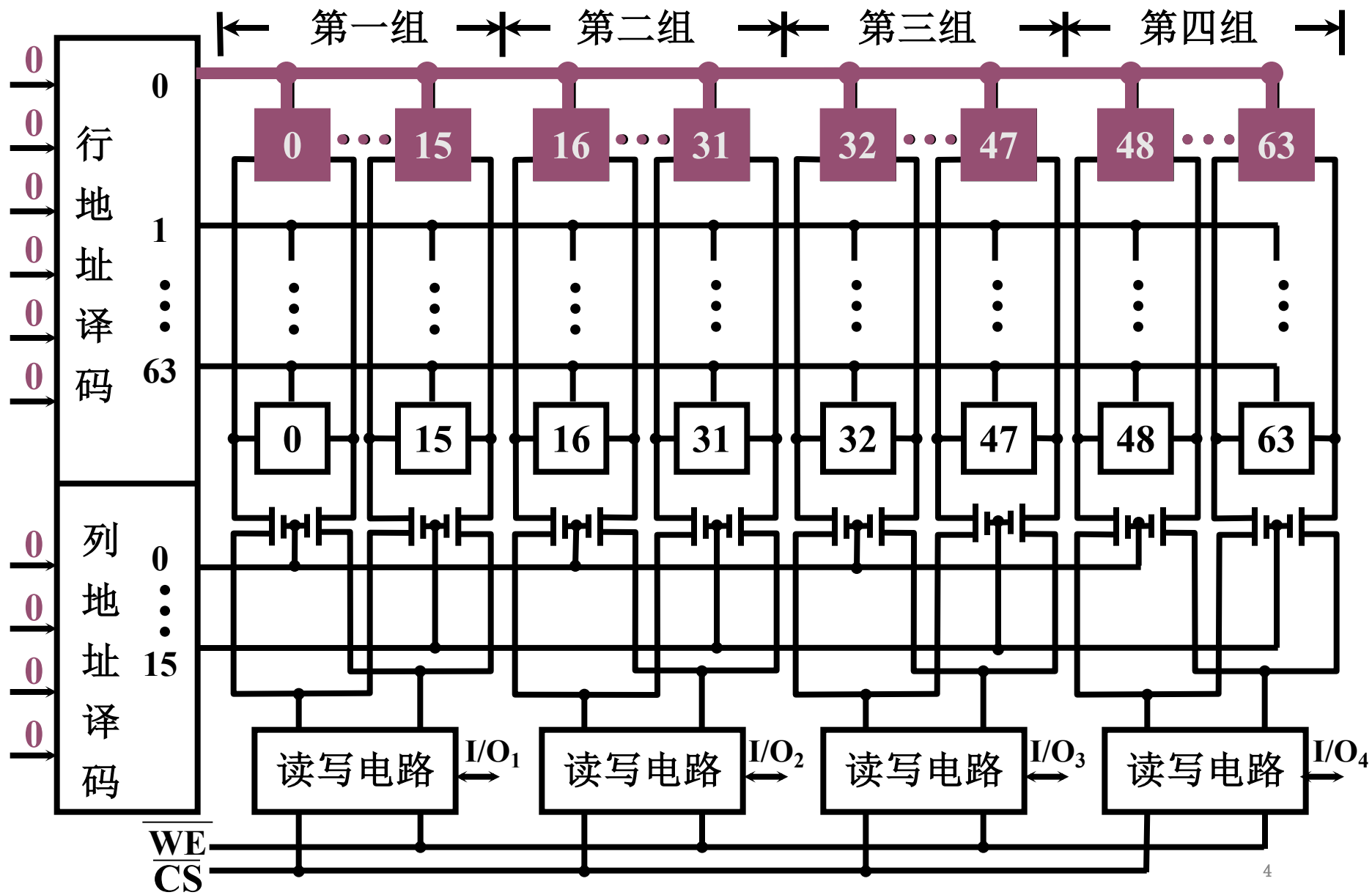
③ Intel 2114 RAM 矩阵 (64×64) 写 4.2



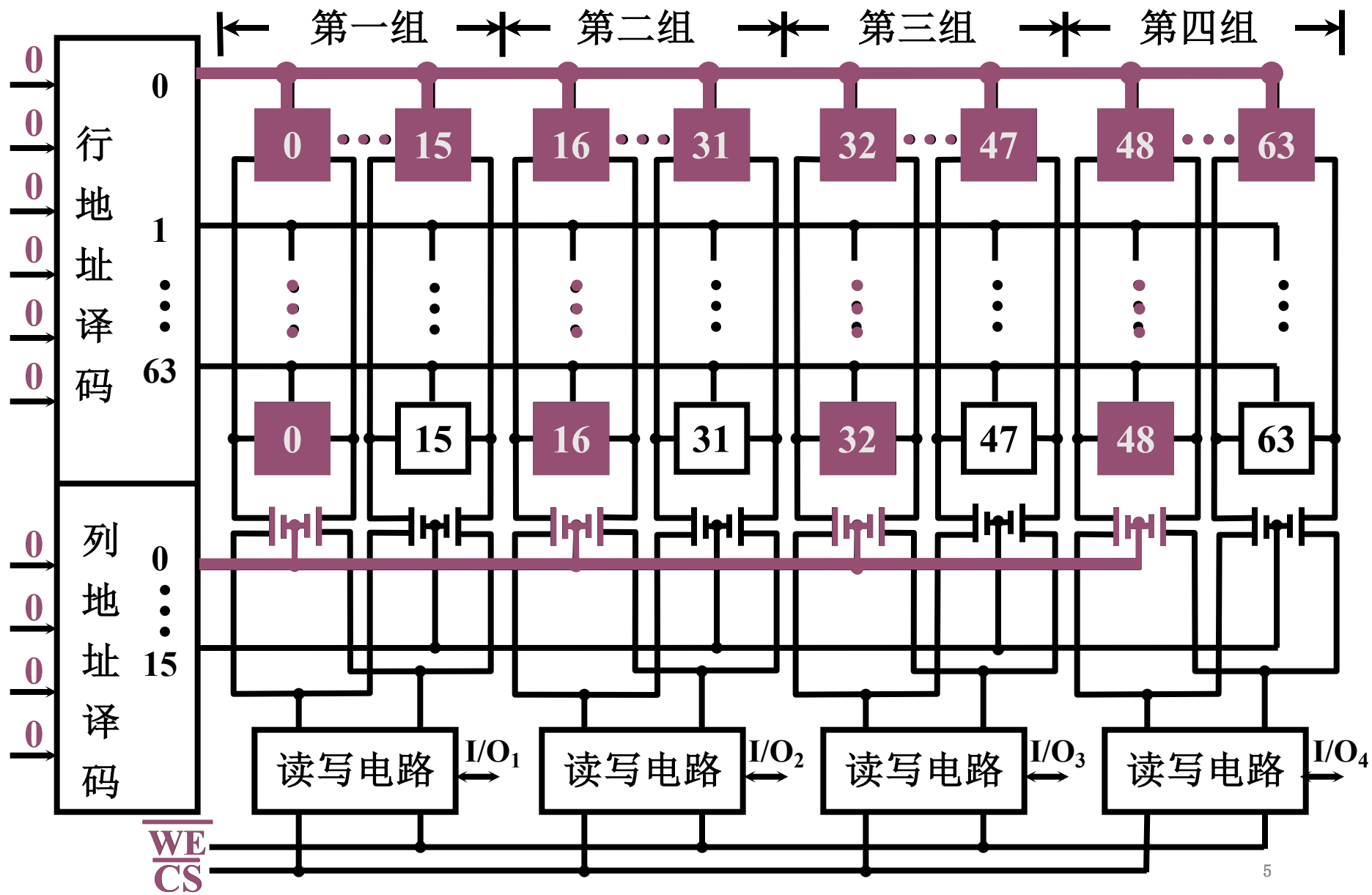
③ Intel 2114 RAM 矩阵 (64 × 64) 写 4.2



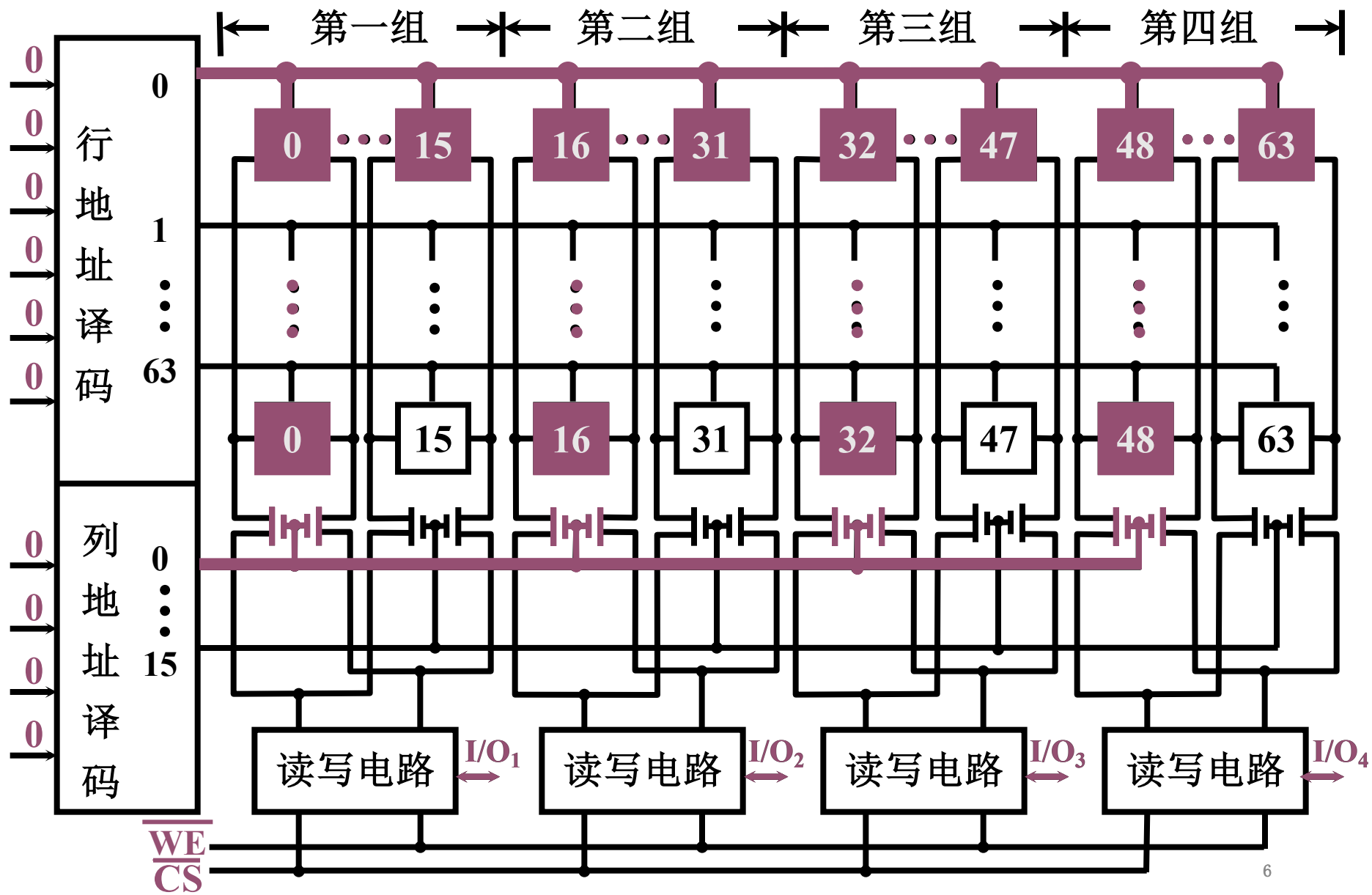
③ Intel 2114 RAM 矩阵 (64 × 64) 写 4.2



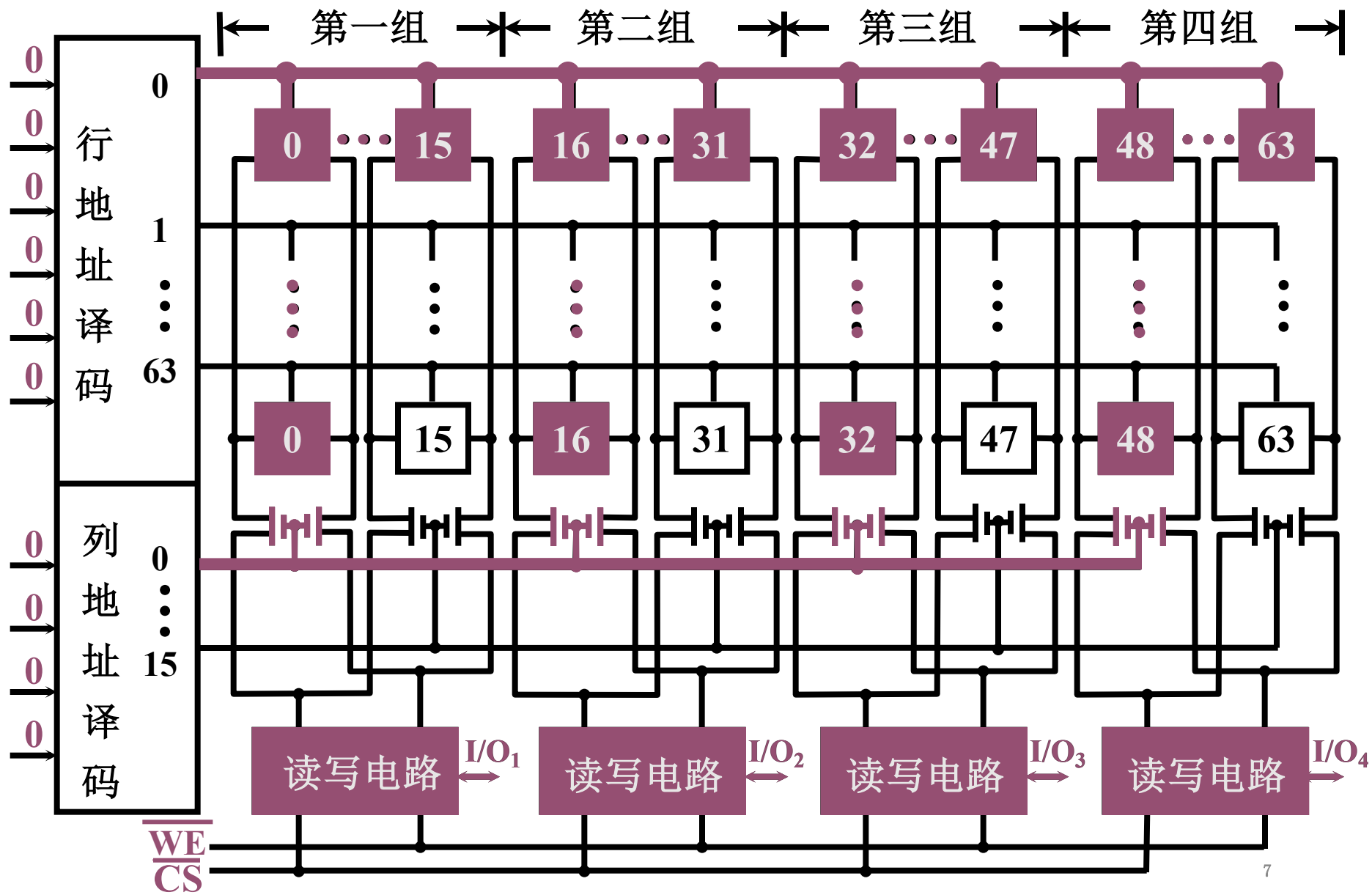
③ Intel 2114 RAM 矩阵 (64 × 64) 写 4.2



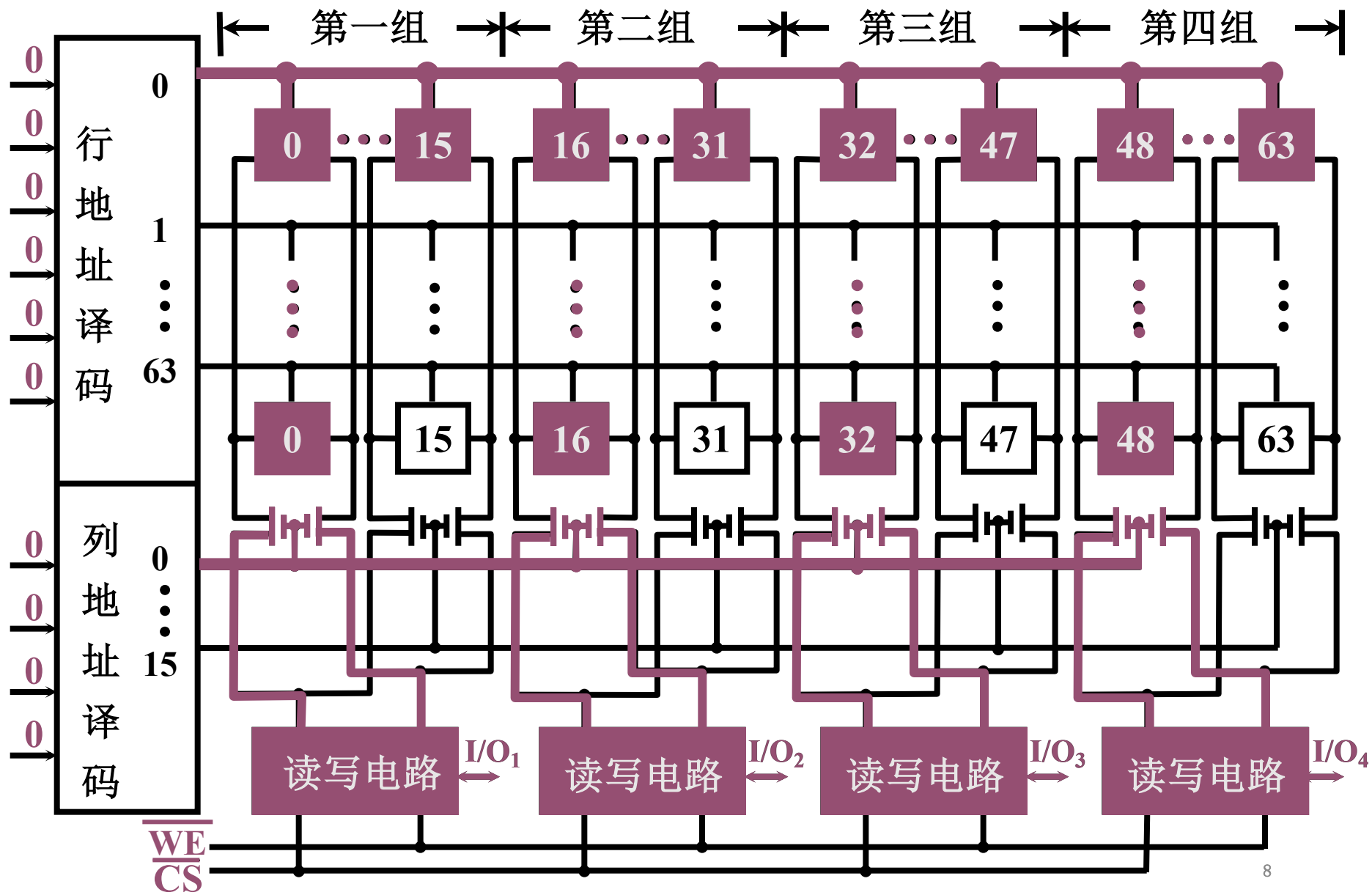
③ Intel 2114 RAM 矩阵 (64 × 64) 写 4.2



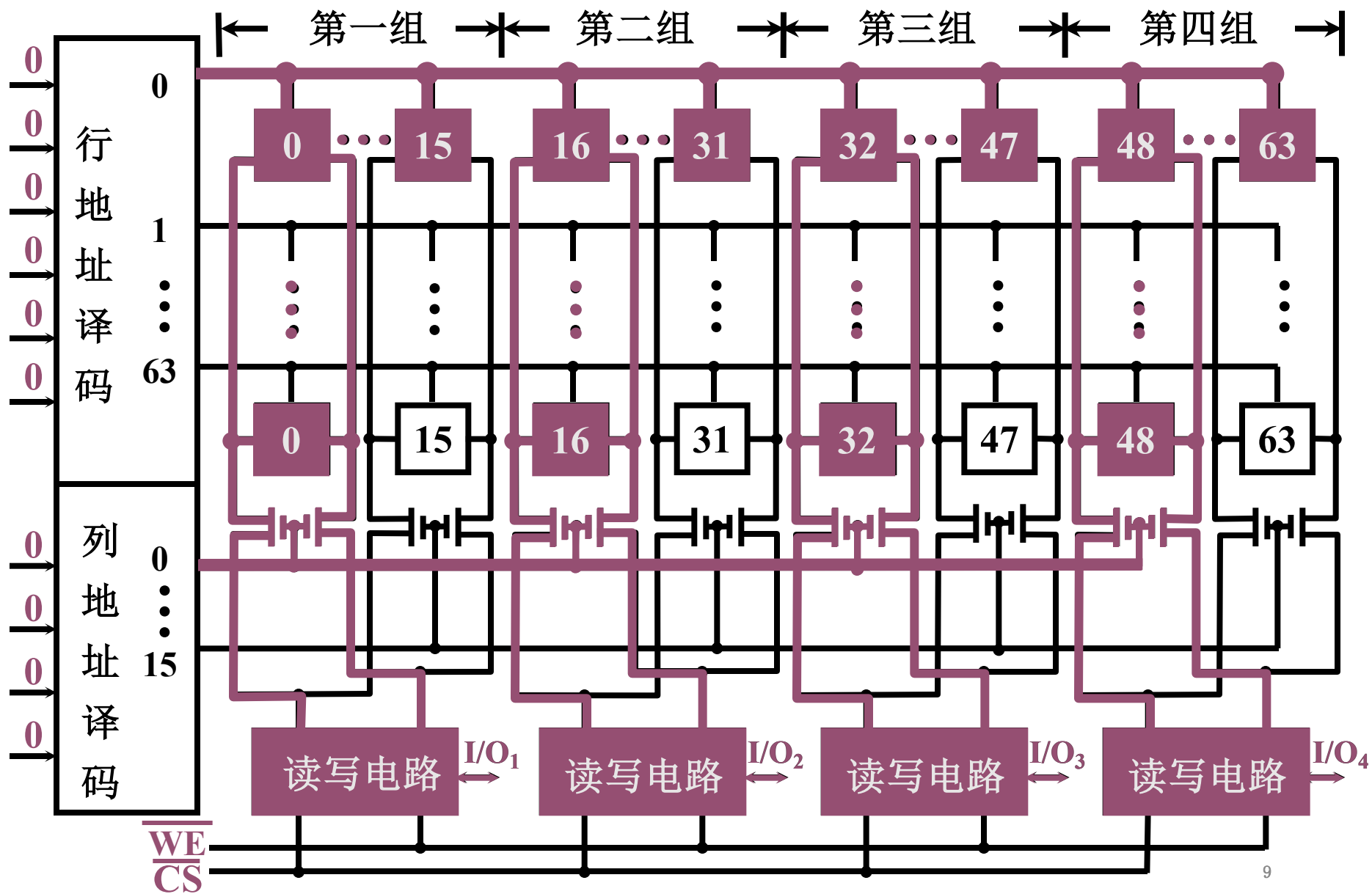
③ Intel 2114 RAM 矩阵 (64 × 64) 写 4.2



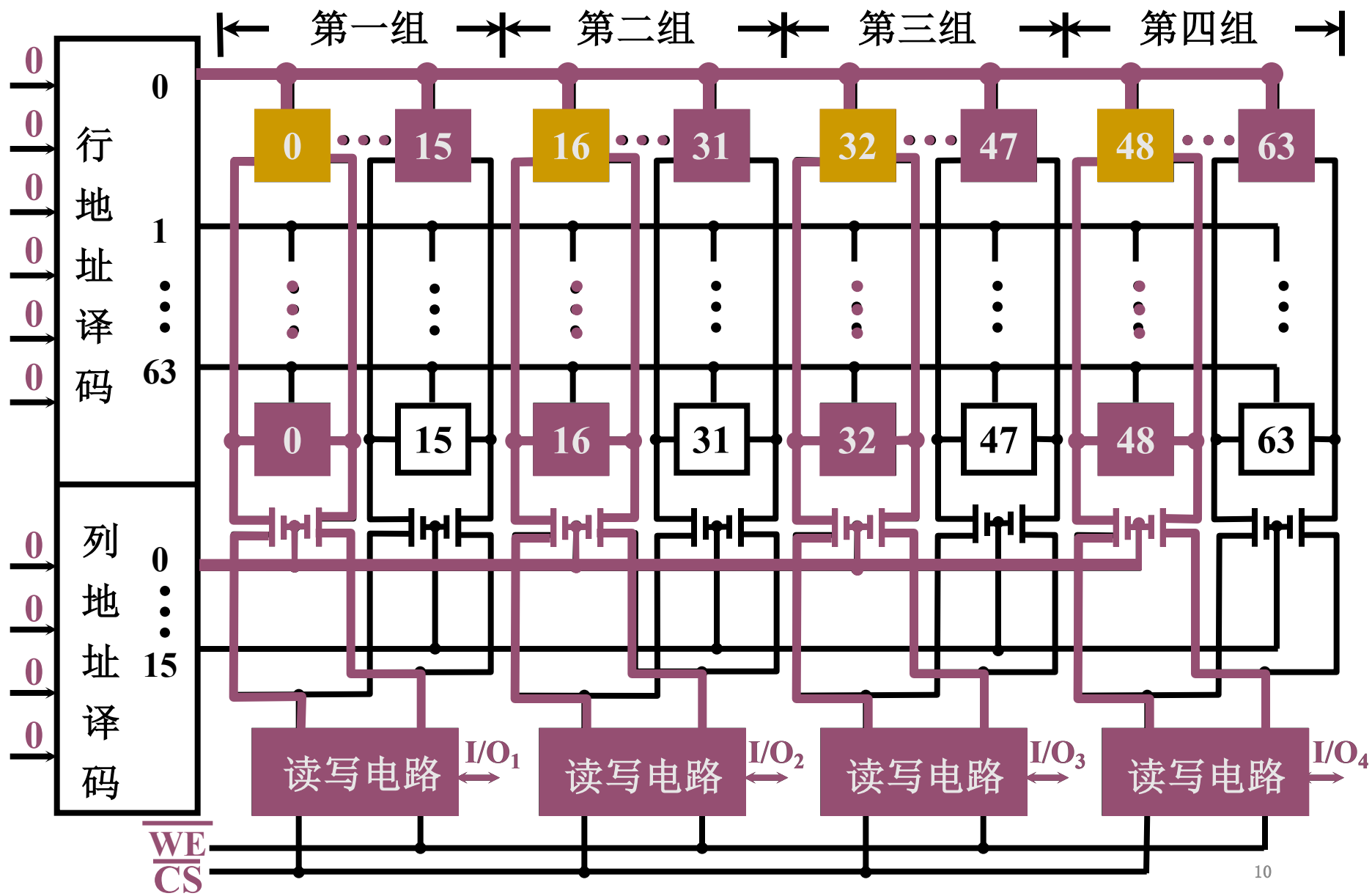
③ Intel 2114 RAM 矩阵 (64 × 64) 写 4.2



③ Intel 2114 RAM 矩阵 (64 × 64) 写 4.2

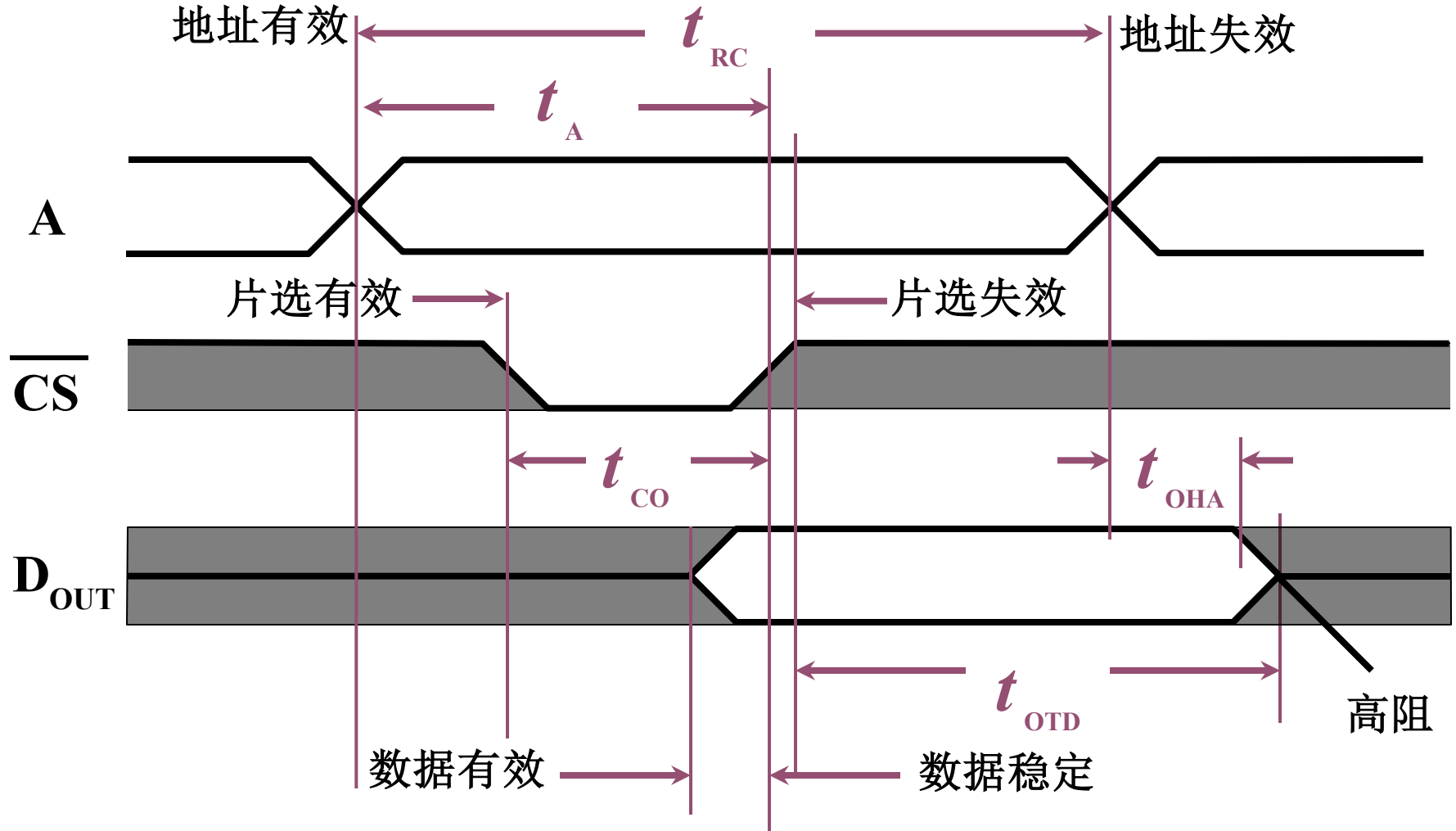


③ Intel 2114 RAM 矩阵 (64 × 64) 写 4.2



(3) 静态 RAM 读 时序

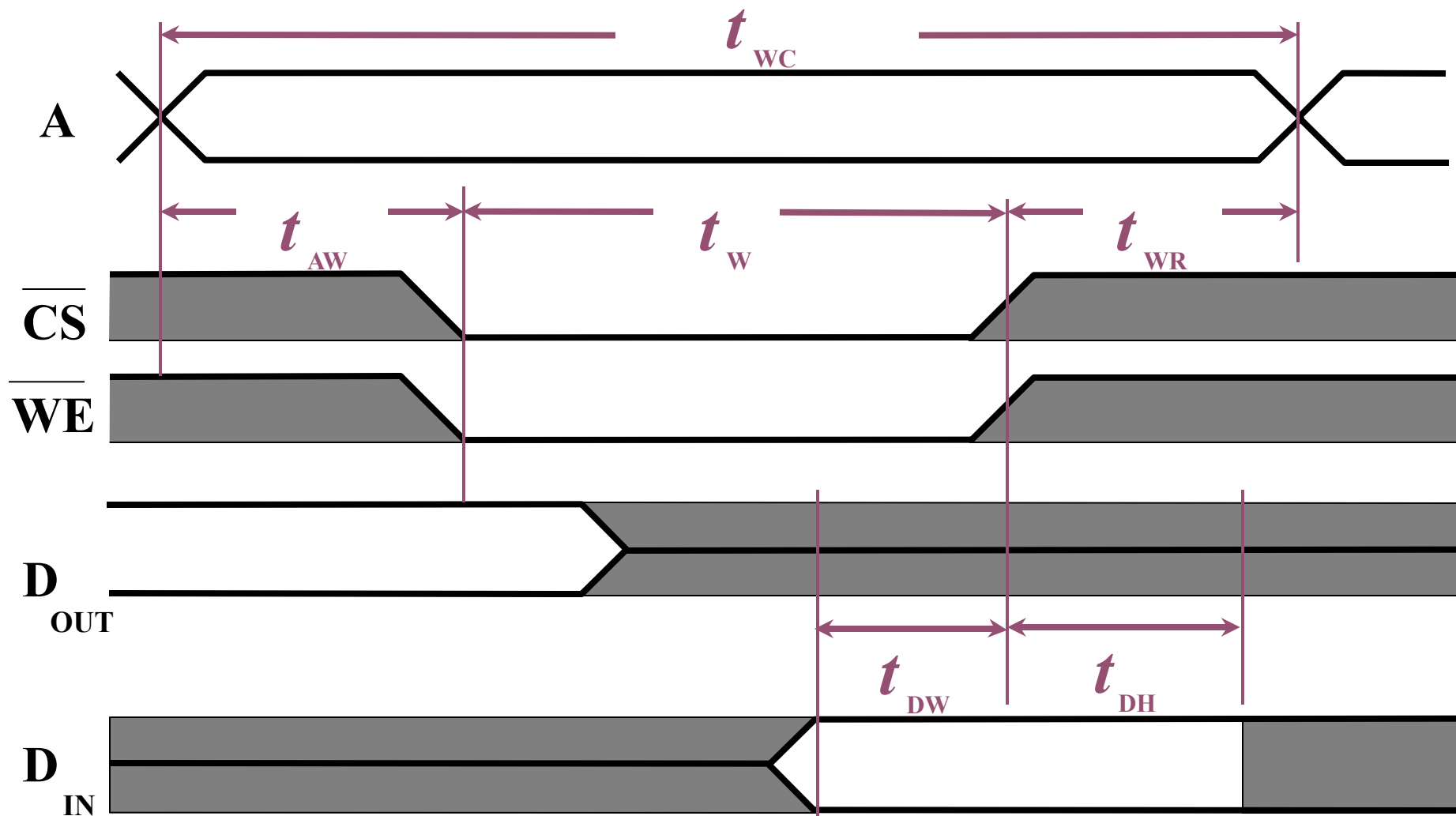
4.2



t_{OHA} 地址失效后的数据维持时间

(4) 静态 RAM (2114) 写时序

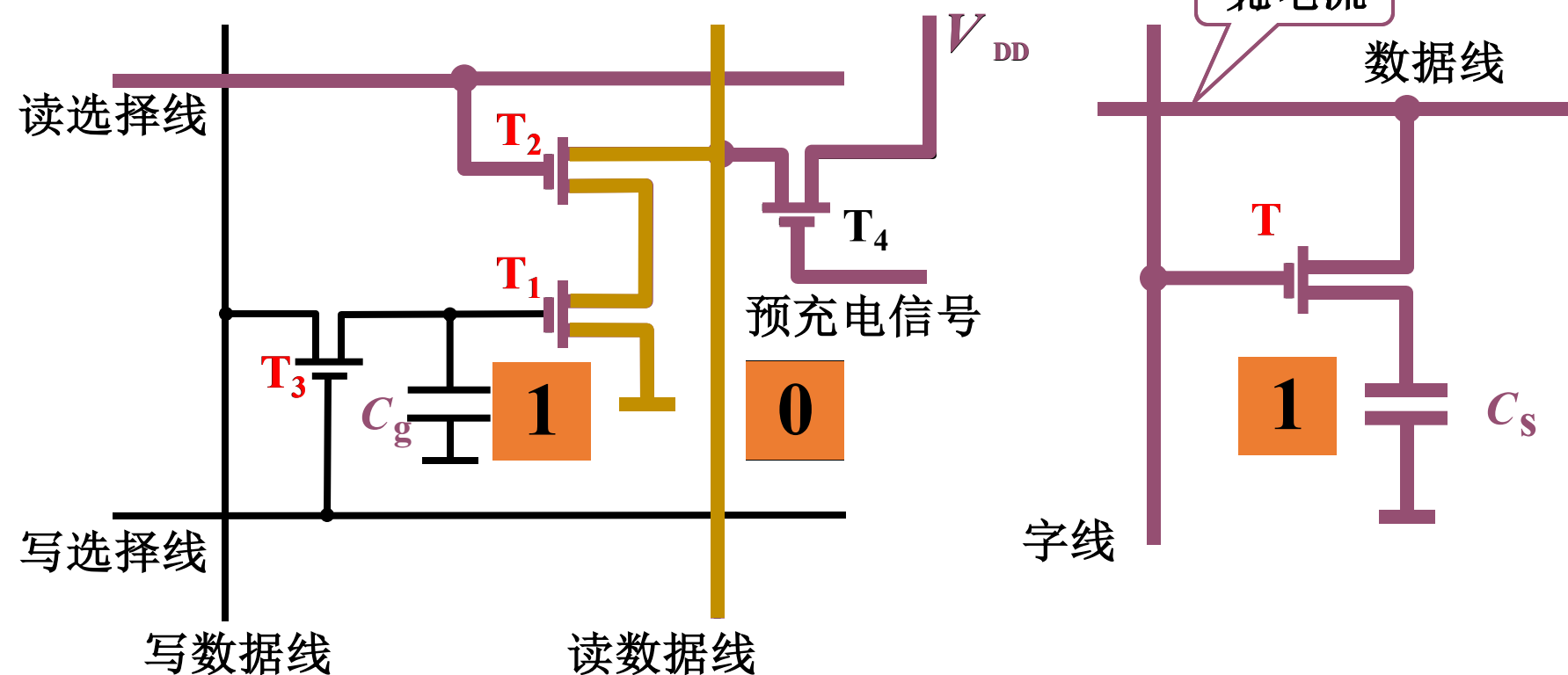
4.2



t_{DH} $\overline{\text{WE}}$ 失效后的数据维持时间

2. 动态 RAM (DRAM)

(1) 动态 RAM 基本单元电路



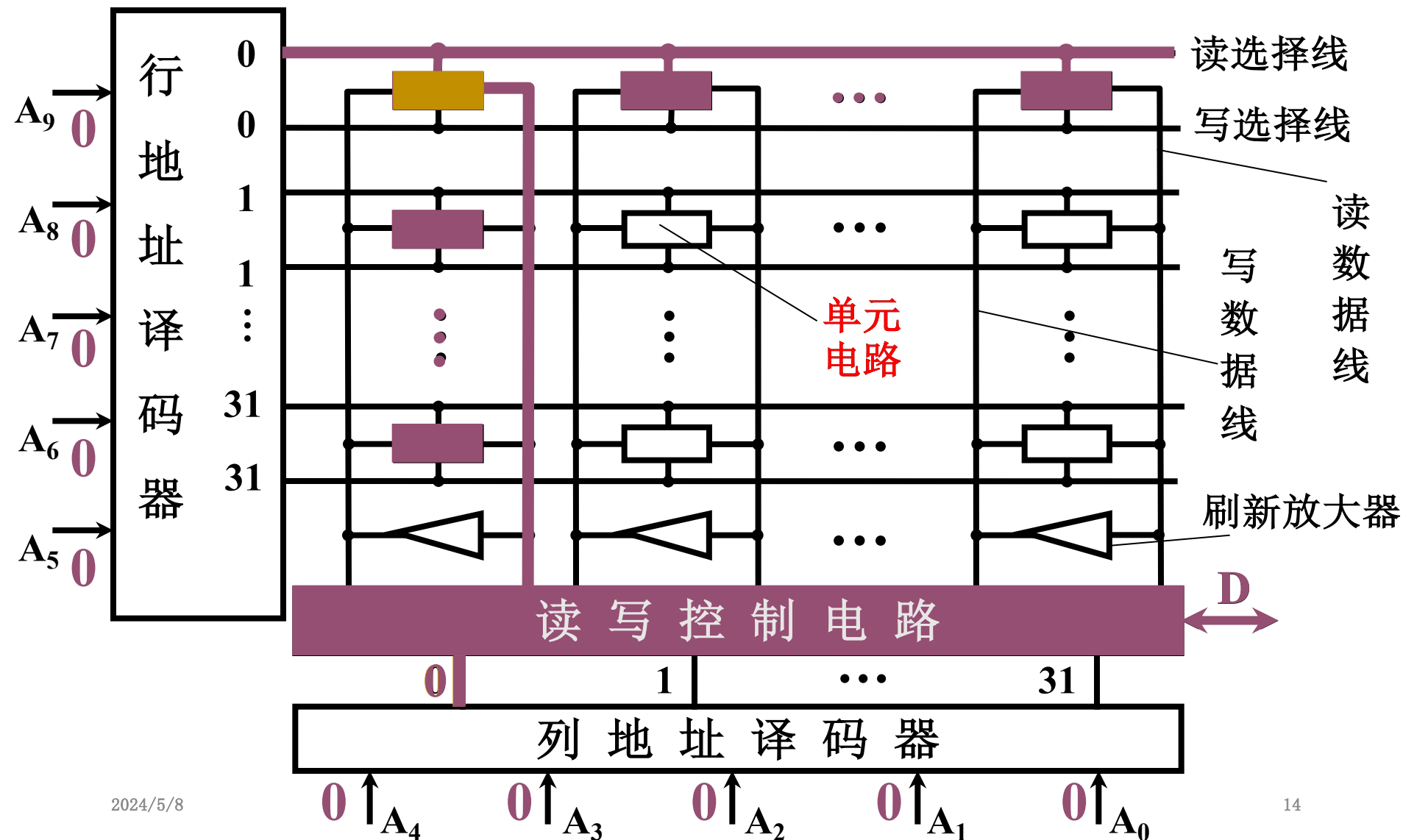
读出与原存信息相反
写入与输入信息相同

读出时数据线有电流 为 “1”
写入时 C_s 充电为 “1” 放电为 “0”

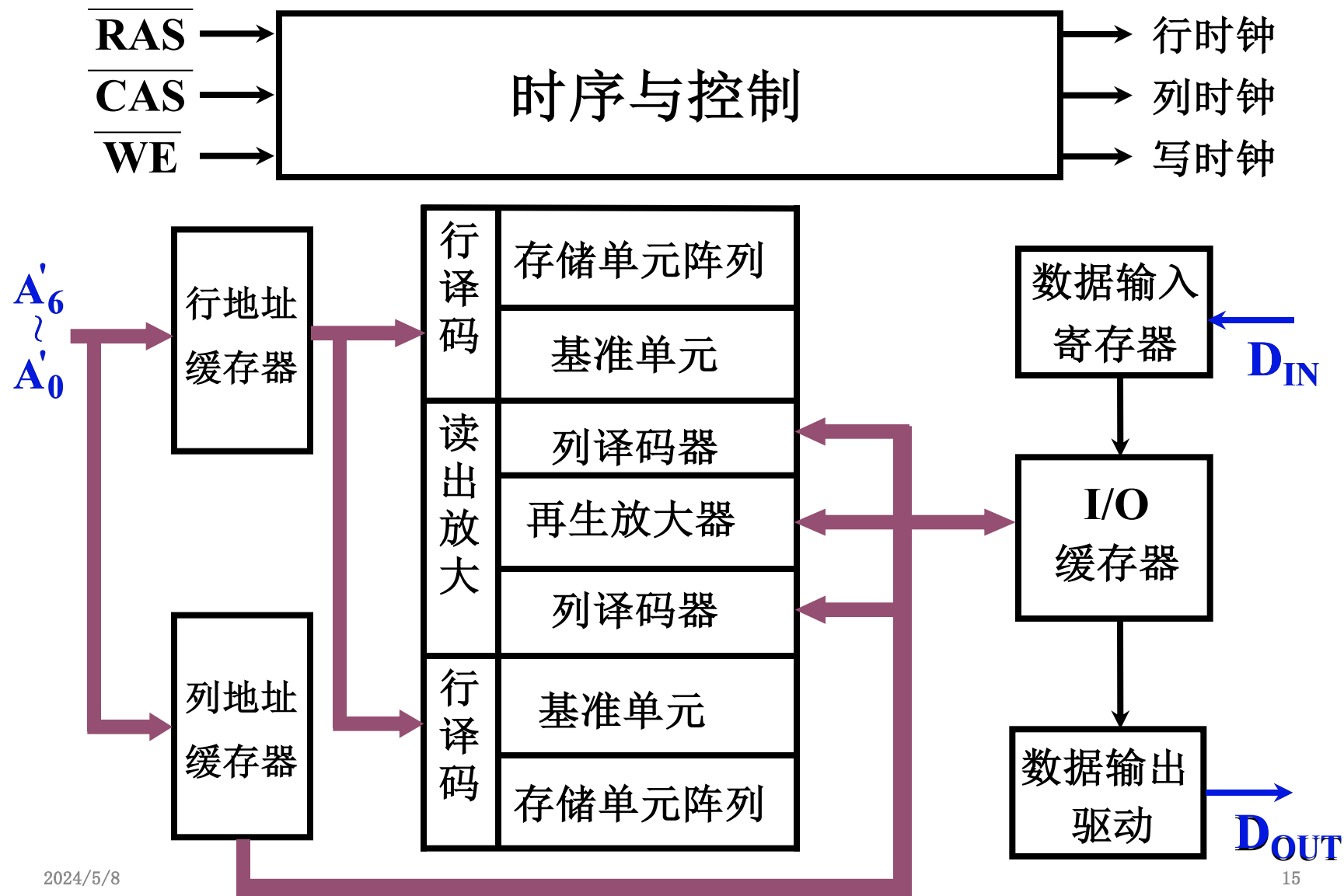
(2) 动态 RAM 芯片举例

4.2

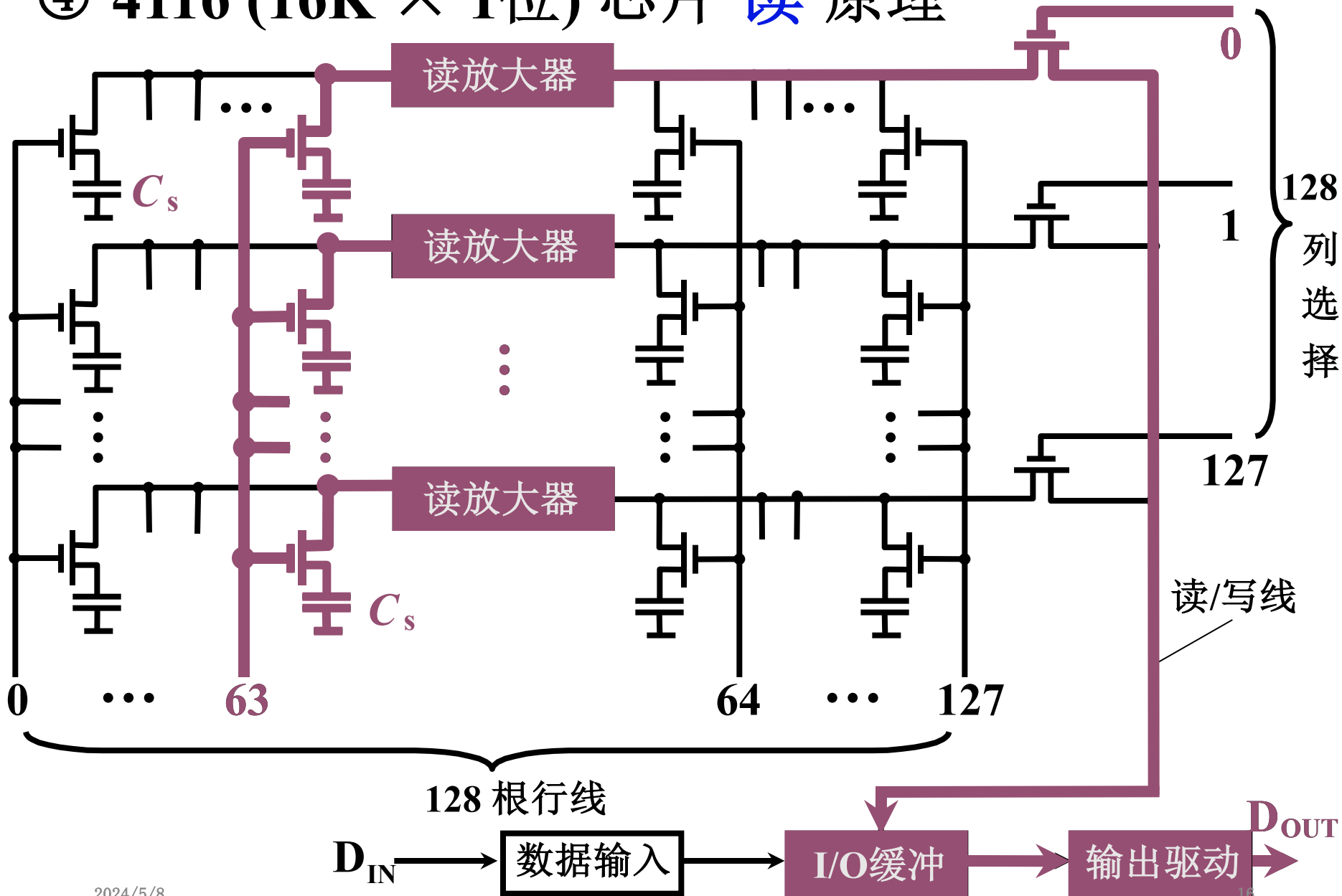
三管动态 RAM 芯片 (Intel 1103)



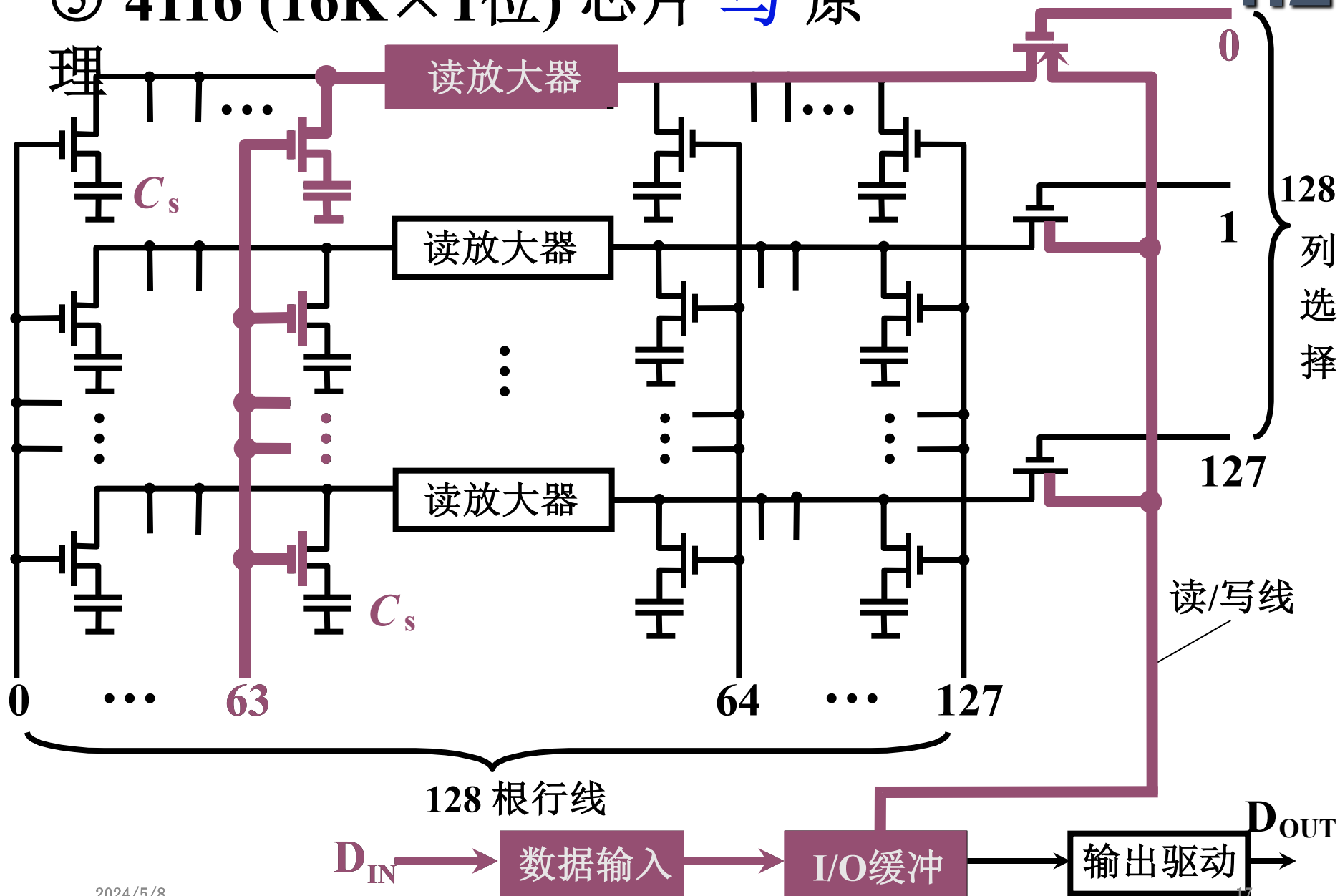
③ 单管动态 RAM 4116 (16K × 1位) 外特性 4.2



④ 4116 (16K × 1位) 芯片 读 原理



⑤ 4116 (16K×1位) 芯片 写 原



(3) 动态 RAM 时序

行、列地址分开传送

读时序

行地址 $\overline{\text{RAS}}$ 有效

写允许 $\overline{\text{WE}}$ 有效(高)

列地址 $\overline{\text{CAS}}$ 有效

数据 D_{OUT} 有效

写时序

行地址 $\overline{\text{RAS}}$ 有效

写允许 $\overline{\text{WE}}$ 有效(低)

数据 D_{IN} 有效

列地址 $\overline{\text{CAS}}$ 有效

(4) 动态 RAM 刷新

4.2

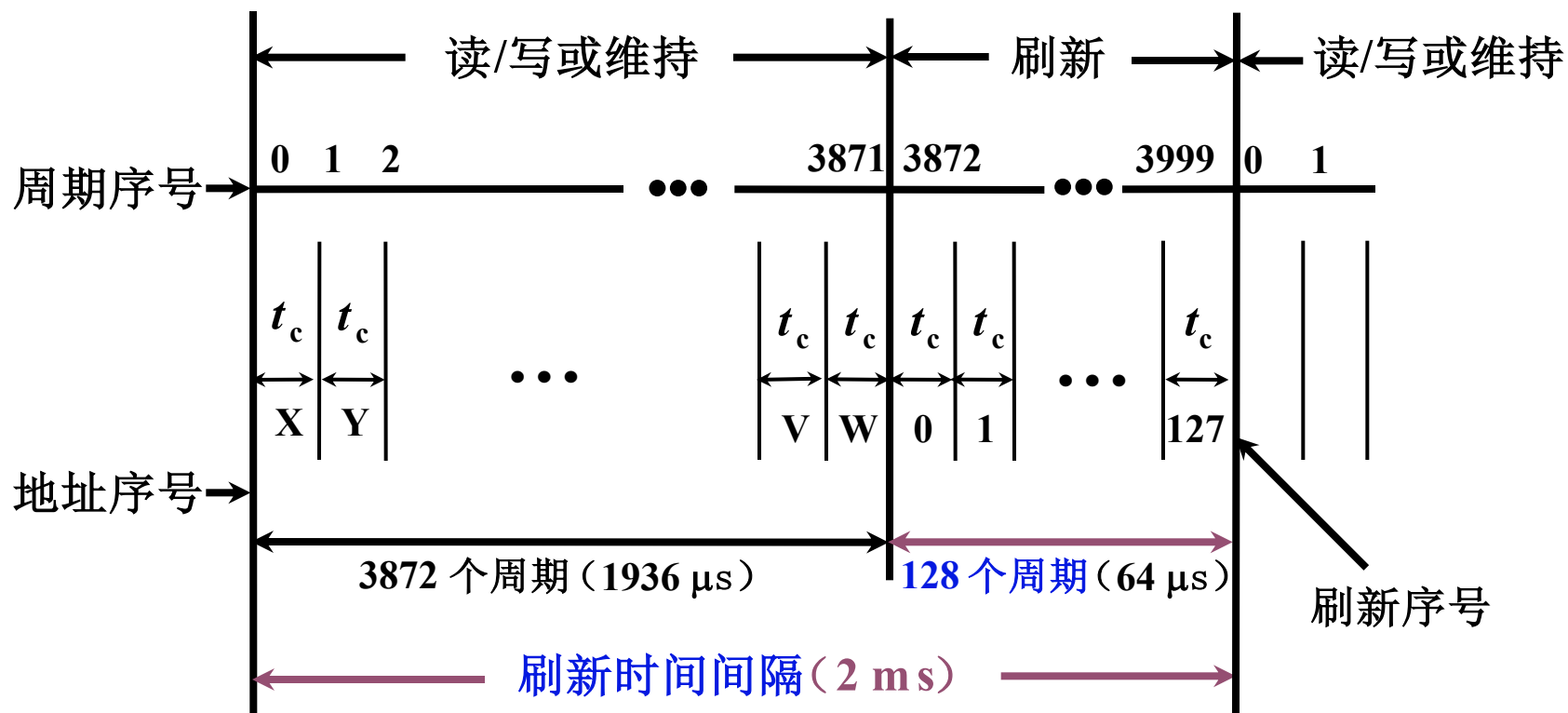
- 刷新：定期补充电荷以避免电荷泄露引起的信息丢失
 - 电容存在泄露电流
- 刷新周期：存储器两次完整刷新之间的时间间隔
 - 信息存储到泄漏之间必须完成刷新，称为**最大刷新周期**
- 按行刷新
 - 存储体采用双译码结构，刷新地址计数器给出刷新行地址
- 刷新方式
 - CPU与刷新控制器对DRAM的争用问题
 - 集中式、分散式、异步式

(4) 动态 RAM 刷新

4.2

刷新与行地址有关

① 集中刷新（存取周期为 $0.5\ \mu\text{s}$ ）以 128×128 矩阵为例



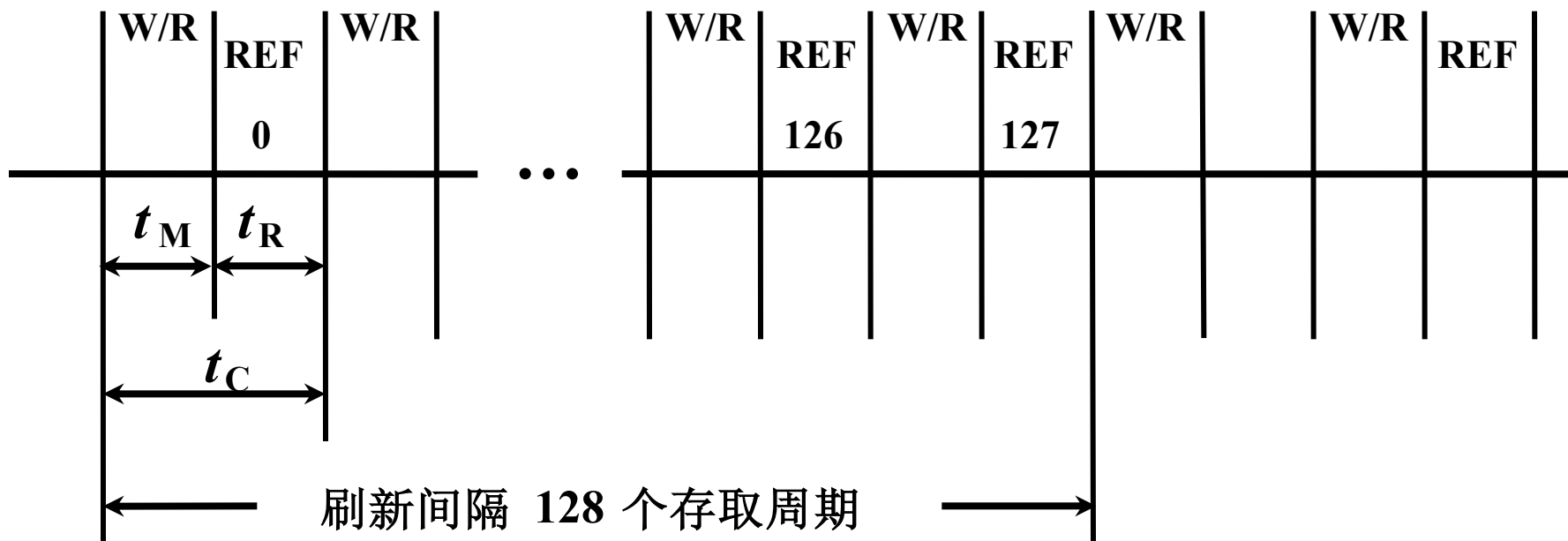
“死区” 为 $0.5\ \mu\text{s} \times 128 = 64\ \mu\text{s}$

“死时间率” 为 $128/4\ 000 \times 100\% = 3.2\%$

② 分散刷新（存取周期为 $1\mu\text{s}$ ）

4.2

以 128×128 矩阵为例



$$t_C = t_M + t_R$$

无“死区”

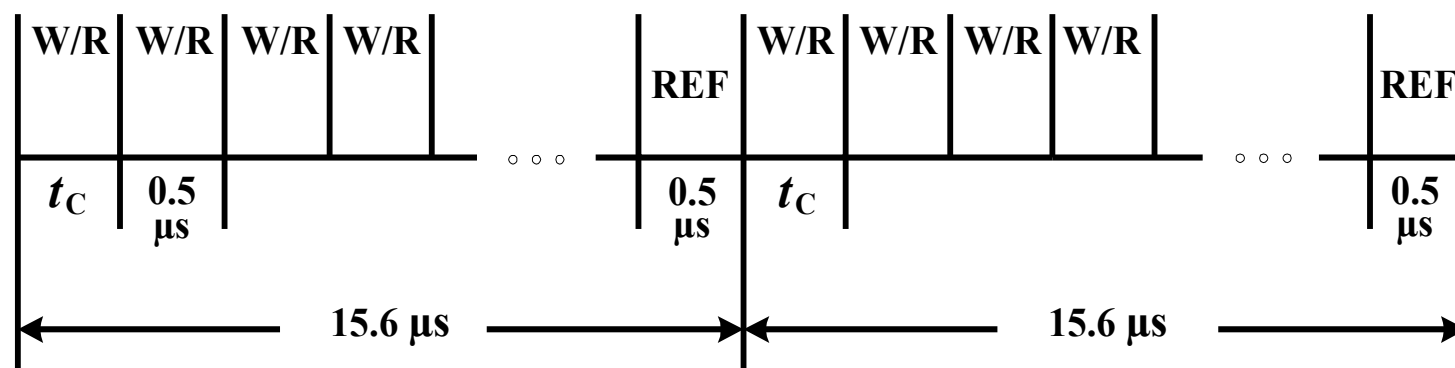
↓ ↓
读写 刷新

(存取周期为 $0.5\mu\text{s} + 0.5\mu\text{s}$)

③ 分散刷新与集中刷新相结合（异步刷新）

对于 128×128 的存储芯片（存取周期为 $0.5 \mu\text{s}$ ）

若每隔 $15.6 \mu\text{s}$ 刷新一次行



每行每隔 2 ms 刷新一次

“死区”为 $0.5 \mu\text{s}$

将刷新安排在指令译码阶段，不会出现“死区”

3. 动态 RAM 和静态 RAM 的比较

	<div>主存</div> DRAM	SRAM <div>缓存</div>
存储原理	电容	触发器
集成度	高	低
芯片引脚	少	多
功耗	小	大
价格	低	高
速度	慢	快
刷新	有	无

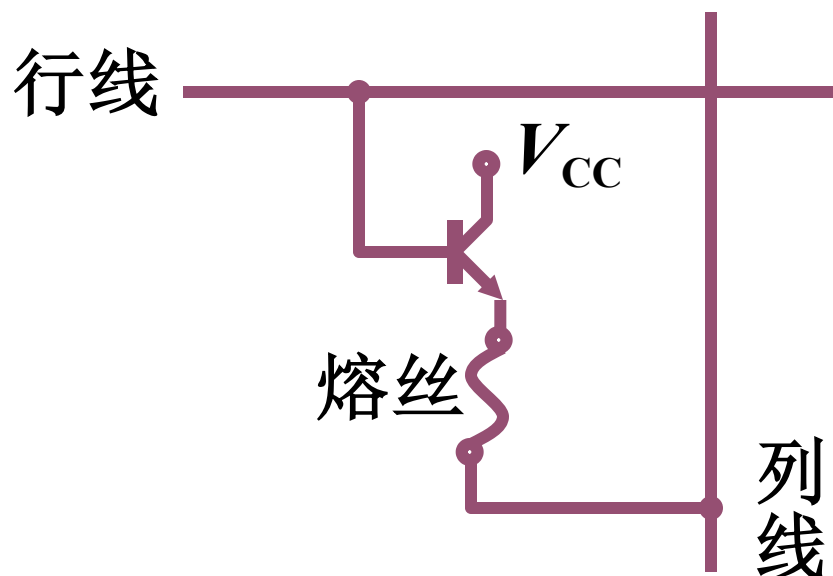
四、只读存储器（ROM）

1. 掩模 ROM (MROM)

行列选择线交叉处有 MOS 管为 “1”

行列选择线交叉处无 MOS 管为 “0”

2. PROM (一次性编程)

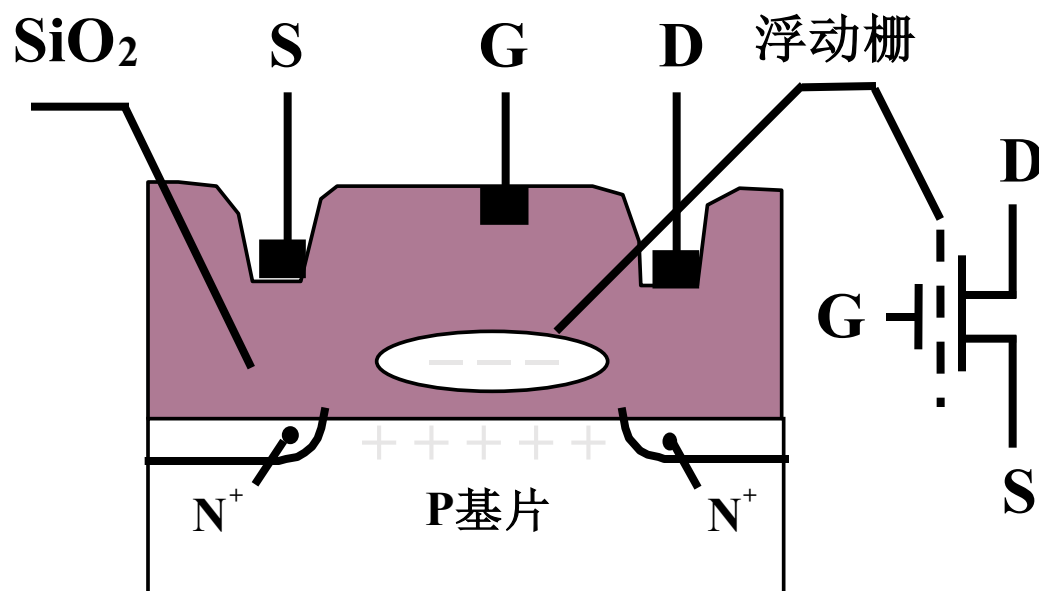


熔丝断 为 “0”

熔丝未断 为 “1”

3. EPROM (多次性编程)

(1) N型沟道浮动栅 MOS 电路



G 栅极

S 源

D 漏

紫外线全部擦洗

D 端加正电压

形成浮动栅

S 与 D 不导通为 “0”

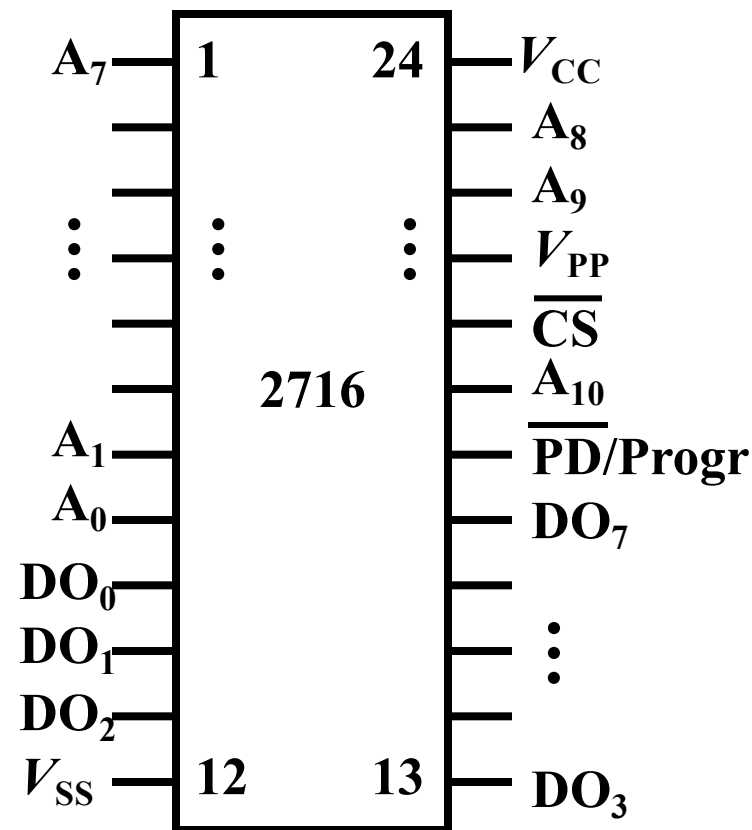
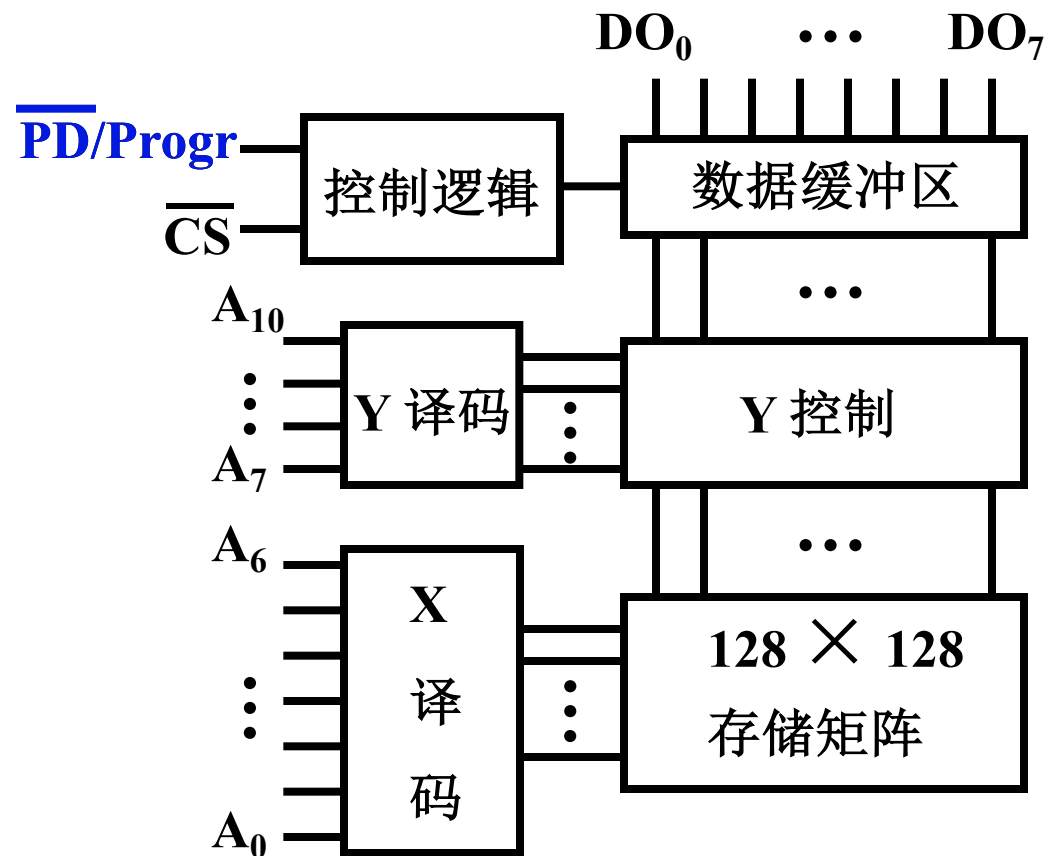
D 端不加正电压

不形成浮动栅

S 与 D 导通为 “1”

(2) 2716 EPROM 的逻辑图和引脚

4.2



$\overline{\text{PD/Progr}}$ 功率下降 / 编程输入端 读出时为低电平

4. EEPROM (多次性编程)

电可擦写

局部擦写

全部擦写

5. Flash Memory (闪速型存储器)

EPROM

价格便宜 集成度高

EEPROM

电可擦写重写

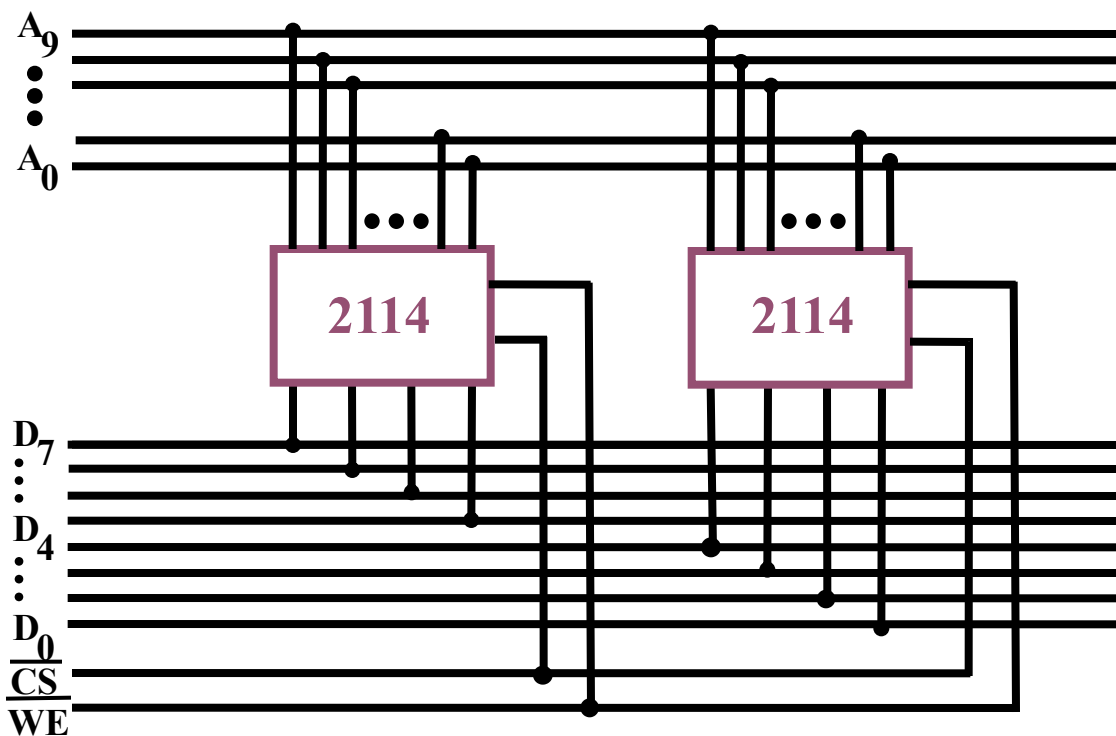
比 EEPROM 快 具备 RAM 功能

五、存储器与 CPU 的连接

1. 存储器容量的扩展

(1) 位扩展（增加存储字长）

用 **2**片 $1\text{K} \times 4$ 位 存储芯片组成 $1\text{K} \times 8$ 位的存储器



10根地址线

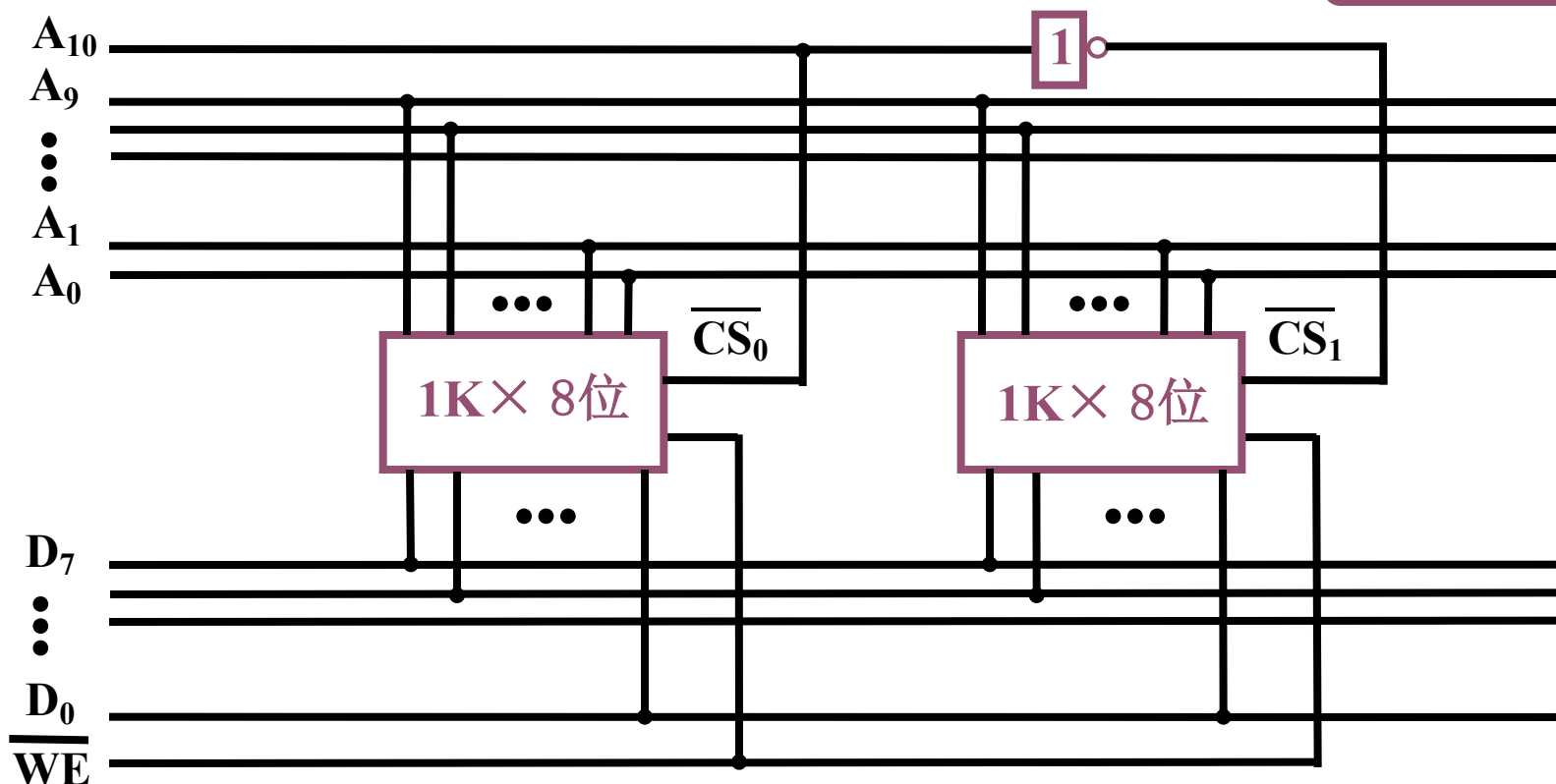
8根数据线

(2) 字扩展（增加存储字的数量）

11根地址线

用 2片 $1\text{K} \times 8$ 位 存储芯片组成 $2\text{K} \times 8$ 位 的存储器

8根数据线



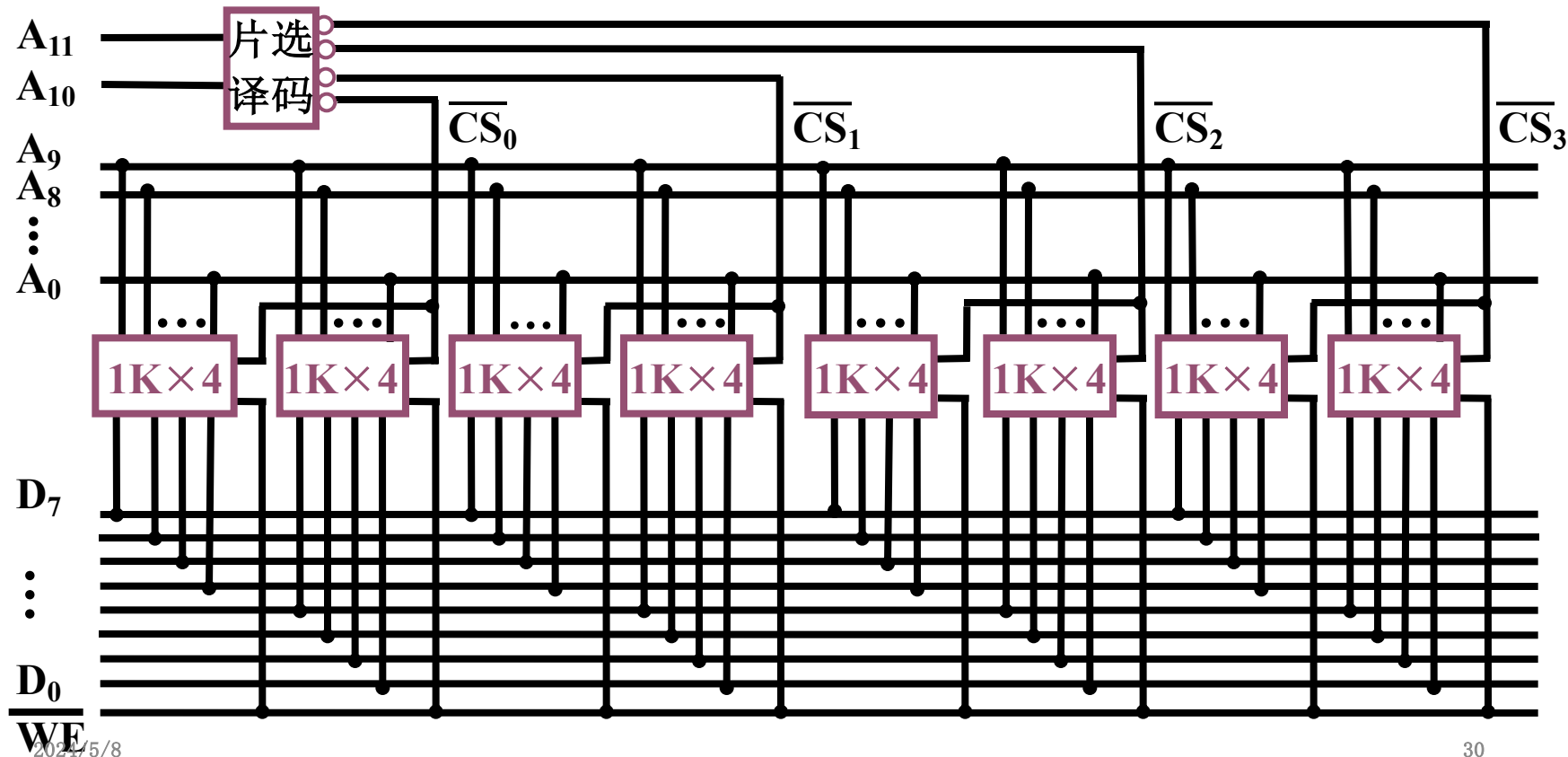
(3) 字、位扩展

4.2

用 8 片 $1\text{K} \times 4$ 位 存储芯片组成 $4\text{K} \times 8$ 位的存储器

12根地址线

8根数据线



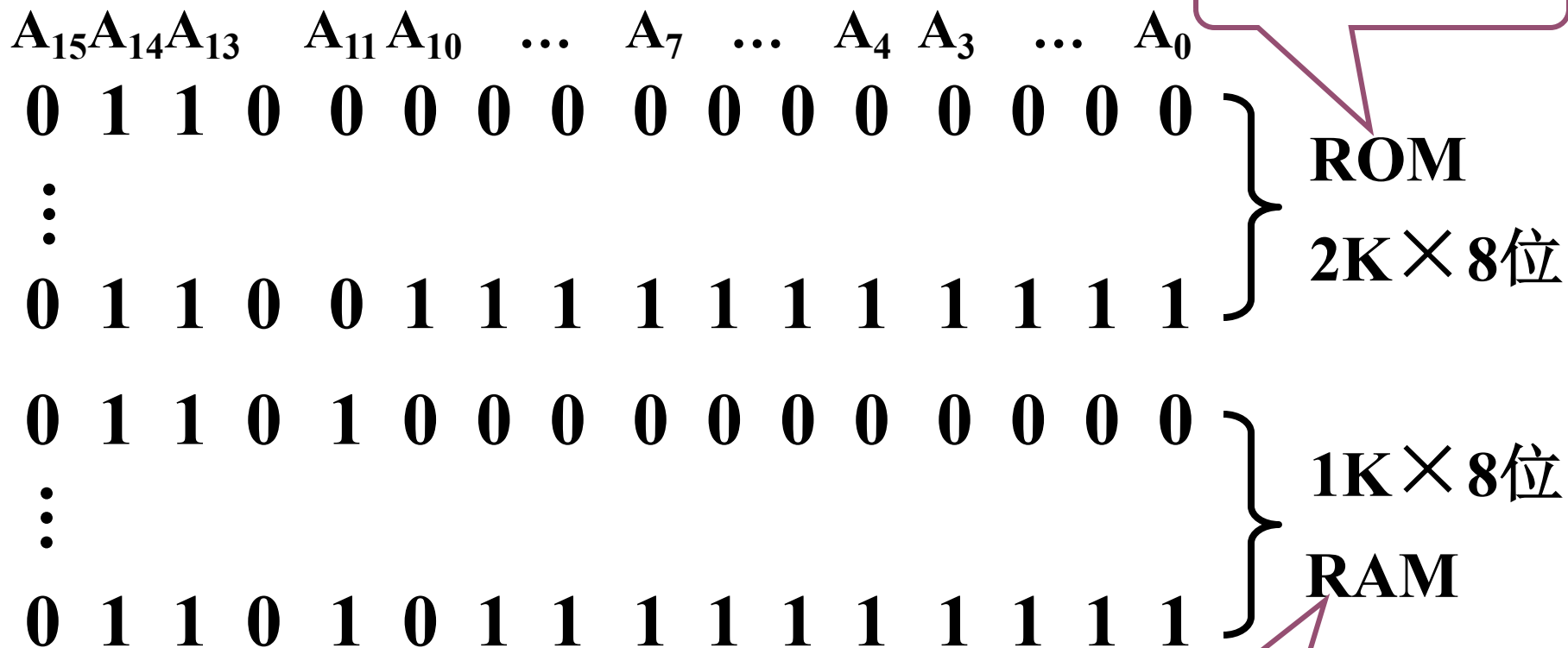
2. 存储器与 CPU 的连接

- (1) 地址线的连接
- (2) 数据线的连接
- (3) 读/写命令线的连接
- (4) 片选线的连接
- (5) 合理选择存储芯片
- (6) 其他 时序、负载

例4.1 解:

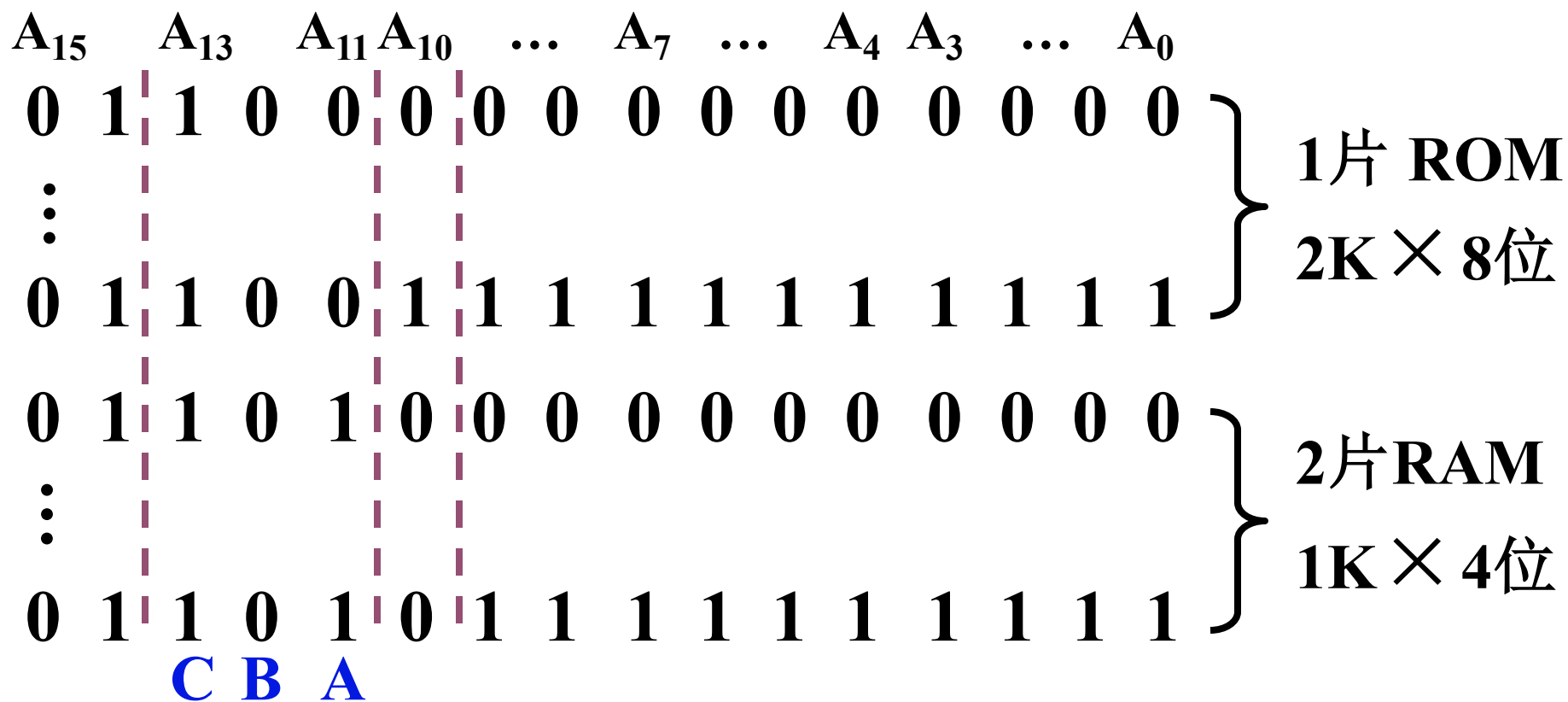
4.2

(1) 写出对应的二进制地址码



(2) 确定芯片的数量及类型

(3) 分配地址线



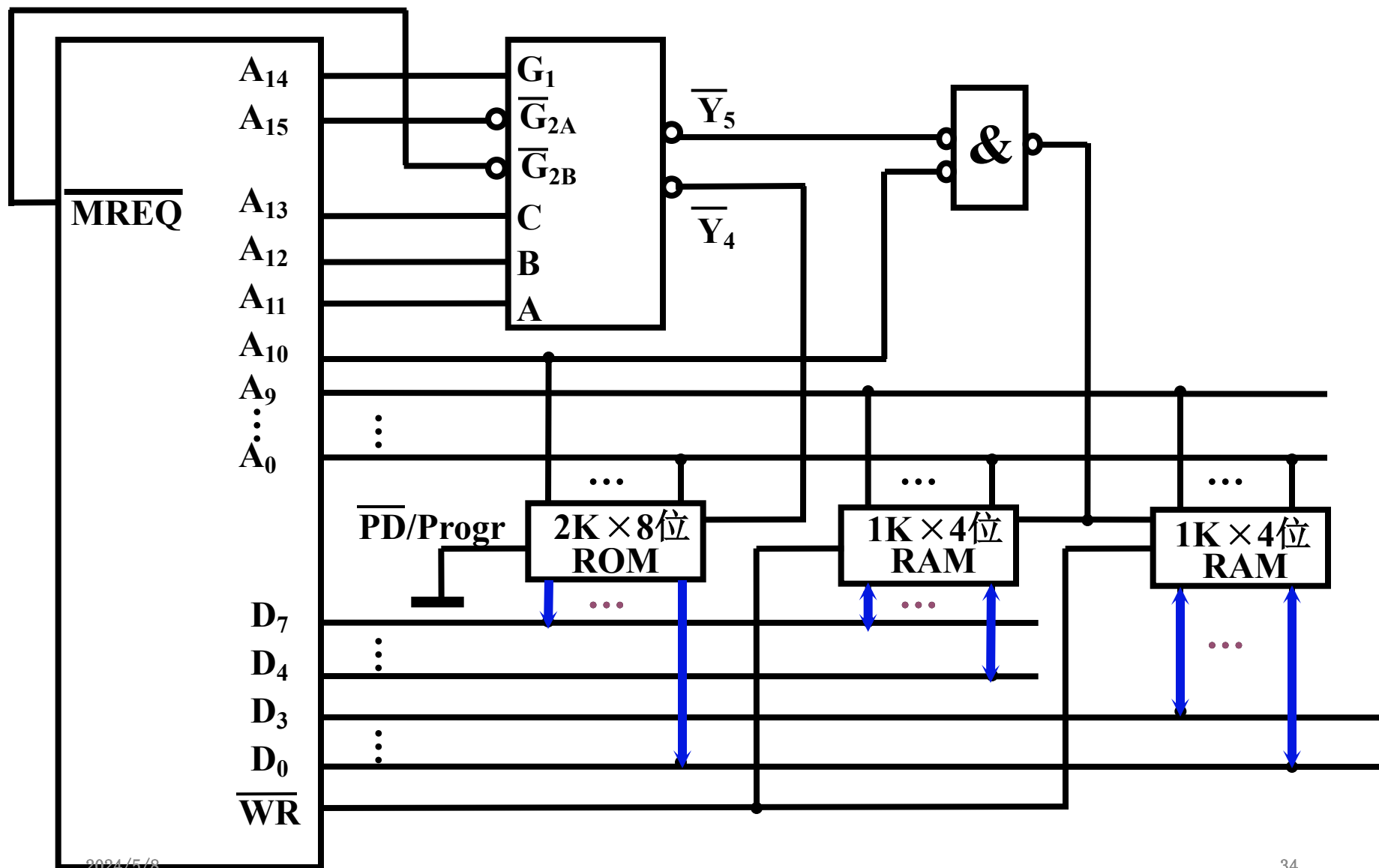
$A_{10} \sim A_0$ 接 $2K \times 8$ 位 ROM 的地址线

$A_9 \sim A_0$ 接 $1K \times 4$ 位 RAM 的地址线

(4) 确定片选信号

例 4.1 CPU 与存储器的连接图

4.2



六、存储器的校验

4.2

1. 编码的最小距离

任意两组合法代码之间 二进制位数 的 最少差异
编码的纠错、检错能力与编码的最小距离有关

$$L - 1 = D + C \quad (D \geq C)$$

L —— 编码的最小距离 $L = 3$

D —— 检测错误的位数 具有 一位 纠错能力

C —— 纠正错误的位数

汉明码是具有一位纠错能力的编码

2. 汉明码的组成

组成汉明码的三要素

汉明码的组成需增添 ? 位检测位

$$2^k \geq n + k + 1$$

检测位的位置 ?

$$2^i \ (i = 0, 1, 2, 3, \dots)$$

检测位的取值 ?

检测位的取值与该位所在的检测“小组”中承担的奇偶校验任务有关

各检测位 C_i 所承担的检测小组为

C_1 检测的 g_1 小组包含第 1, 3, 5, 7, 9, 11, ...

C_2 检测的 g_2 小组包含第 2, 3, 6, 7, 10, 11, ...

C_4 检测的 g_3 小组包含第 4, 5, 6, 7, 12, 13, ...

C_8 检测的 g_4 小组包含第 8, 9, 10, 11, 12, 13, 14, 15, 24, ...

g_i 小组独占第 2^{i-1} 位

g_i 和 g_j 小组共同占第 $2^{i-1} + 2^{j-1}$ 位

g_i 、 g_j 和 g_l 小组共同占第 $2^{i-1} + 2^{j-1} + 2^{l-1}$ 位

例4.4 求 0101 按 “偶校验” 配置的汉明码

解：∵ $n = 4$

根据 $2^k \geq n + k + 1$

得 $k = 3$

汉明码排序如下：

二进制序号	1	2	3	4	5	6	7
名称	C_1	C_2	0	C_4	1	0	1
	0	1		0			

∴ 0101 的汉明码为 **0100101**

练习1 按配偶原则配置 0011 的汉明码 4.2

解： $\because n = 4$ 根据 $2^k \geq n + k + 1$

取 $k = 3$

二进制序号	1	2	3	4	5	6	7
名称	C_1	C_2	0	C_4	0	1	1
	1	0		0			

$$C_1 = 3 \oplus 5 \oplus 7 = 1$$

$$C_2 = 3 \oplus 6 \oplus 7 = 0$$

$$C_4 = 5 \oplus 6 \oplus 7 = 0$$

\therefore 0011 的汉明码为 1000011

3. 汉明码的纠错过程

4.2

形成新的检测位 P_i ，其位数与增添的检测位有关，如增添 3 位（ $k=3$ ），新的检测位为 $P_4 P_2 P_1$ 。

以 $k=3$ 为例， P_i 的取值为

$$P_1 = \overset{C_1}{1} \oplus 3 \oplus 5 \oplus 7$$

$$P_2 = \overset{C_2}{2} \oplus 3 \oplus 6 \oplus 7$$

$$P_4 = \overset{C_4}{4} \oplus 5 \oplus 6 \oplus 7$$

对于按“偶校验”配置的汉明码
不出错时 $P_1=0, P_2=0, P_4=0$

例4.5 已知接收到的汉明码为 0100111

(按配偶原则配置) 试问要求传送的信息是什么?

解: 纠错过程如下

$$P_1 = 1 \oplus 3 \oplus 5 \oplus 7 = 0 \quad \text{无错}$$

$$P_2 = 2 \oplus \underset{\checkmark}{3} \oplus \boxed{6} \oplus \underset{\checkmark}{7} = 1 \quad \text{有错}$$

$$P_4 = 4 \oplus \underset{\checkmark}{5} \oplus \boxed{6} \oplus \underset{\checkmark}{7} = 1 \quad \text{有错}$$

$$\therefore P_4 P_2 P_1 = 110$$

第 6 位出错, 可纠正为 0100101,

故要求传送的信息为 0101。

练习2 写出按偶校验配置的汉明码

0101101 的纠错过程

$$P_4 = 4 \oplus 5 \oplus 6 \oplus 7 = 1$$

$$P_2 = 2 \oplus 3 \oplus 6 \oplus 7 = 0$$

$$P_1 = 1 \oplus 3 \oplus 5 \oplus 7 = 0$$

$\therefore P_4 P_2 P_1 = 100$ 第 4 位错，可不纠

练习3 按配奇原则配置 0011 的汉明码

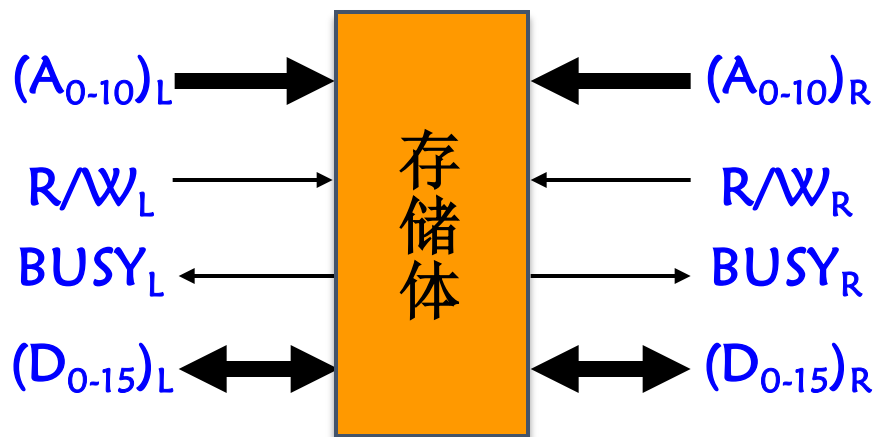
配奇的汉明码为 **0101011**

七、提高访存速度的措施

4.2

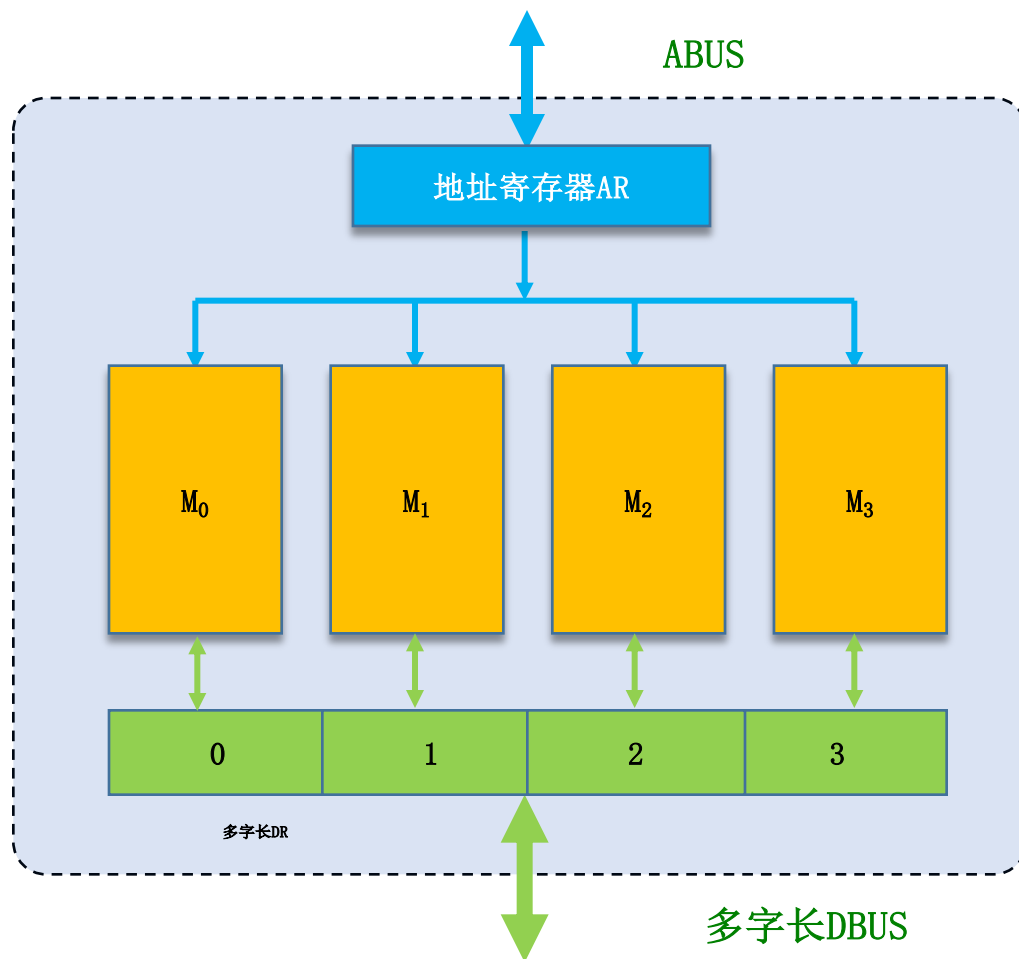
- 采用高速器件
- 采用层次结构 **Cache –主存**
- 调整主存结构
 - 单体多字：增加字长，在每个存储周期中存取多个字。
 - 多体并行：将主存划分为多个模块，多模块并行

- 采用双端口存储器



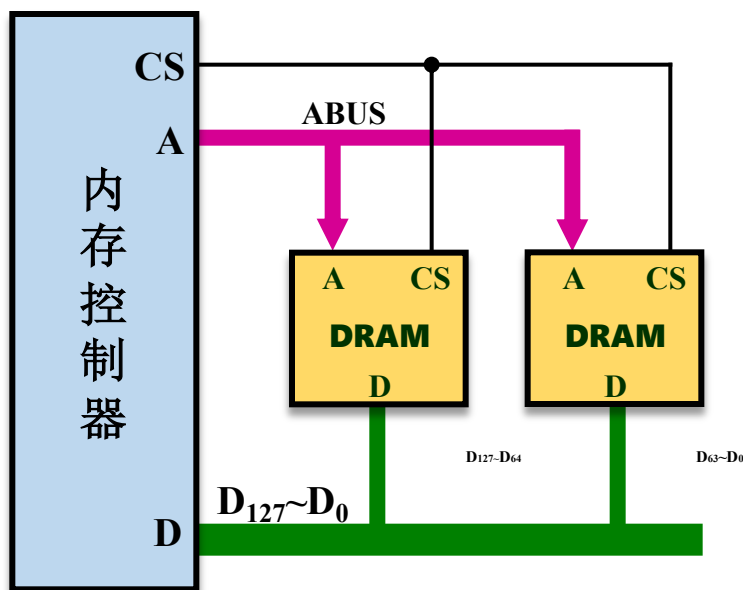
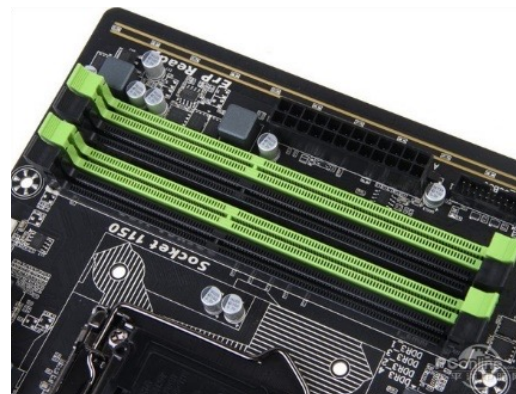
1. 单体多字系统

- 多个单字长存储模块同步并发
- 共用一个地址寄存器
- 单存储周期内访问多个存储字
- 性能线性增长，总线位宽变化

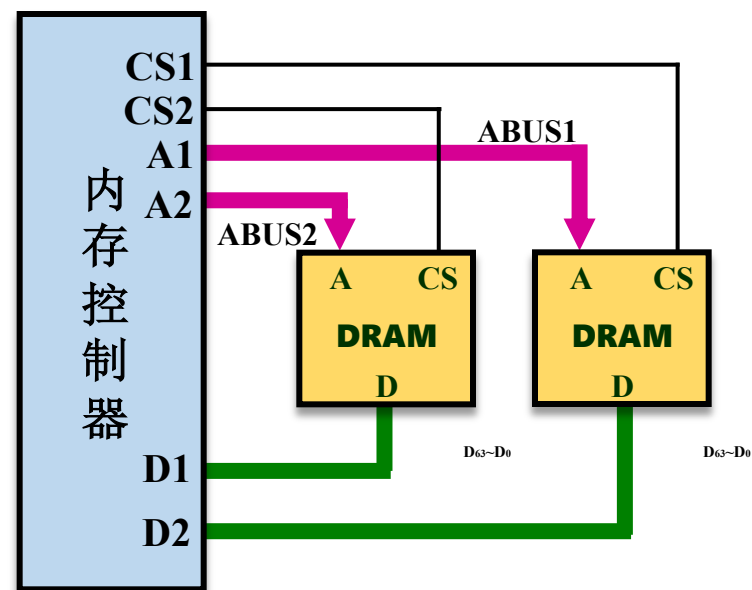


多通道内存

- 两条8G内存条
- 单条16G内存条 性能差异?



单体多字存储器



多体多字存储器

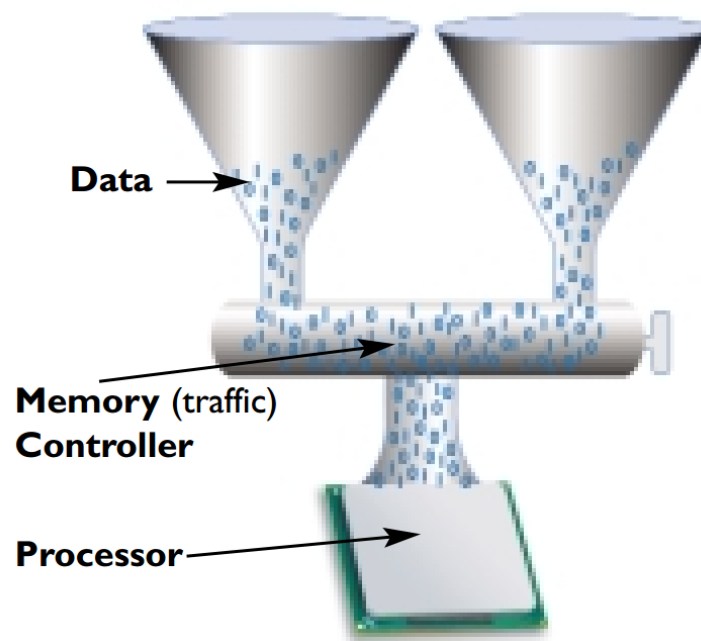
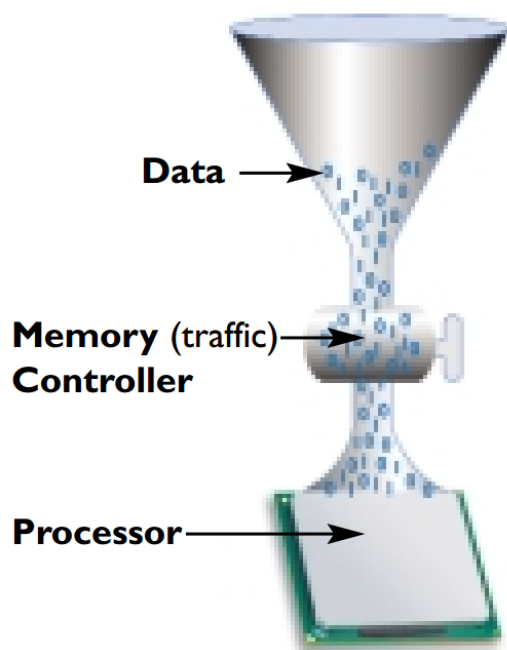
双通道内存性能评测

SiSoftware Sandra Pro Business 2011

HP DL120 G7 Intel SandyBridge

内存通道	双通道8GB	单通道8GB
总体内存性能	17.52GB/s	9GB/s
缓存/内存带宽	95.23GB/s	73.42GB/s
内部数据高速缓存	411.14GB/s	410.37GB/s
二级板载高速缓存	344GB/s	346GB/s
三级板载高速缓存	173.29GB/s	174.54GB/s

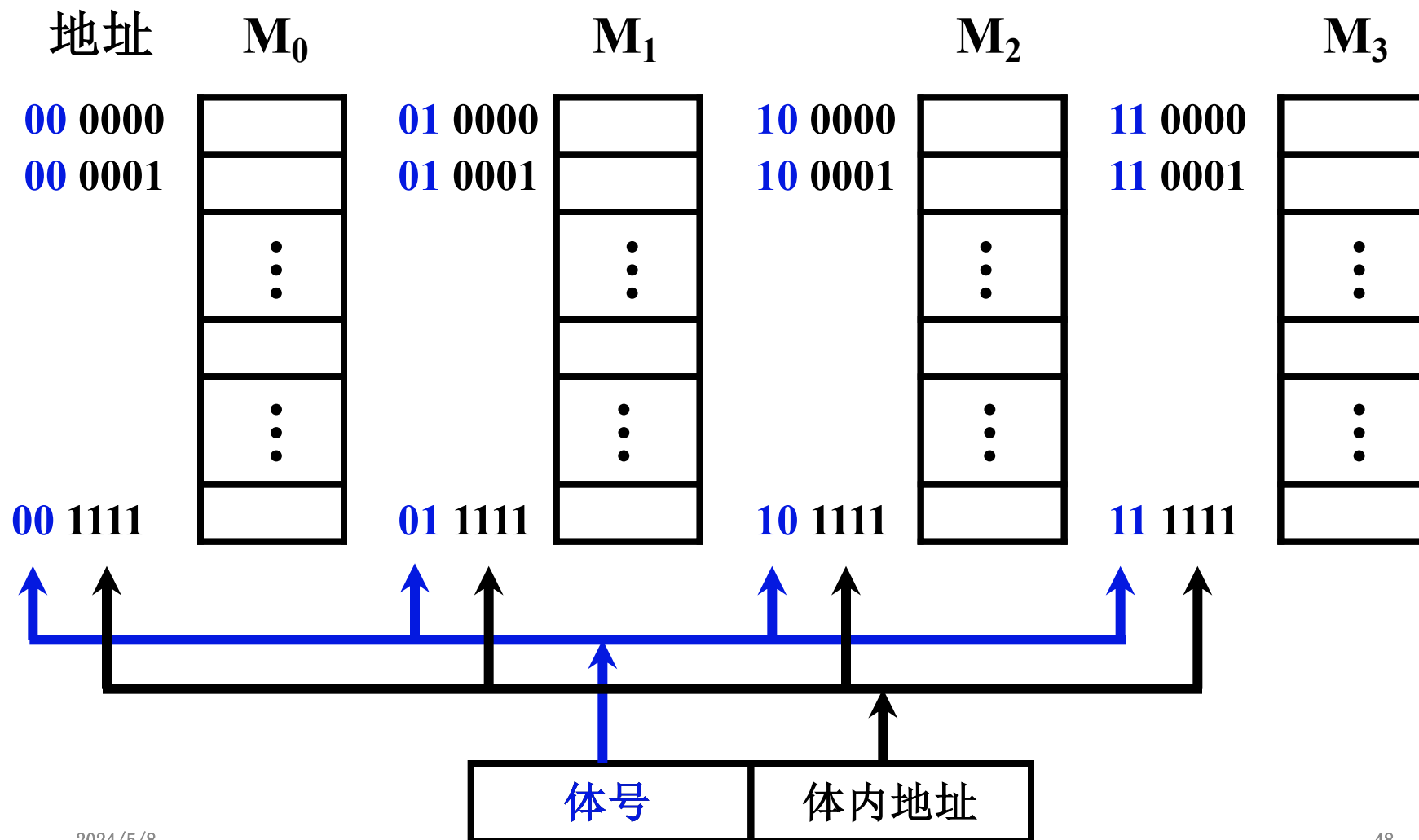
单通道内存与双通道内存



2. 多体并行系统

4.2

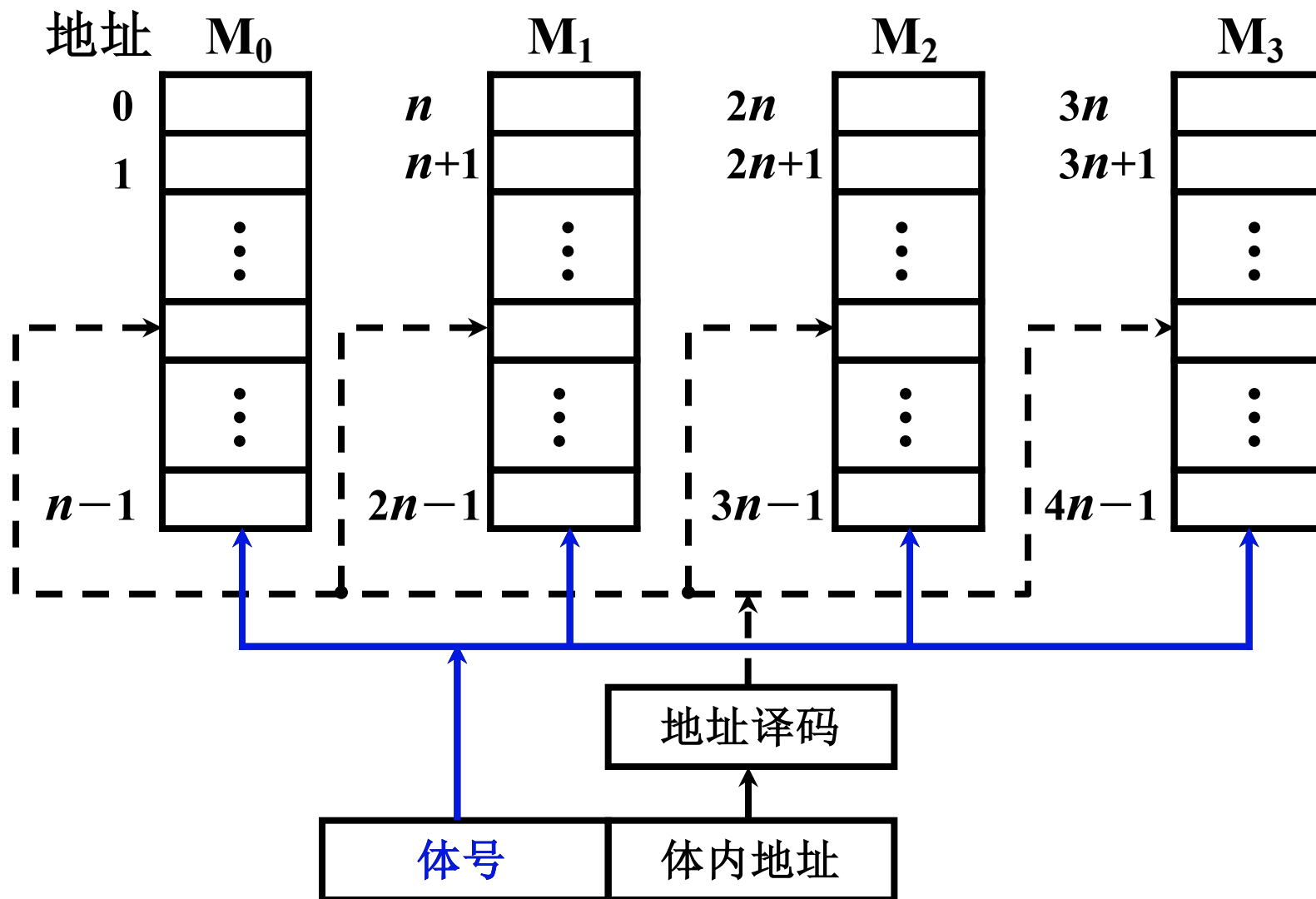
(1) 高位交叉 各个体内顺序编址



(1) 高位交叉

各个体内顺序编址

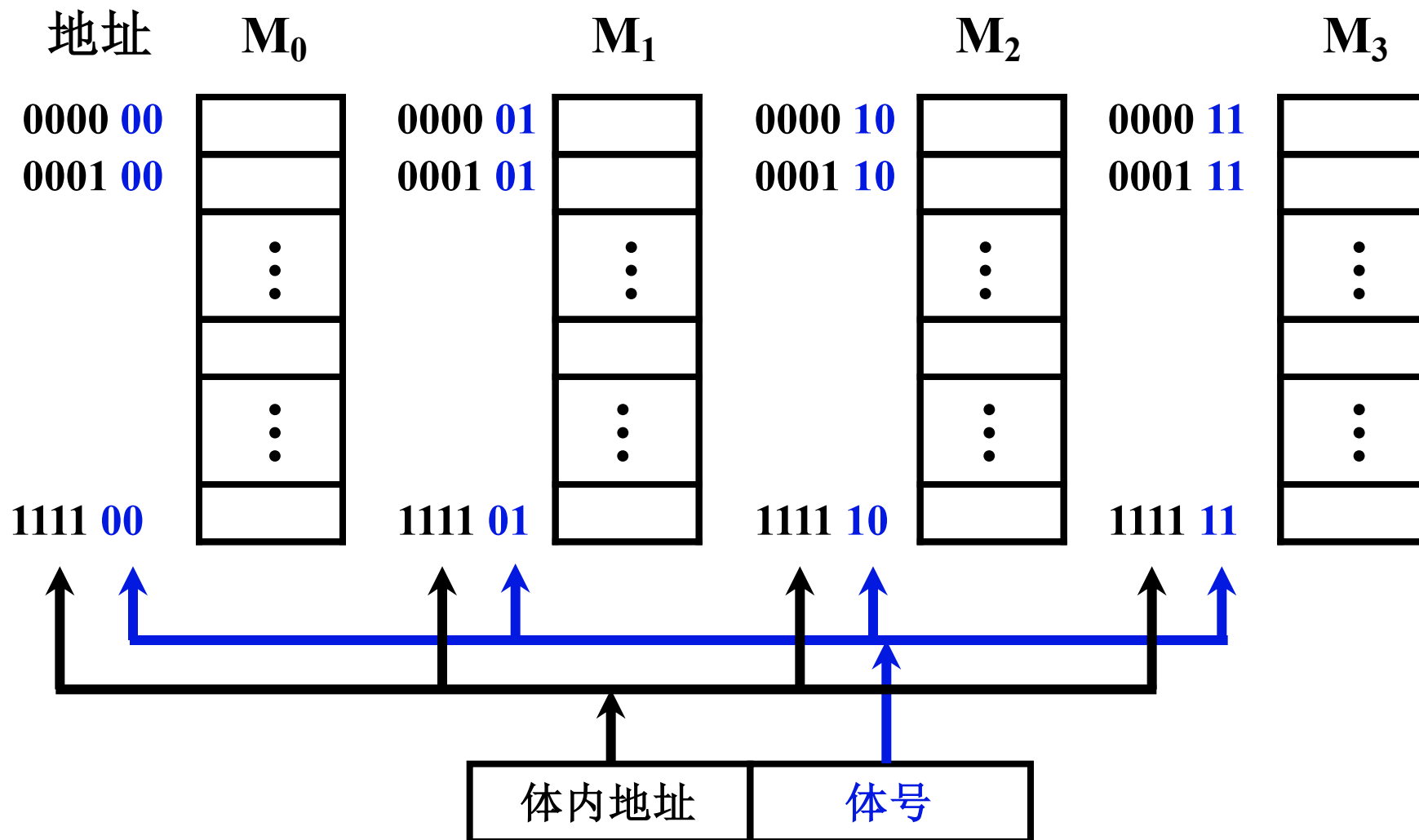
4.2



(2) 低位交叉

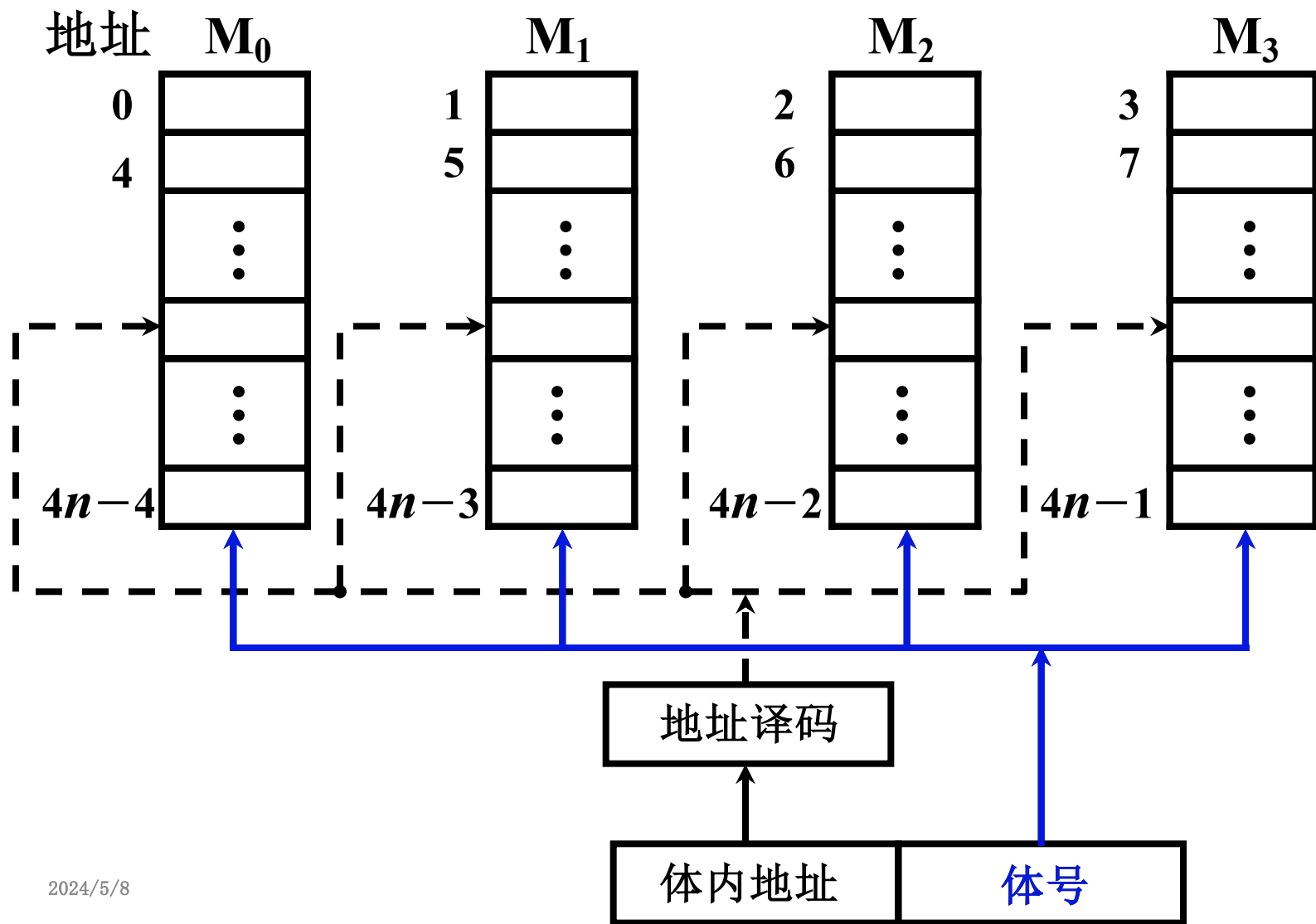
各个体轮流编址

4.2



(2) 低位交叉 各个体轮流编址

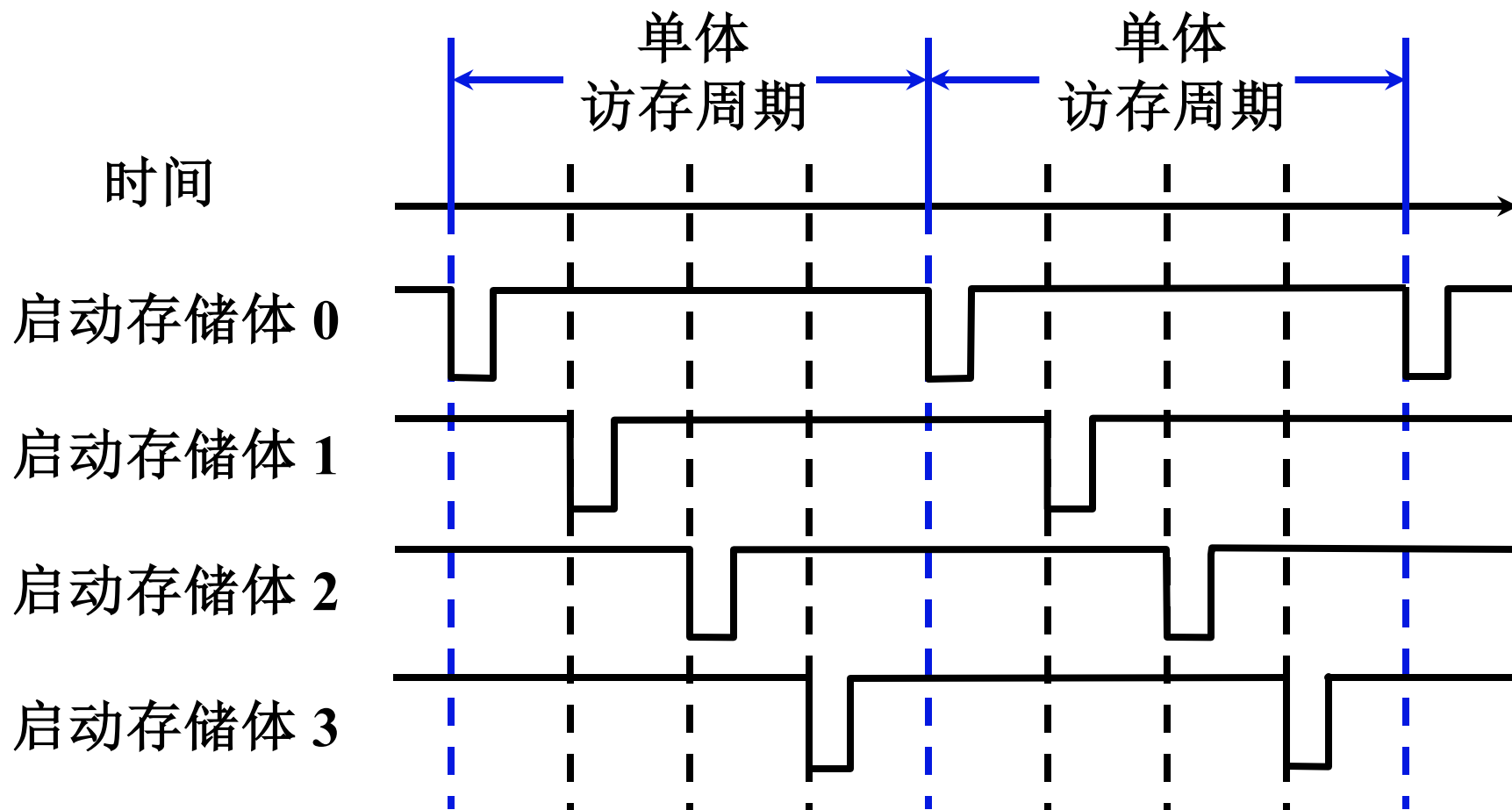
4.2



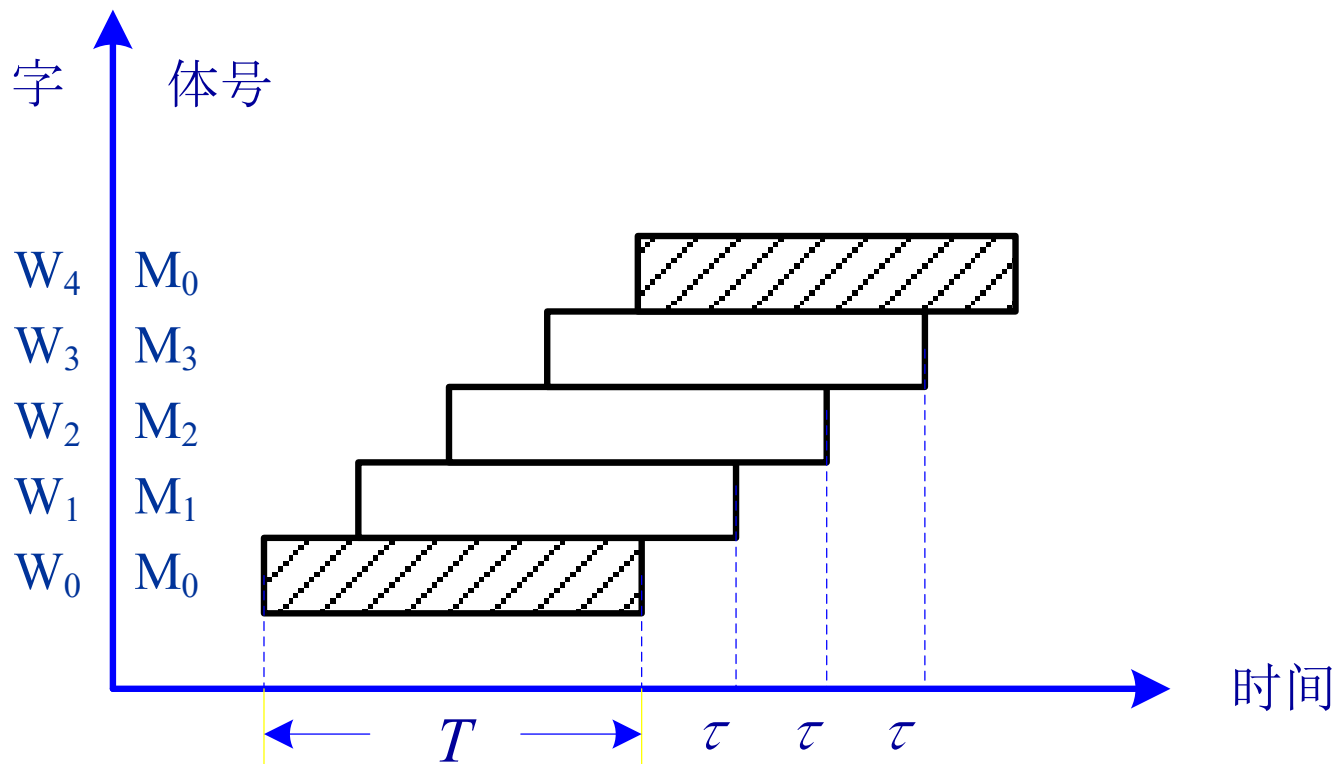
低位交叉的特点

4.2

在不改变存取周期的前提下，增加存储器的带宽



设四体低位交叉存储器，存取周期为 T ，总线传输周期为 τ ，为实现流水线方式存取，应满足 $T = 4\tau$ 。



连续读取 4 个字所需的时间为 $T + (4 - 1)\tau$

3.高性能存储芯片

4.2

(1) SDRAM (同步 DRAM)

在系统时钟的控制下进行读出和写入

CPU 无须等待

(2) DDR (Double Data Rate) SDRAM

时钟周期的上沿和下沿分别进行两次数据传输，从而实现双倍数据传输速率

(3) 带 Cache 的 DRAM

在 DRAM 的芯片内 集成 了一个由 SRAM 组成的 Cache ，有利于 猝发式读取