



计算机组成原理

第 7 讲

左德承

哈尔滨工业大学计算学部
容错与移动计算研究中心

第2章 计算机的运算方法

2.1 无符号数和有符号数

2.2 数的定点表示和浮点表示

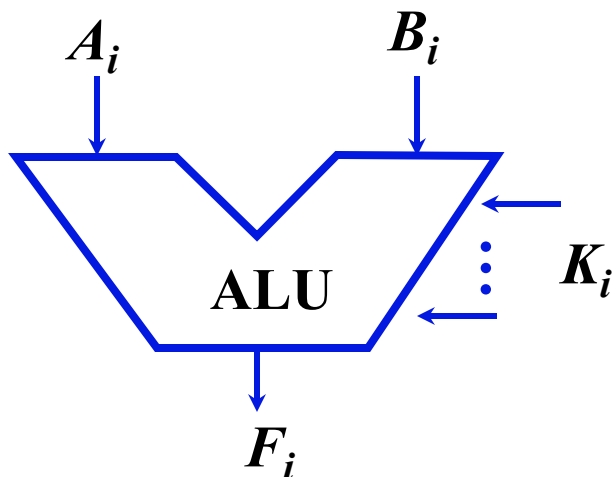
2.3 定点运算

2.4 浮点四则运算

2.5 算术逻辑单元

2.5 算术逻辑单元

一、ALU 电路



组合逻辑电路

K_i 不同取值

F_i 不同

四位 ALU 74181

$M = 0$ 算术运算

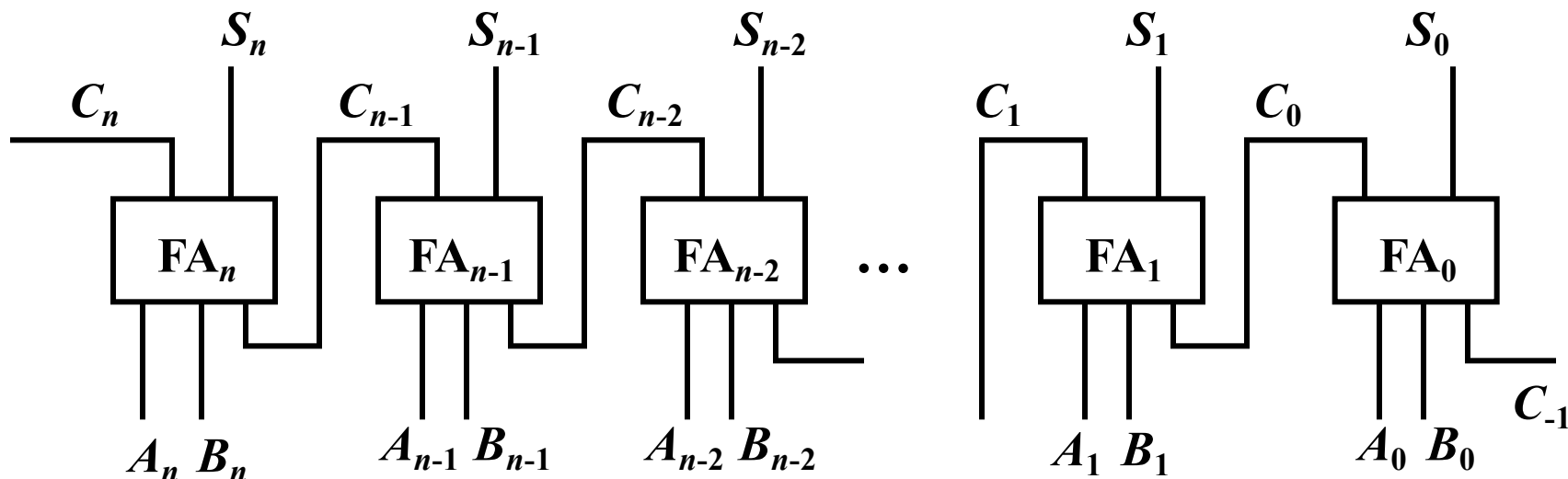
$M = 1$ 逻辑运算

$S_3 \sim S_0$ 不同取值，可做不同运算

二、快速进位链

2.5

1. 并行加法器



$$S_i = \overline{A_i} \overline{B_i} C_{i-1} + \overline{A_i} B_i \overline{C_{i-1}} + A_i \overline{B_i} \overline{C_{i-1}} + A_i B_i C_{i-1}$$

$$C_i = \overline{A_i} B_i C_{i-1} + A_i \overline{B_i} C_{i-1} + A_i B_i \overline{C_{i-1}} + A_i B_i C_{i-1}$$

$$= A_i B_i + (A_i + B_i) C_{i-1}$$

$$d_i = A_i B_i \quad \text{本地进位} \qquad t_i = A_i + B_i \quad \text{传送条件}$$

$$\text{则 } C_i = d_i + t_i C_{i-1}$$

2. 串行进位链

2.5

进位链

传送进位的电路

串行进位链

进位串行传送

以 4 位全加器为例，每一位的进位表达式为

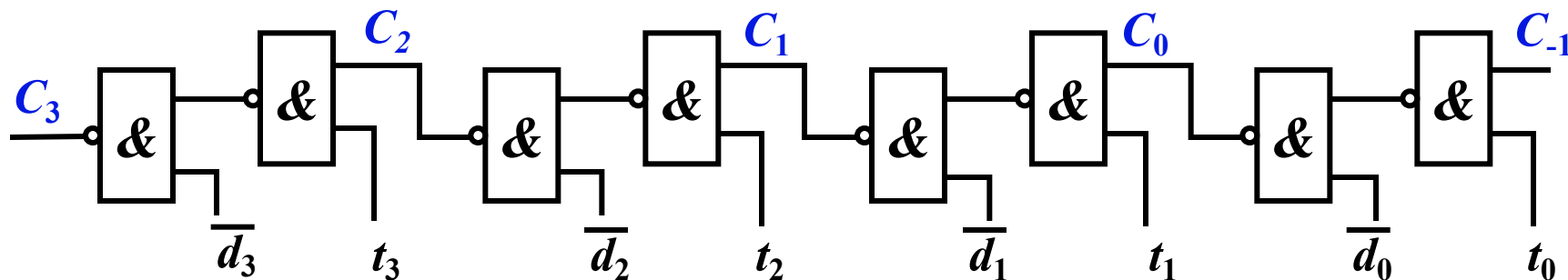
$$C_0 = d_0 + t_0 C_{-1} = \overline{\overline{d_0} \cdot \overline{t_0 C_{-1}}}$$

$$C_1 = d_1 + t_1 C_0$$

$$C_2 = d_2 + t_2 C_1$$

$$C_3 = d_3 + t_3 C_2$$

设与非门的级延迟时间为 t_y



4位全加器产生进位的全部时间为 $8t_y$

n 位全加器产生进位的全部时间为 $2nt_y$

3. 并行进位链（先行进位，跳跃进位）

2.5

n 位加法器的进位同时产生 以 4 位加法器为例

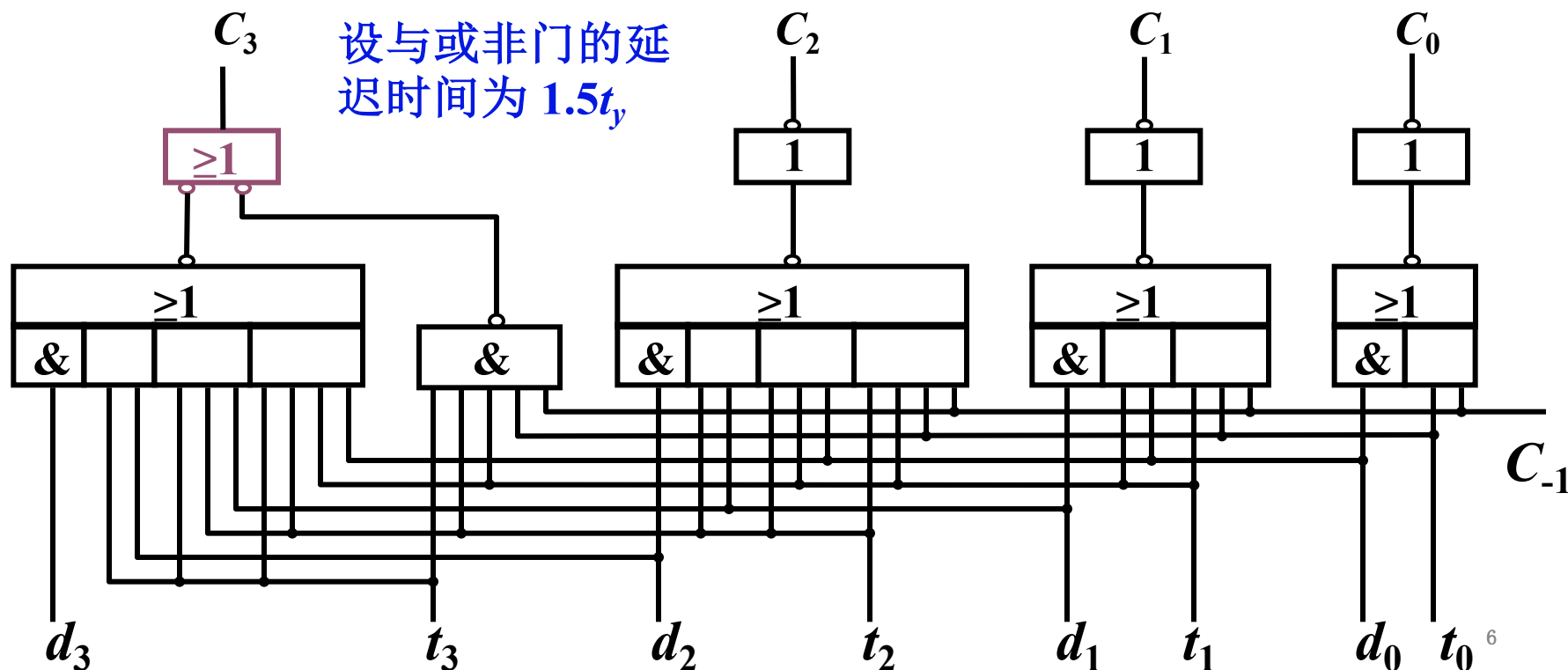
$$C_0 = d_0 + t_0 C_{-1}$$

$$C_1 = d_1 + t_1 C_0 = d_1 + t_1 d_0 + t_1 t_0 C_{-1}$$

$$C_2 = d_2 + t_2 C_1 = d_2 + t_2 d_1 + t_2 t_1 d_0 + t_2 t_1 t_0 C_{-1}$$

$$C_3 = d_3 + t_3 C_2 = d_3 + t_3 d_2 + t_3 t_2 d_1 + t_3 t_2 t_1 d_0 + t_3 t_2 t_1 t_0 C_{-1}$$

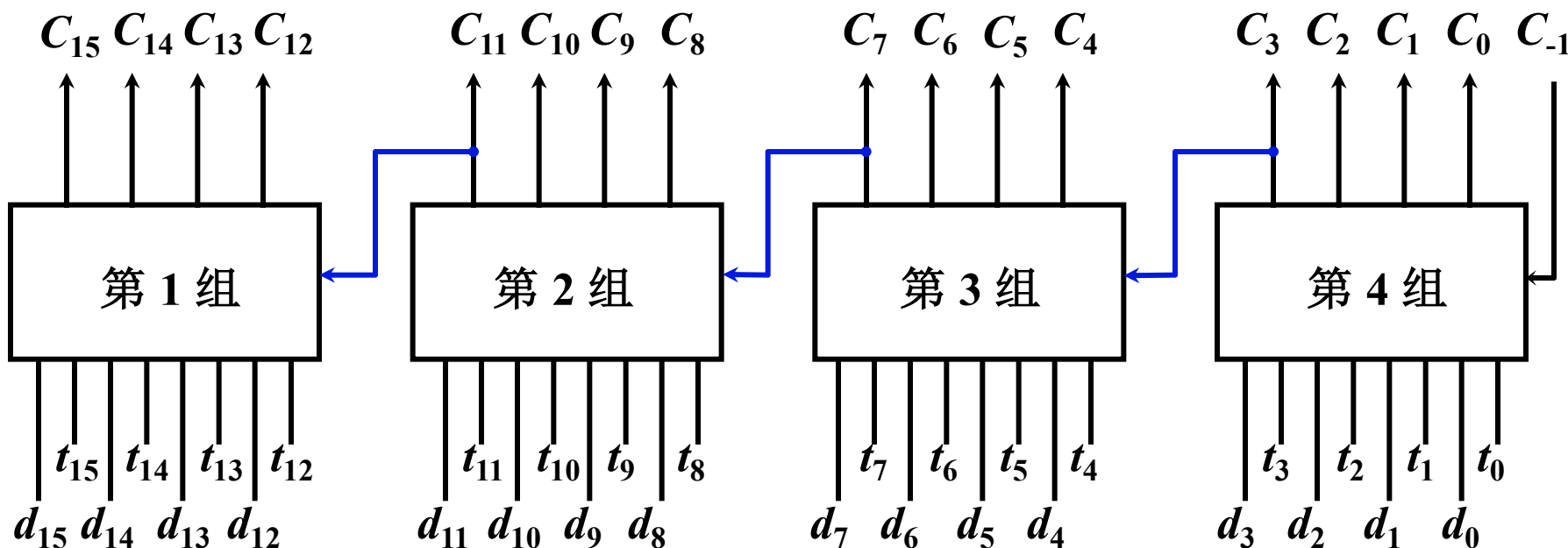
当 $d_i t_i$ 形成后，只需 $2.5t_y$ 产生全部进位



(1) 单重分组跳跃进位链

2.5

n 位全加器分若干小组，小组中的进位同时产生，
小组与小组之间采用串行进位 以 $n = 16$ 为例



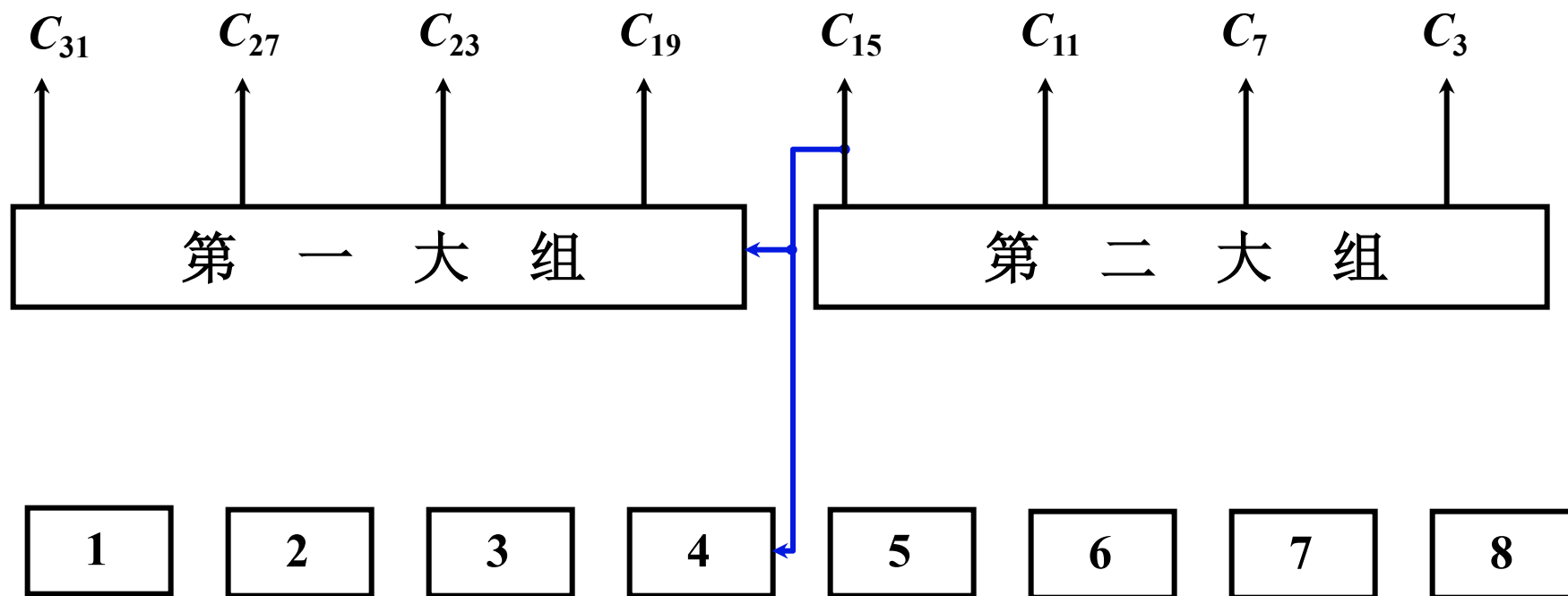
当 d_i 、 t_i 形成后	经 $2.5 t_y$	产生 $C_3 \sim C_0$
	$5 t_y$	产生 $C_7 \sim C_4$
	$7.5 t_y$	产生 $C_{11} \sim C_8$
	$10 t_y$	产生 $C_{15} \sim C_{12}$

(2) 双重分组跳跃进位链

2.5

n 位全加器分若干大组，大组中又包含若干小组。每个大组中小组的最高位进位同时产生。大组与大组之间采用串行进位。

以 $n = 32$ 为例



(3) 双重分组跳跃进位链 大组进位分析

2.5

以第 8 小组为例

$$\begin{aligned} C_3 &= d_3 + t_3 C_2 = \underbrace{d_3 + t_3 d_2 + t_3 t_2 d_1 + t_3 t_2 t_1 d_0}_{D_8} + \underbrace{t_3 t_2 t_1 t_0 C_{-1}}_{T_8 C_{-1}} \\ &= D_8 + T_8 C_{-1} \end{aligned}$$

D_8 小组的本地进位 与外来进位无关

T_8 小组的传送条件 与外来进位无关 传递外来进位

同理 第 7 小组 $C_7 = D_7 + T_7 C_3$

第 6 小组 $C_{11} = D_6 + T_6 C_7$

第 5 小组 $C_{15} = D_5 + T_5 C_{11}$

进一步展开得

$$C_3 = D_8 + T_8 C_{-1}$$

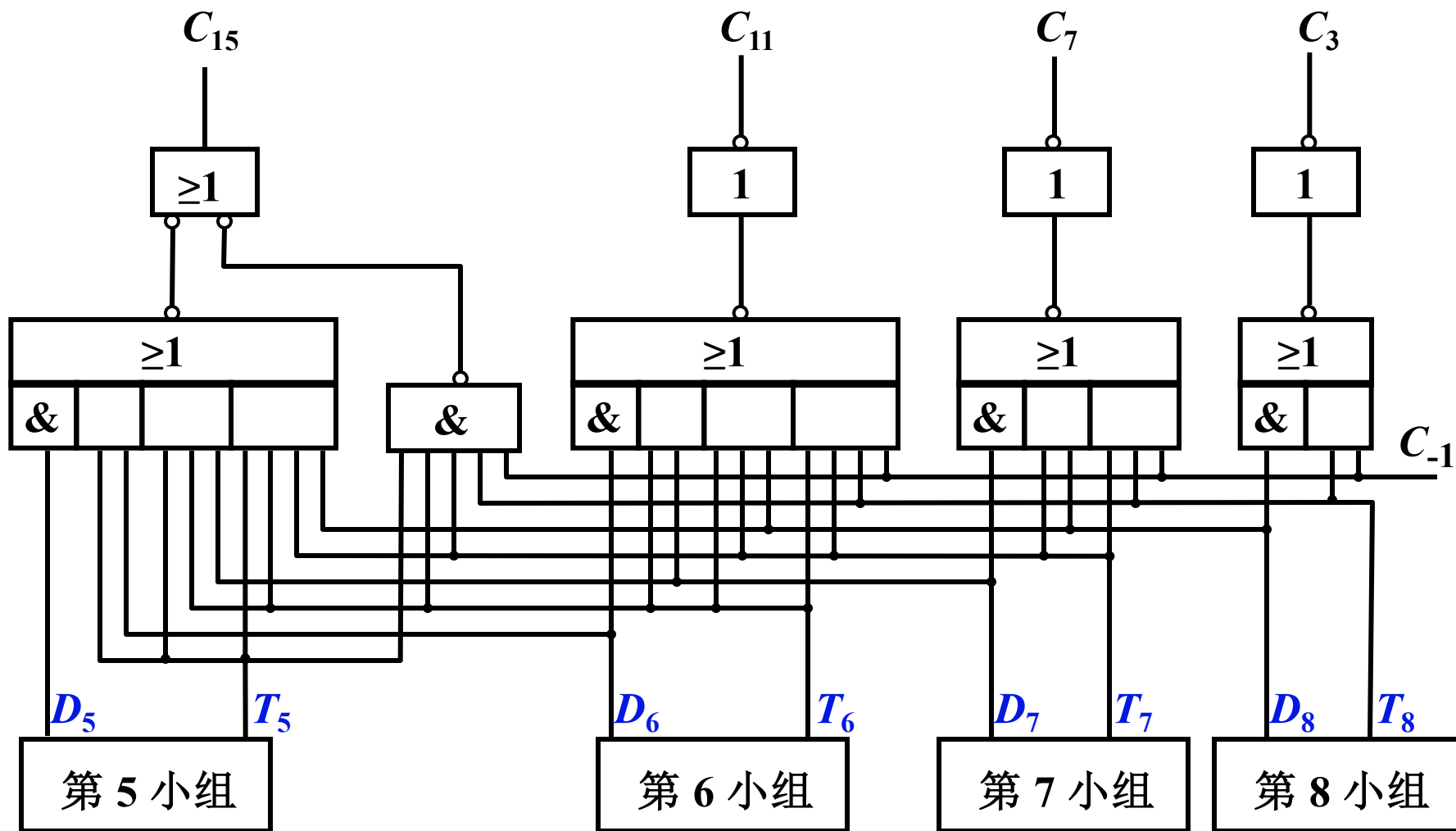
$$C_7 = D_7 + T_7 C_3 = D_7 + T_7 D_8 + T_7 T_8 C_{-1}$$

$$C_{11} = D_6 + T_6 C_7 = D_6 + T_6 D_7 + T_6 T_7 D_8 + T_6 T_7 T_8 C_{-1}$$

$$C_{15} = D_5 + T_5 C_{11} = D_5 + T_5 D_6 + T_5 T_6 D_7 + T_5 T_6 T_7 D_8 + T_5 T_6 T_7 T_8 C_{-1}$$

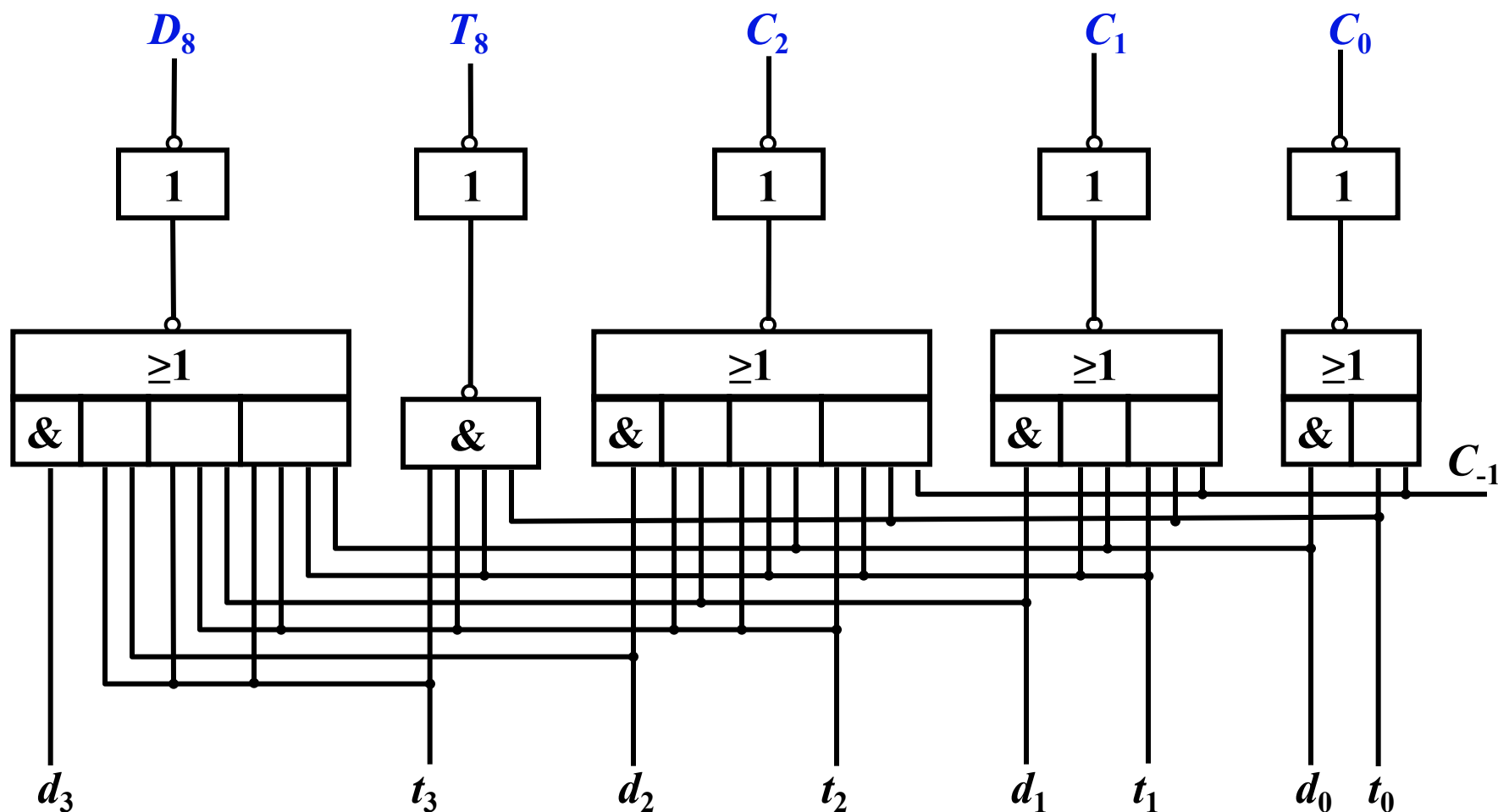
(4) 双重分组跳跃进位链的 大组 进位线路 2.5

以第 2 大组为例



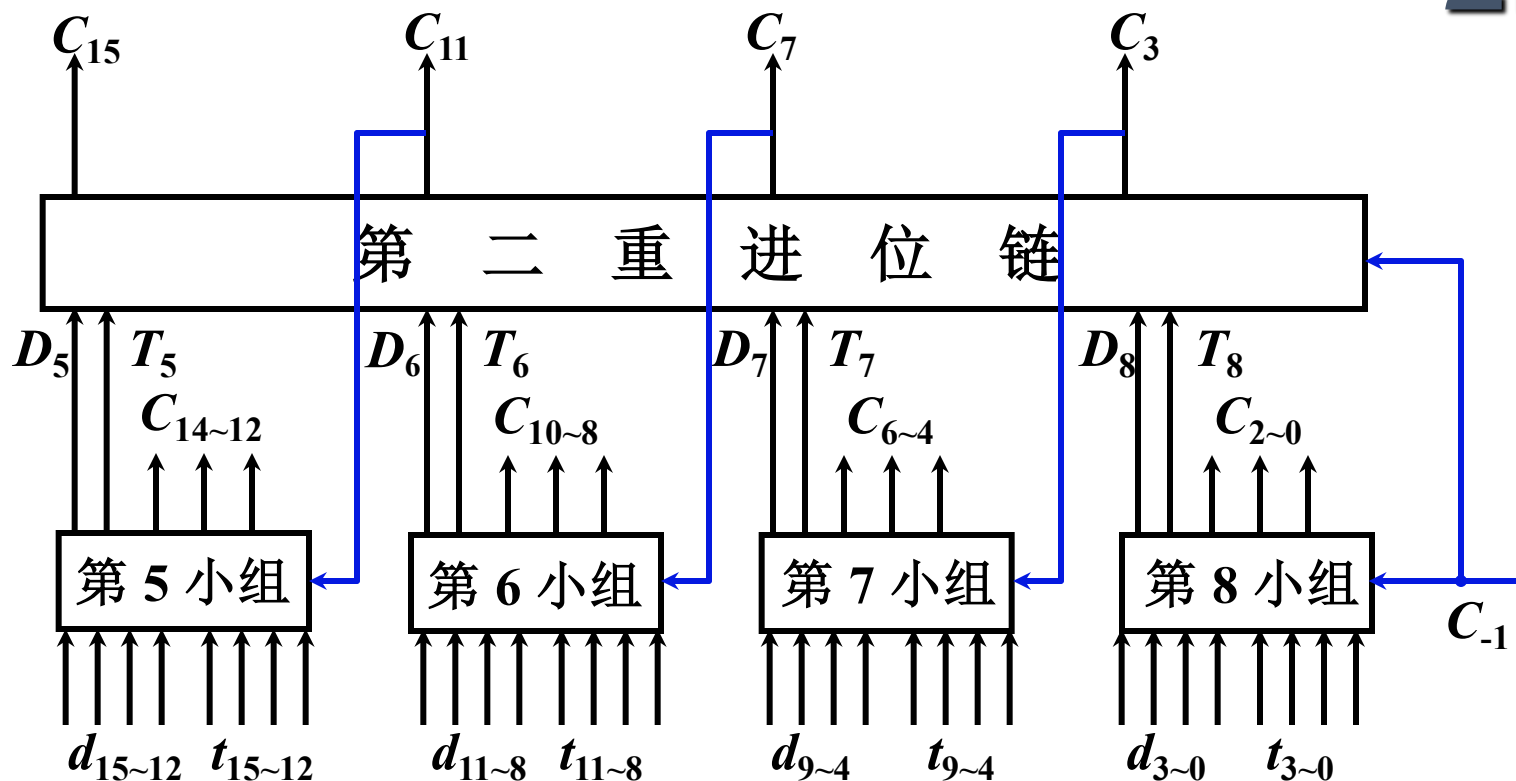
(5) 双重分组跳跃进位链的 小组 进位线路 2.5

以第 8 小组为例 只产生 低 3 位 的进位和 本小组的 $D_8 T_8$



(6) $n=16$ 双重分组跳跃进位链

2.5



当 d_i 、 t_i 和 C_{-1} 形成后

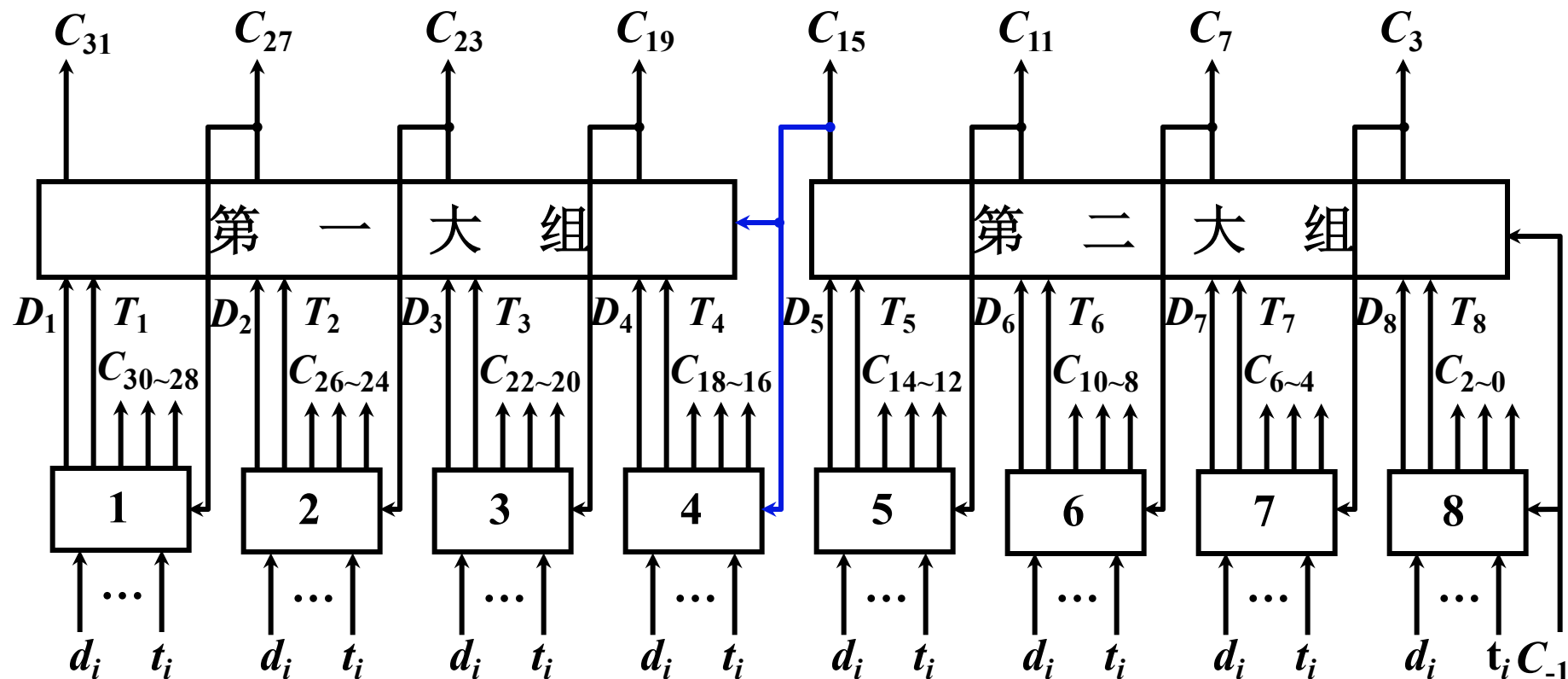
经 $2.5 t_y$	产生 $C_2, C_1, C_0, D_5 \sim D_8, T_5 \sim T_8$
经 $5 t_y$	产生 C_{15}, C_{11}, C_7, C_3
经 $7.5 t_y$	产生 $C_{14} \sim C_{12}, C_{10} \sim C_8, C_6 \sim C_4$

串行进位链 经 $32 t_y$ 产生 全部进位

单重分组跳跃进位链 经 $10 t_y$ 产生 全部进位

(7) $n=32$ 双重分组跳跃进位链

2.5



当 d_i, t_i 形成
后

经 $2.5 t_y$ 产生 $C_2, C_1, C_0, D_1 \sim D_8, T_1 \sim T_8$

$5 t_y$ 产生 C_{15}, C_{11}, C_7, C_3

$7.5 t_y$ 产生 $C_{18} \sim C_{16}, C_{14} \sim C_{12}, C_{10} \sim C_8, C_6 \sim C_4$
 $C_{31}, C_{27}, C_{23}, C_{19}$

$10 t_y$ 产生 $C_{30} \sim C_{28}, C_{26} \sim C_{24}, C_{22} \sim C_{20}$

第4章 存储器

4.1 概述

4.2 主存储器

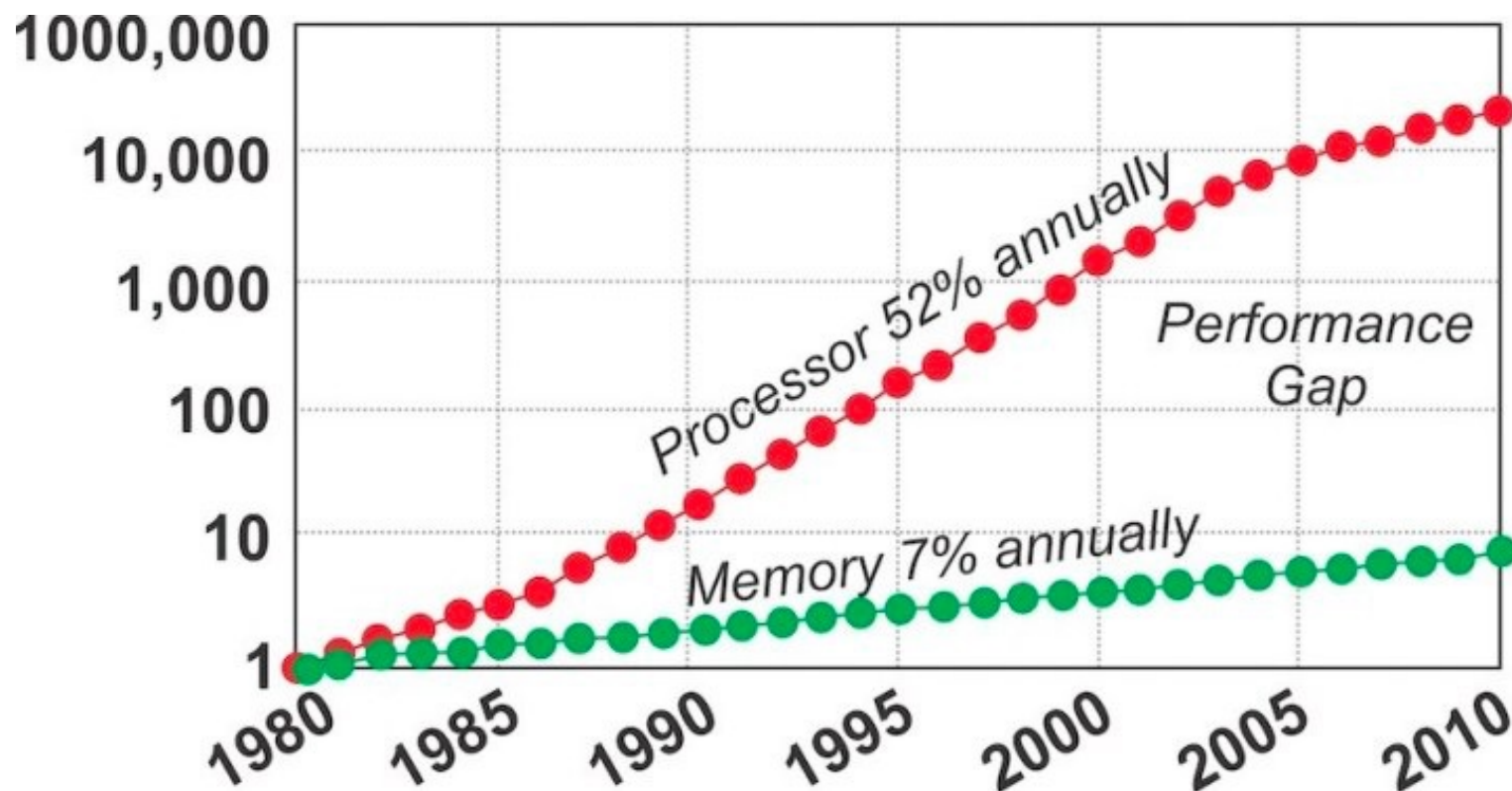
4.3 高速缓冲存储器

4.4 辅助存储器

存储墙

- 从1980-2010，处理器性能增长速率远超主存储器
- 主存储器的性能已经成为计算机系统的性能瓶颈了

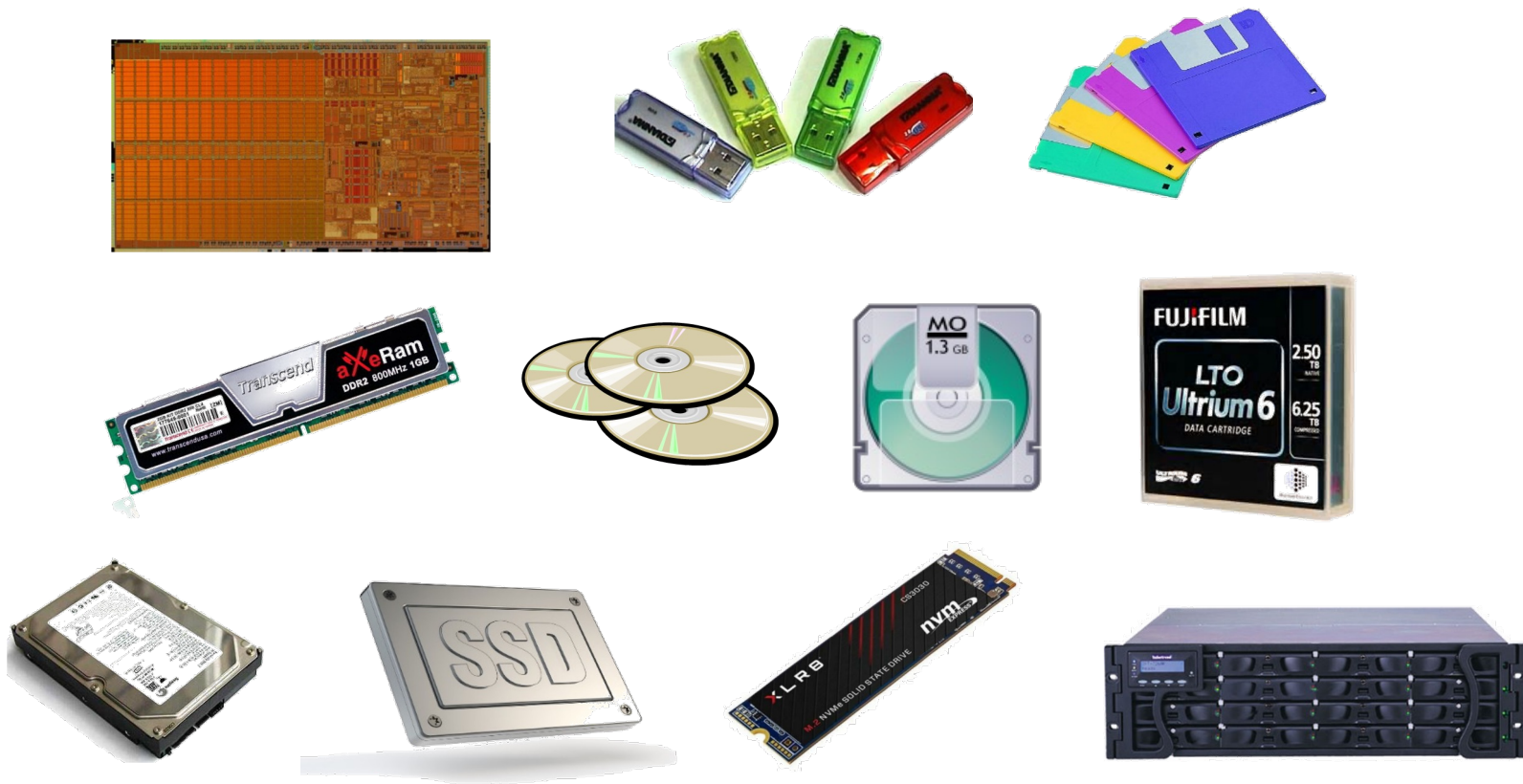
※存储墙(Memory Wall)：意指处理器与主存储墙之间的巨大性能差距



图片资料来源：<https://www.rankred.com/worlds-fastest-optical-ram/>

4.1 概述

花样繁多的存储器



4.1 概 述

一、存储器分类

1. 按存储介质分类

(1) 半导体存储器

- 双极型存储器、MOS存储器、FLASH闪存
- 速度快、功耗低

(2) 磁存储器

- 磁芯、磁带、磁盘
- 容量大，速度慢、体积大

(3) 激光存储器

- CD-ROM CD-RW CD-R
- DVD-ROM DVD-RW DVD-R
- 便于携带，廉价，易于保存

2. 按存取方式分类

(1) 随机存储器

- 存取时间与物理位置无关
- 磁芯、半导体存储器

(2) 顺序存储器

- 存取时间与物理位置有关
- 磁带

(3) 直接存储器

- 磁盘、激光存储器

3. 按读/写功能分类

(1) 只读存储器 (ROM)

- 存储器内容是预置的，固定的，无法改写

(2) 读/写存储器

- 既能读出也能写入的存储器
- 随机存储器RAM

4. 按信息的可保存性分类

(1) 易失性存储器 *Volatile Memories*

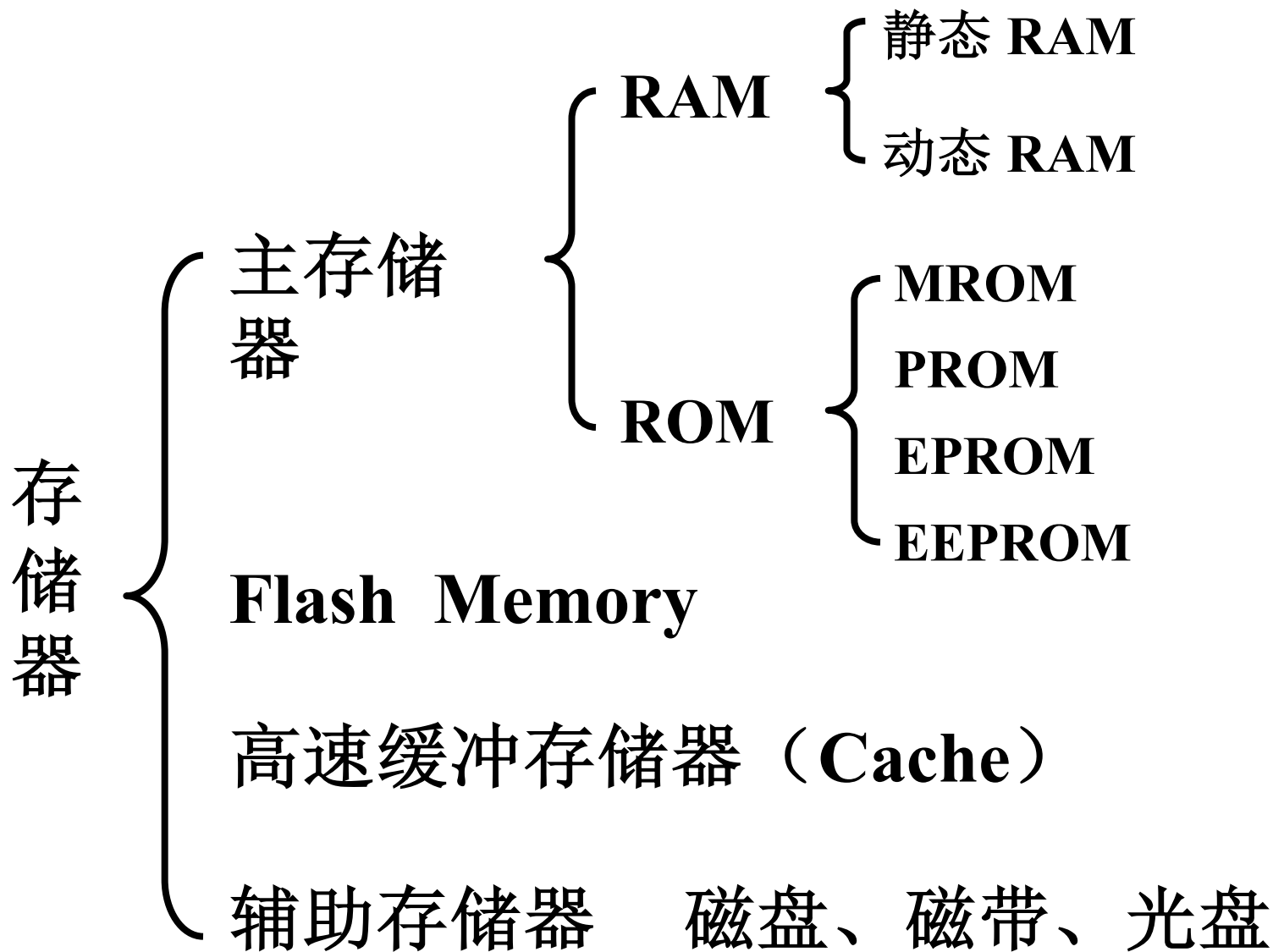
- 断电后信息消失
- SRAM
- DRAM

(2) 非易失性存储器 *Non-Volatile Memories*

- 断电后仍能保存信息
- 磁存储器、激光存储器、FLASH闪存、NVRAM

5. 按在计算机中的作用分类

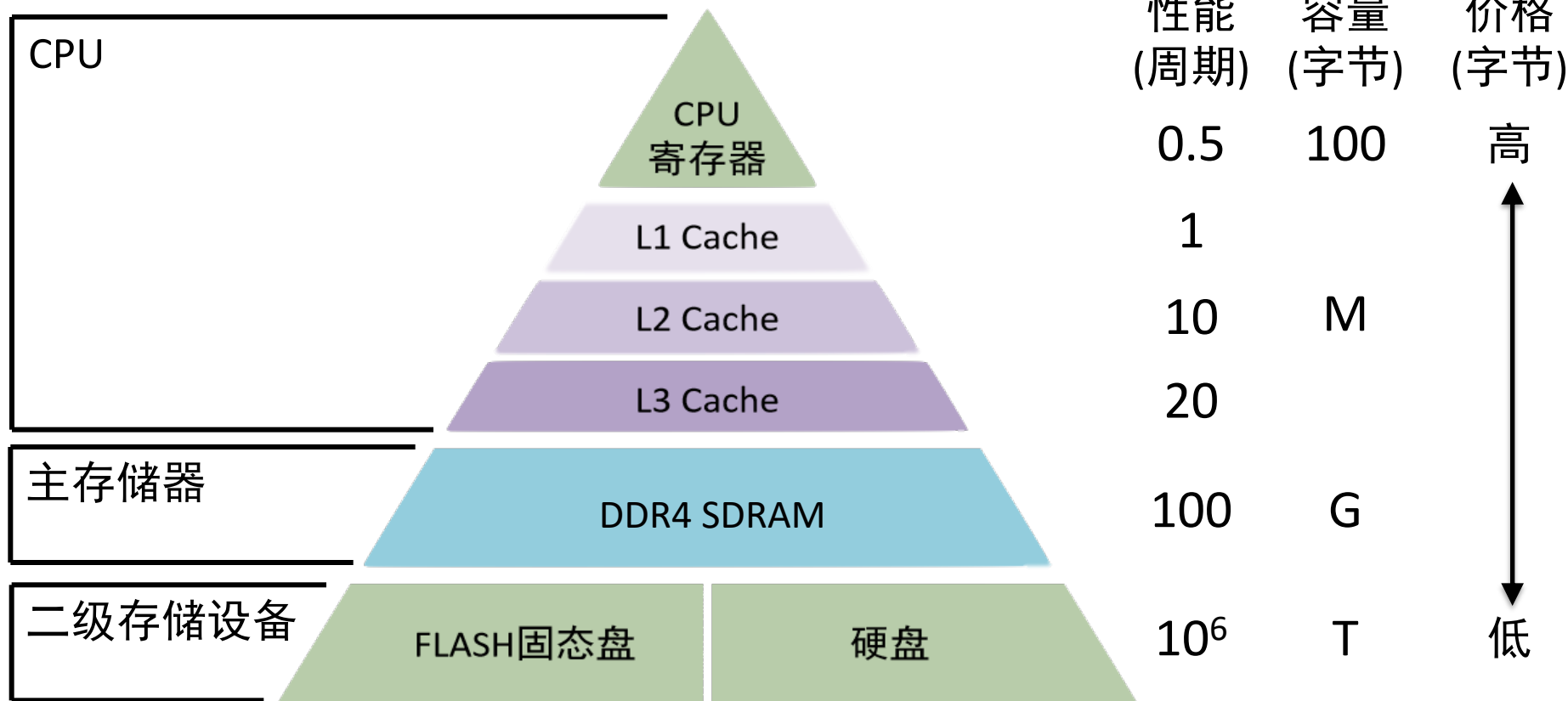
4.1



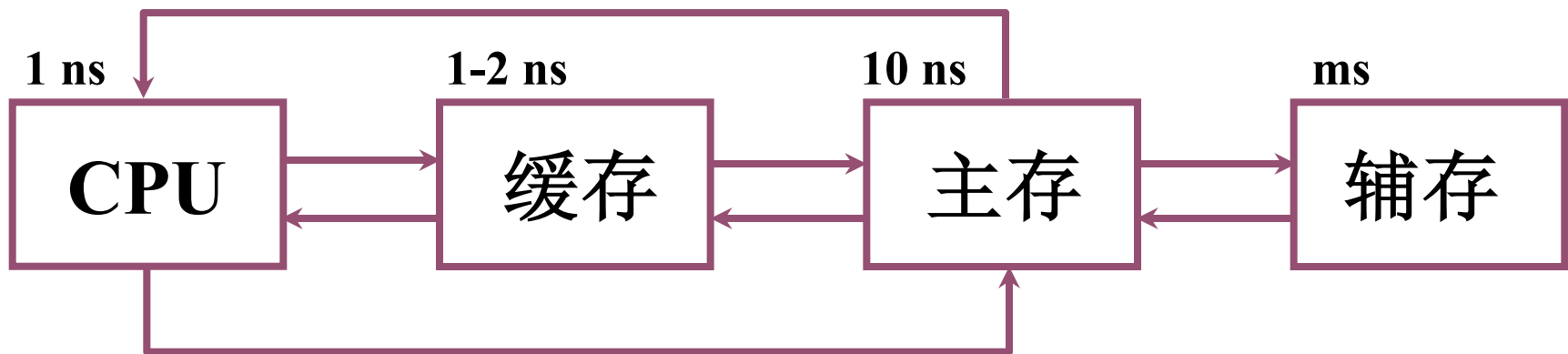
二、存储器的层次结构

目标：整体性能接近寄存器，成本接近硬盘

特点：性能、容量、成本具有数量级差距



2. 缓存—主存层次和主存—辅存层次 4.1



(速度) (容量)
缓存—主存 主存—辅存

主存储器

虚拟存储器

实地址

虚地址

物理地址

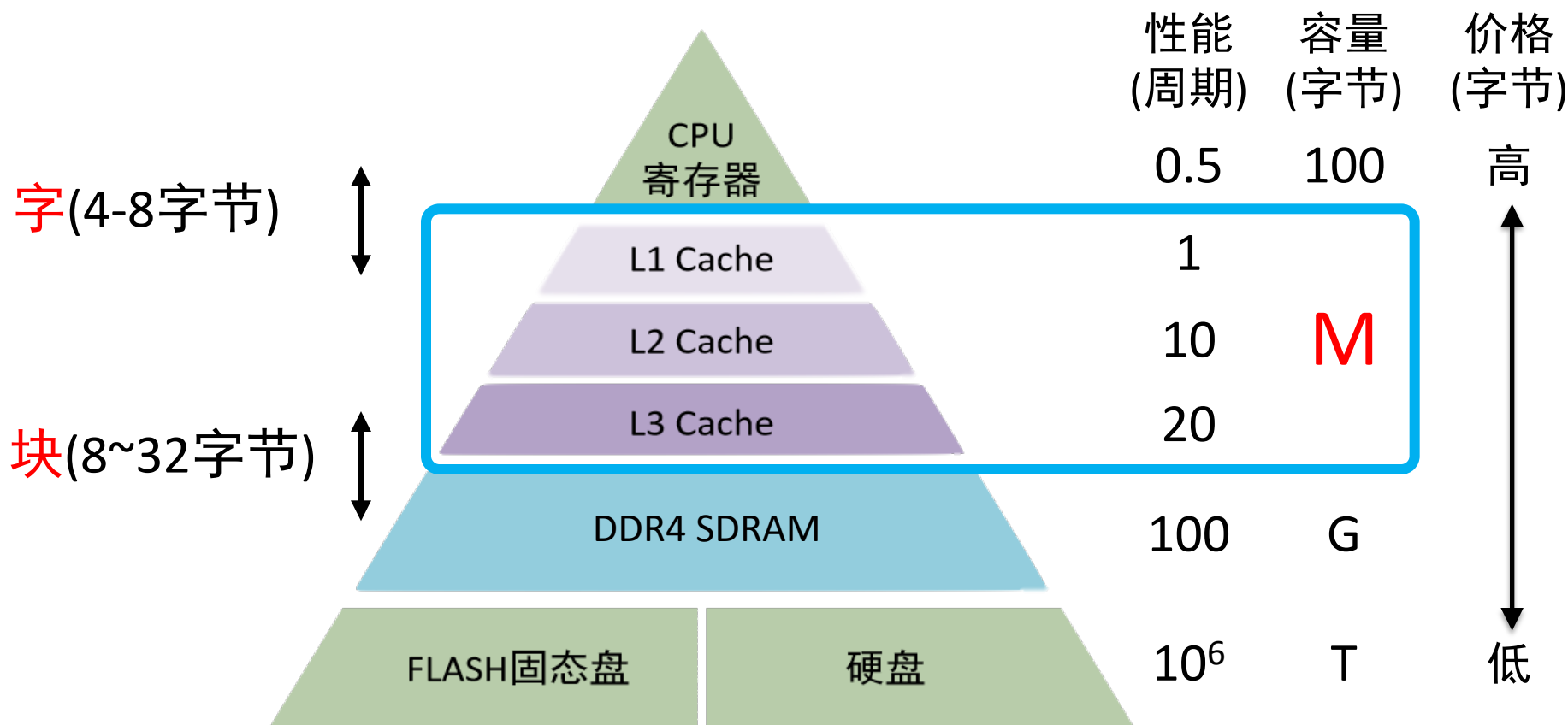
逻辑地址

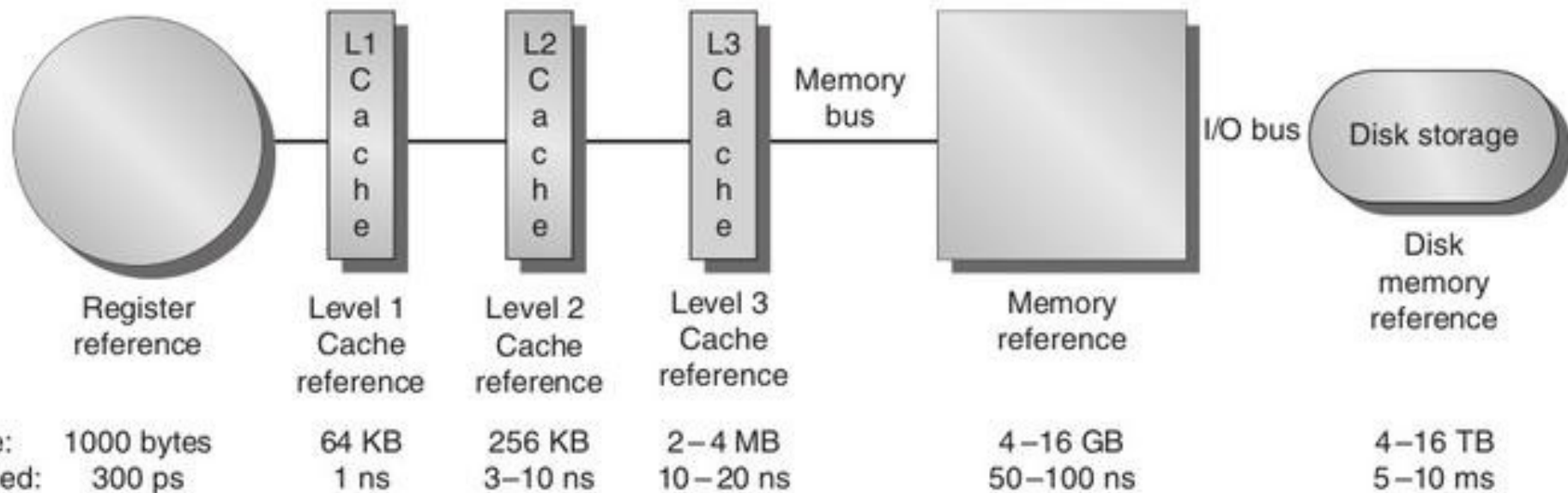
二、存储器的层次结构

Cache是解决CPU-主存性能匹配的关键

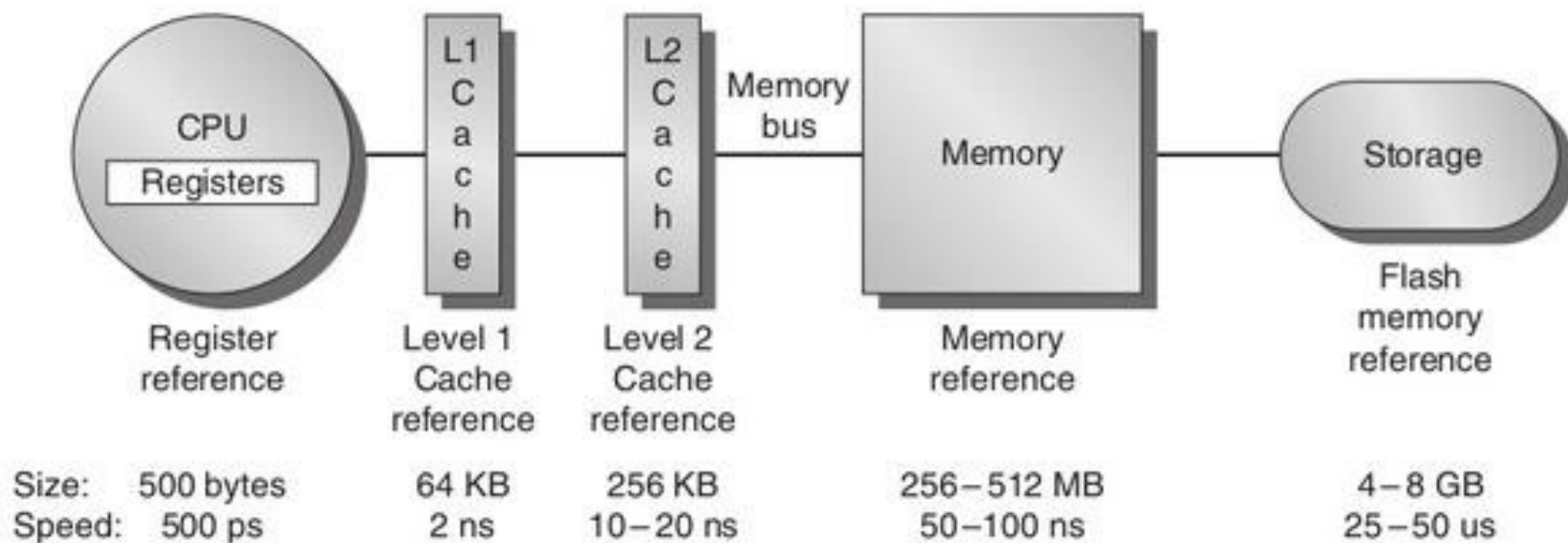
小容量、高性能

充分利用了局部性原理



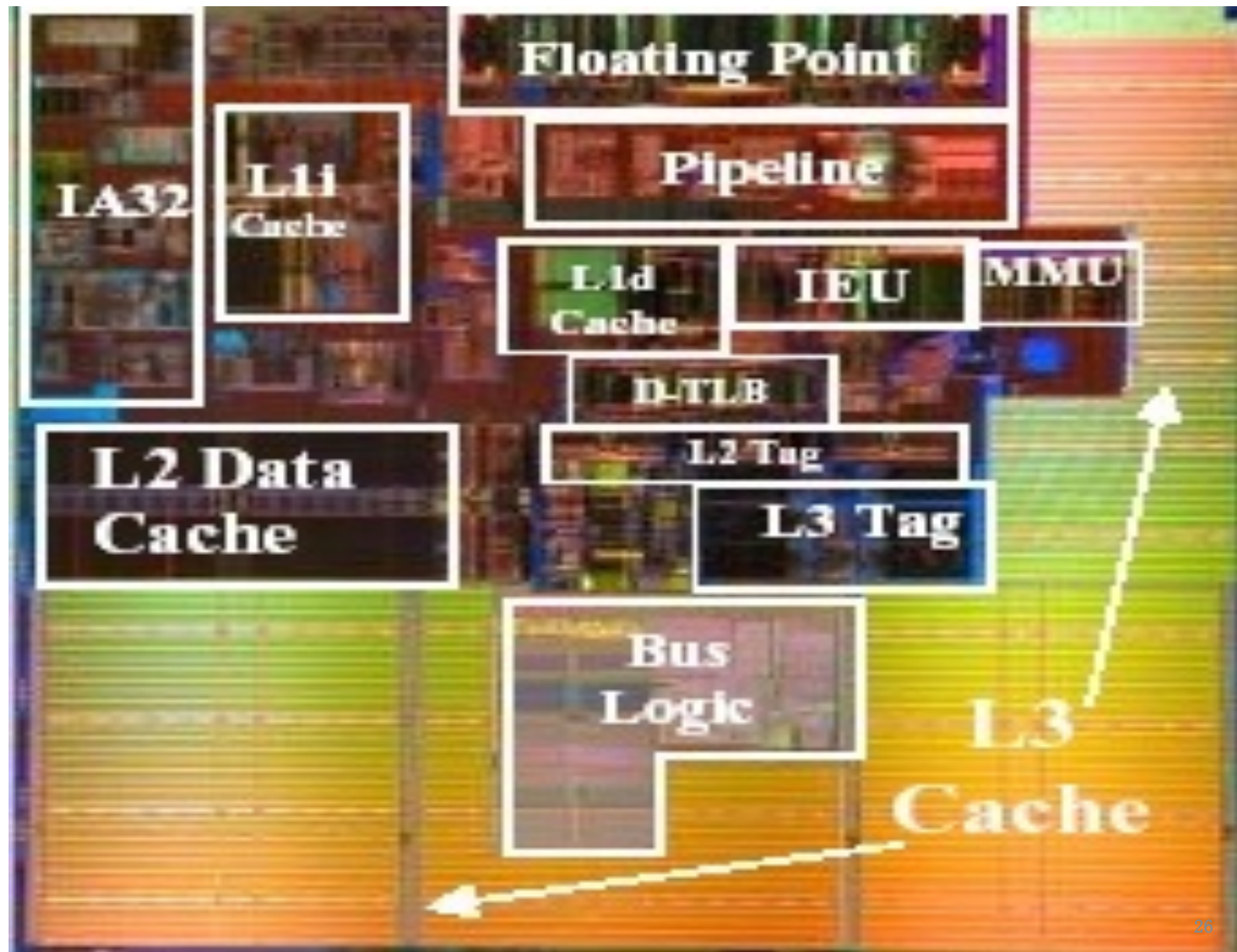


(a) Memory hierarchy for server



(b) Memory hierarchy for a personal mobile device

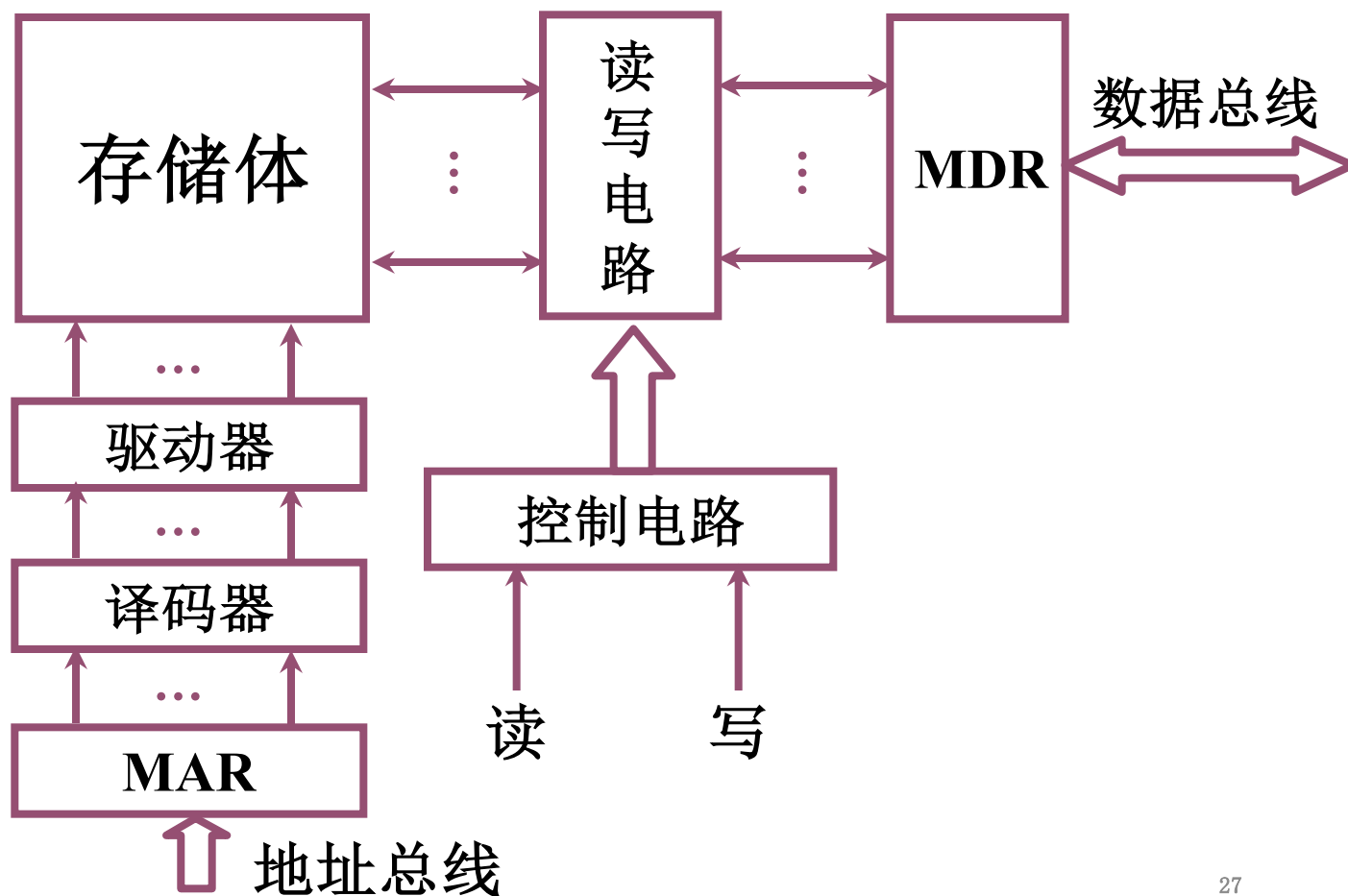
Intel Itanium2 (版图布局)



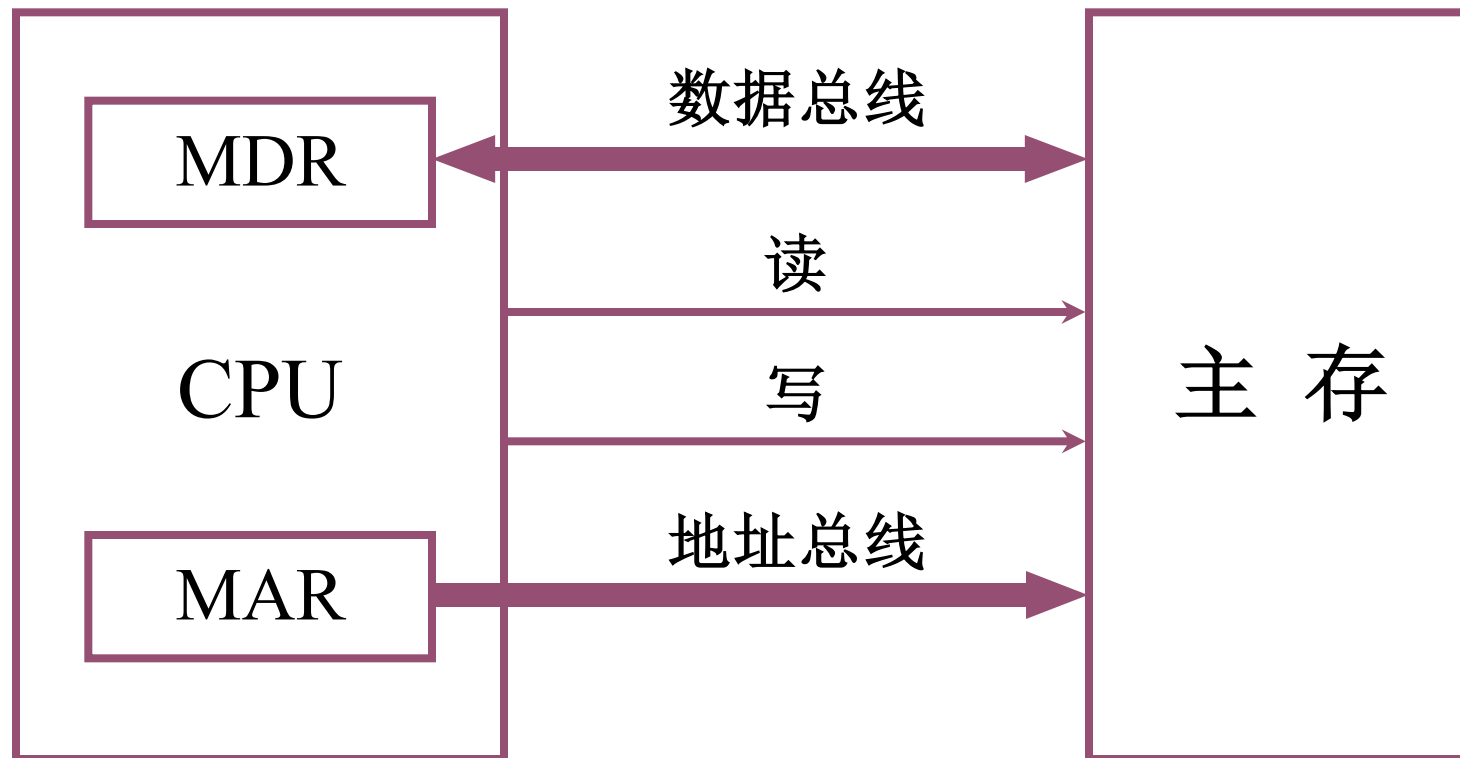
4.2 主存储器

一、概述

1. 主存的基本组成



2. 主存和 CPU 的联系

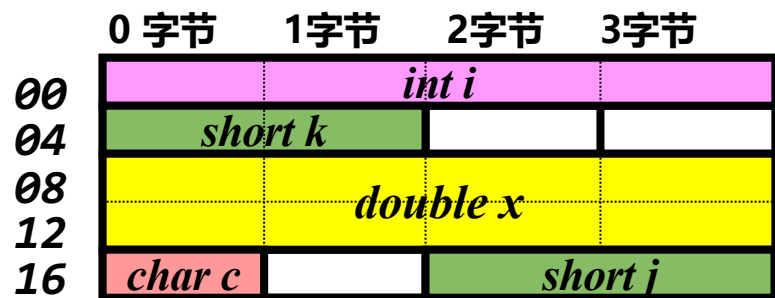


3. 主存中的数据组织

4.2

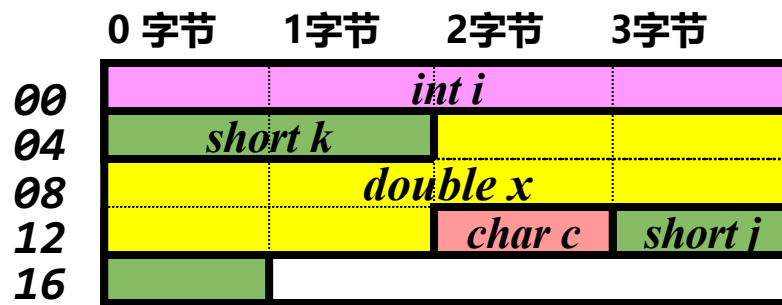
- 按**边界对齐**方式**存储数据**
- *int i, short k, double x, char c, short j*
 - int (4字节) short (2字节) double (8字节) char (1字节)
 - short按16位对齐, int按32位对齐, double按32位对齐, 64位机按64位对齐

对齐：访问速度高



对齐存放

不对齐：节约存储空间



未对齐存放

4. 主存中存储单元地址的分配

设地址线 **24** 根 按 **字节** 寻址 $2^{24} = 16 \text{ MB}$

若字长为 **16** 位 按 **字** 寻址 **8 MW**

若字长为 **32** 位 按 **字** 寻址 **4 MW**

short/long/quad words 在内存中用连续的2/4/8 字节存储

哪个字节是最高/低位？

在不同机器之间交换顺序，会有问题。

大端序 (Big Endian)

最高有效位在低地址，如Sun工作站所使用的SPARC

小端序 (Little Endian)

最低有效位在低地址，如PC机所使用的x86、amd64

双端序 (Bi Endian)

可配置成大/小端序，如ARM、MIPS

例：假设从内存地址`0x00000001`处开始存储十六进制数`0x12345678`，那么

- **大端顺序** 存放(按原顺序存储)

`0x00000001` (低地址) -- 12 (高位字节)

`0x00000002` -- 34

`0x00000003` -- 56

`0x00000004` -- 78

- **小端顺序** 存放(颠倒顺序存储)

`0x00000001` (低地址) -- 78 (低位字节)

`0x00000002` -- 56

`0x00000003` -- 34

`0x00000004` -- 12

5. 主存的技术指标

(1) 存储容量 主存 存放二进制代码的总位数

(2) 存储速度

- 存取时间 存储器的 访问时间

读出时间 写入时间

- 存取周期 连续两次独立的存储器操作
(读或写) 所需的 最小间隔时间

读周期 写周期

(3) 存储器的带宽 单位时间内存储器存取的信息量
位/秒

第4章 存储器

4.1 概述

4.2 主存储器

4.3 高速缓冲存储器

4.4 辅助存储器

主板和总线



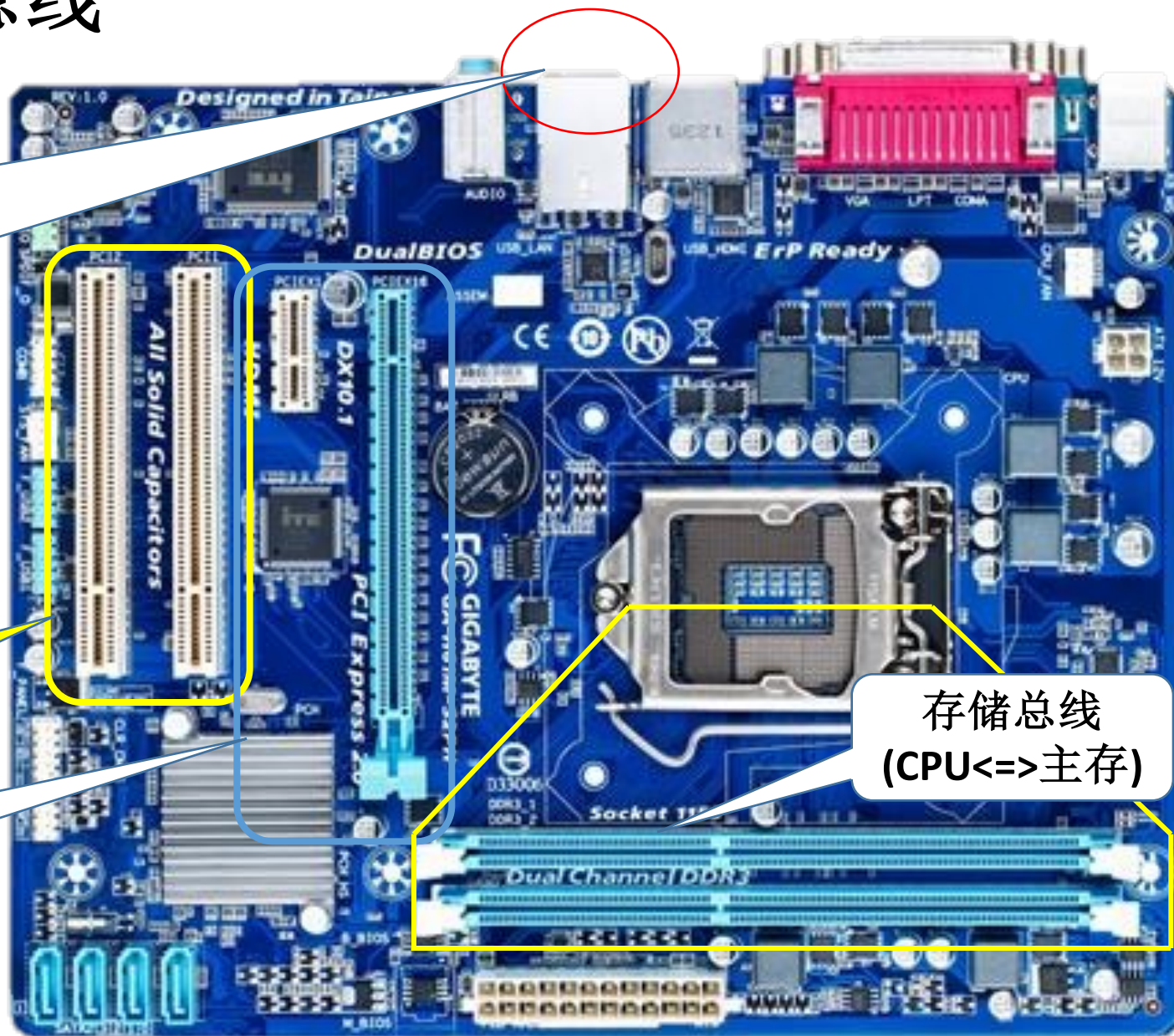
USB*

* USB应归为
通信总线

PCI

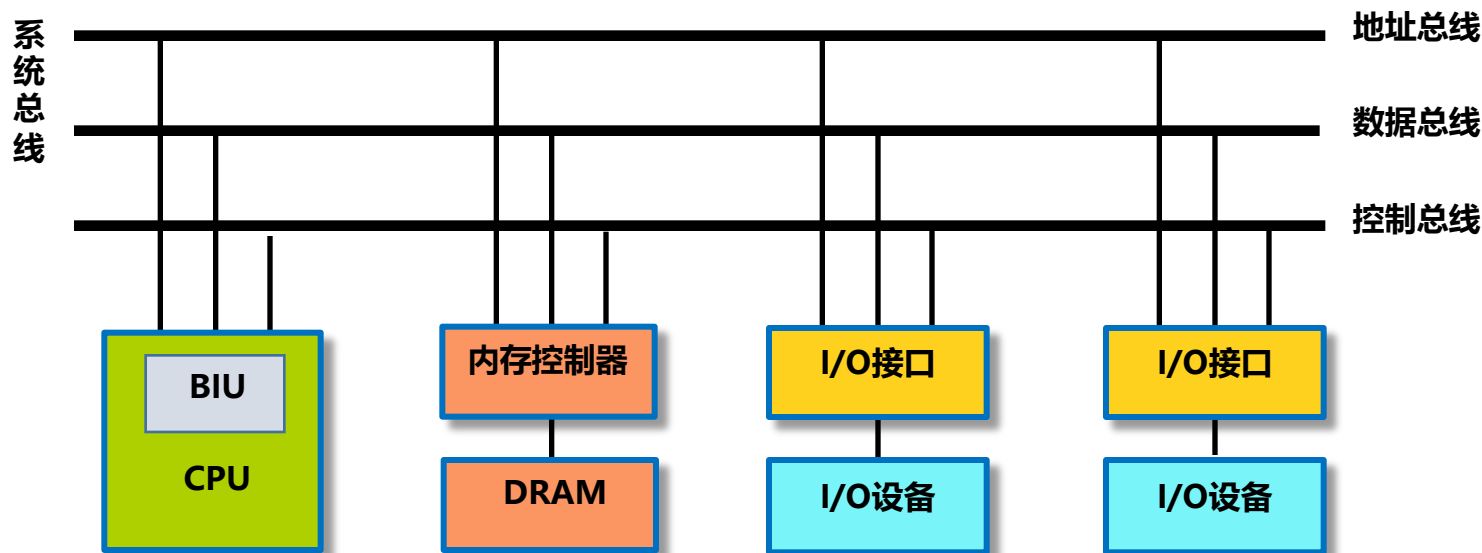
系统总线

PCI-Express
(PCI-E)



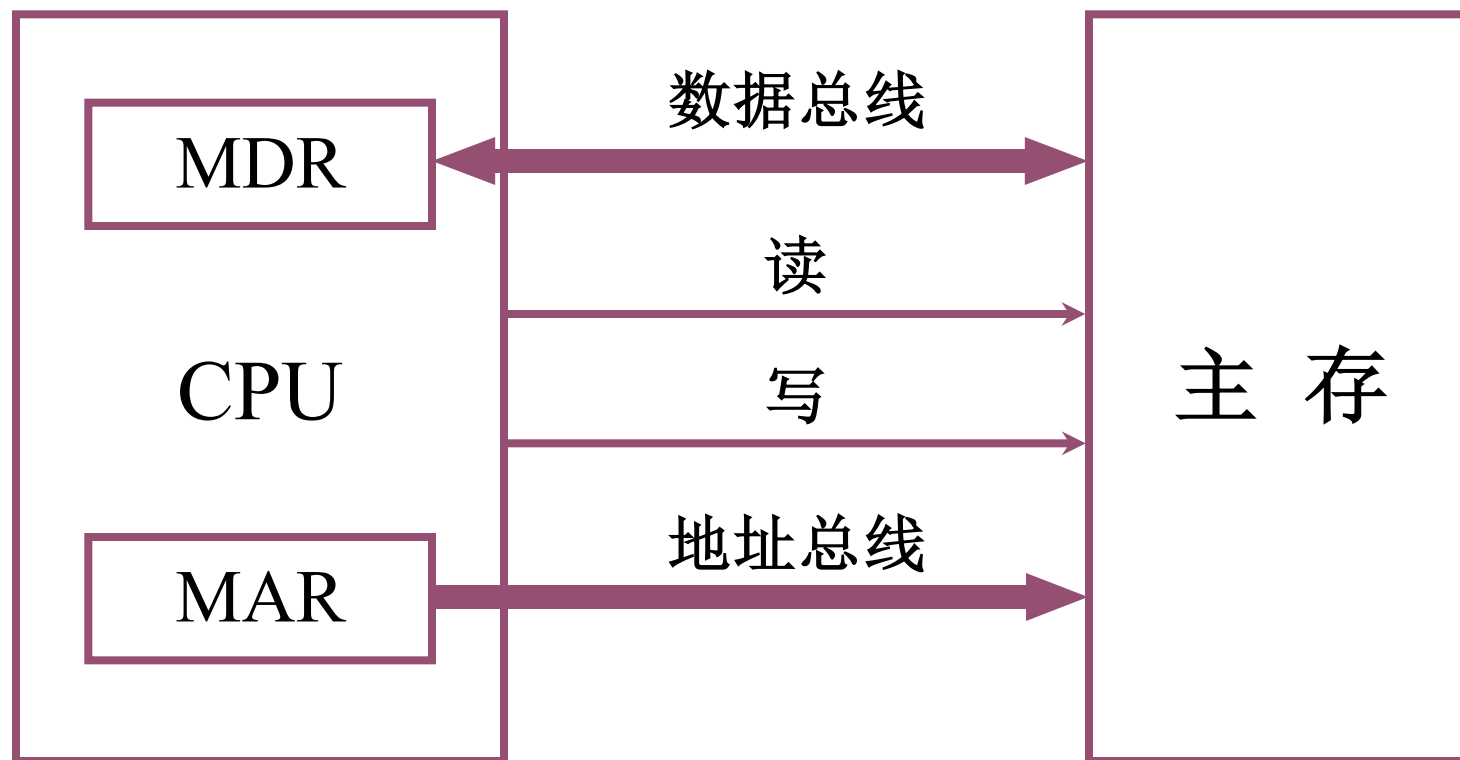
存储总线
(CPU \rightleftharpoons 主存)

总线组成（示例）



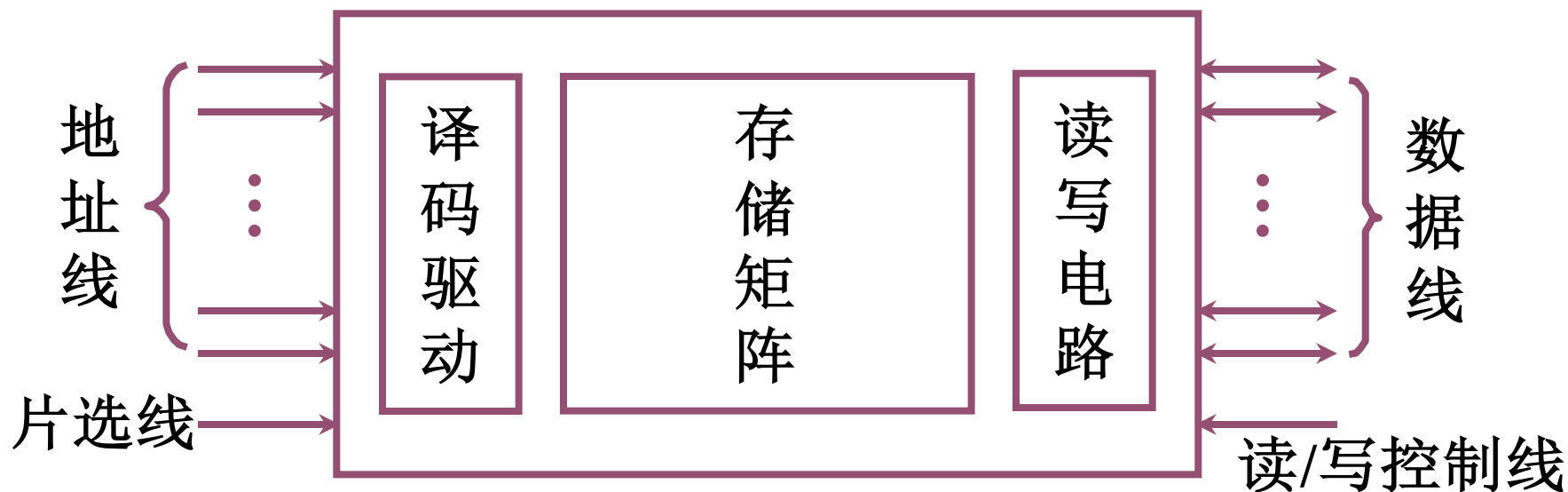
- 数据总线
 - 传送数据信息，双向传输
- 地址总线
 - 传送地址，单向传输
- 控制总线
 - 传送控制信号和时序信号
- 电源、地线

主存和 CPU 的联系



二、半导体存储芯片简介

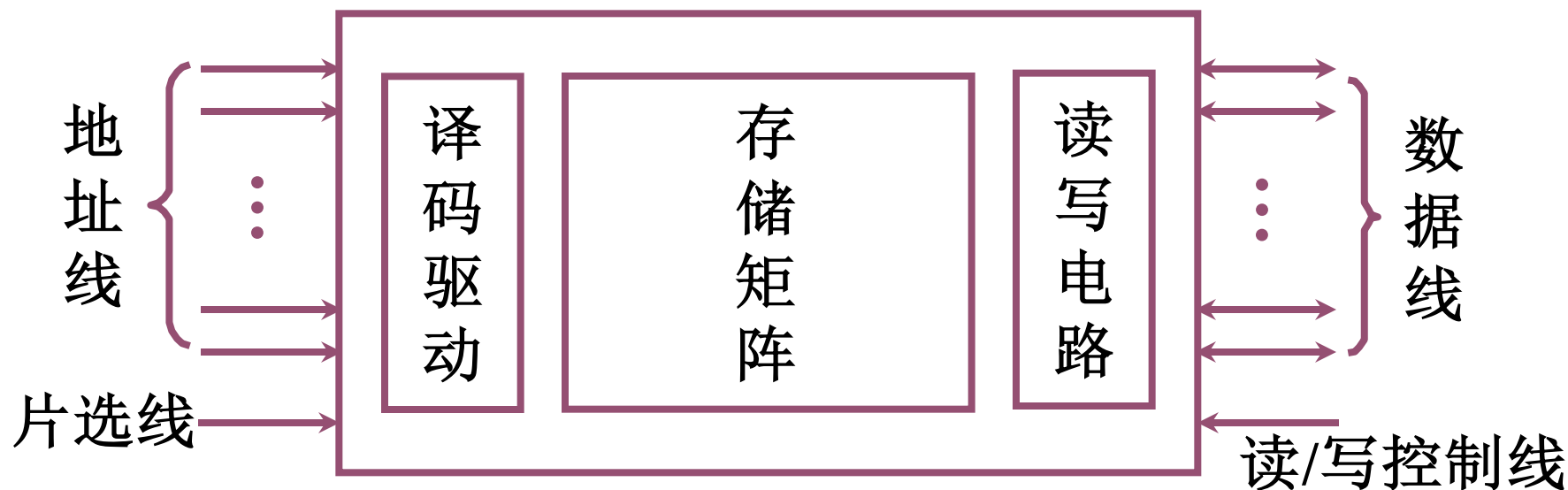
1. 半导体存储芯片的基本结构



地址线（单向）	数据线（双向）	芯片容量
10	4	1K×4位
14	1	16K×1位
13	8	8K×8位 ³⁷

二、半导体存储芯片简介

1. 半导体存储芯片的基本结构



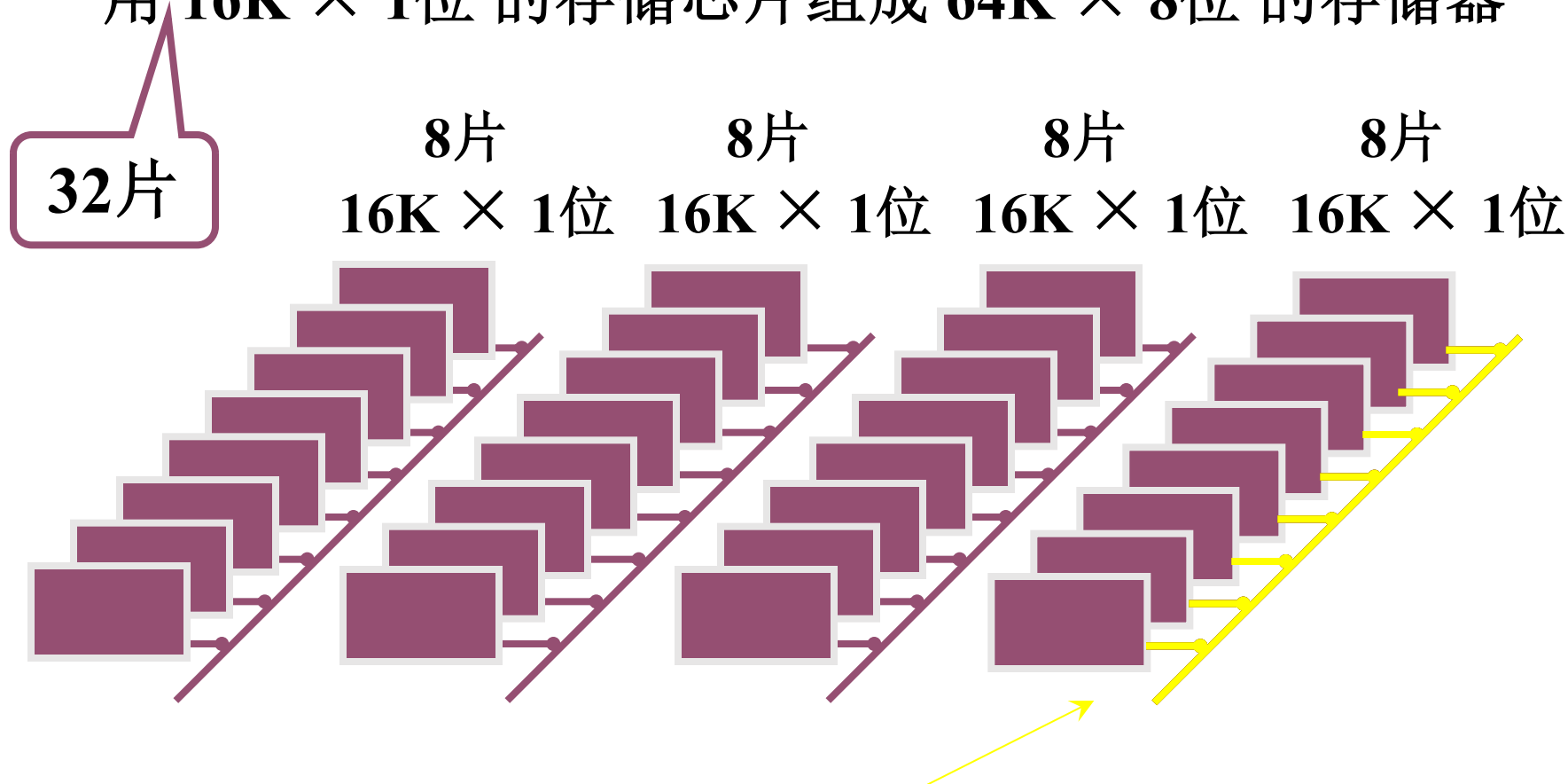
片选线 $\overline{\text{CS}}$ $\overline{\text{CE}}$

读/写控制线 $\overline{\text{WE}}$ (低电平写 高电平读)

$\overline{\text{OE}}$ (允许读) $\overline{\text{WE}}$ (允许写)

存储芯片片选线的作用

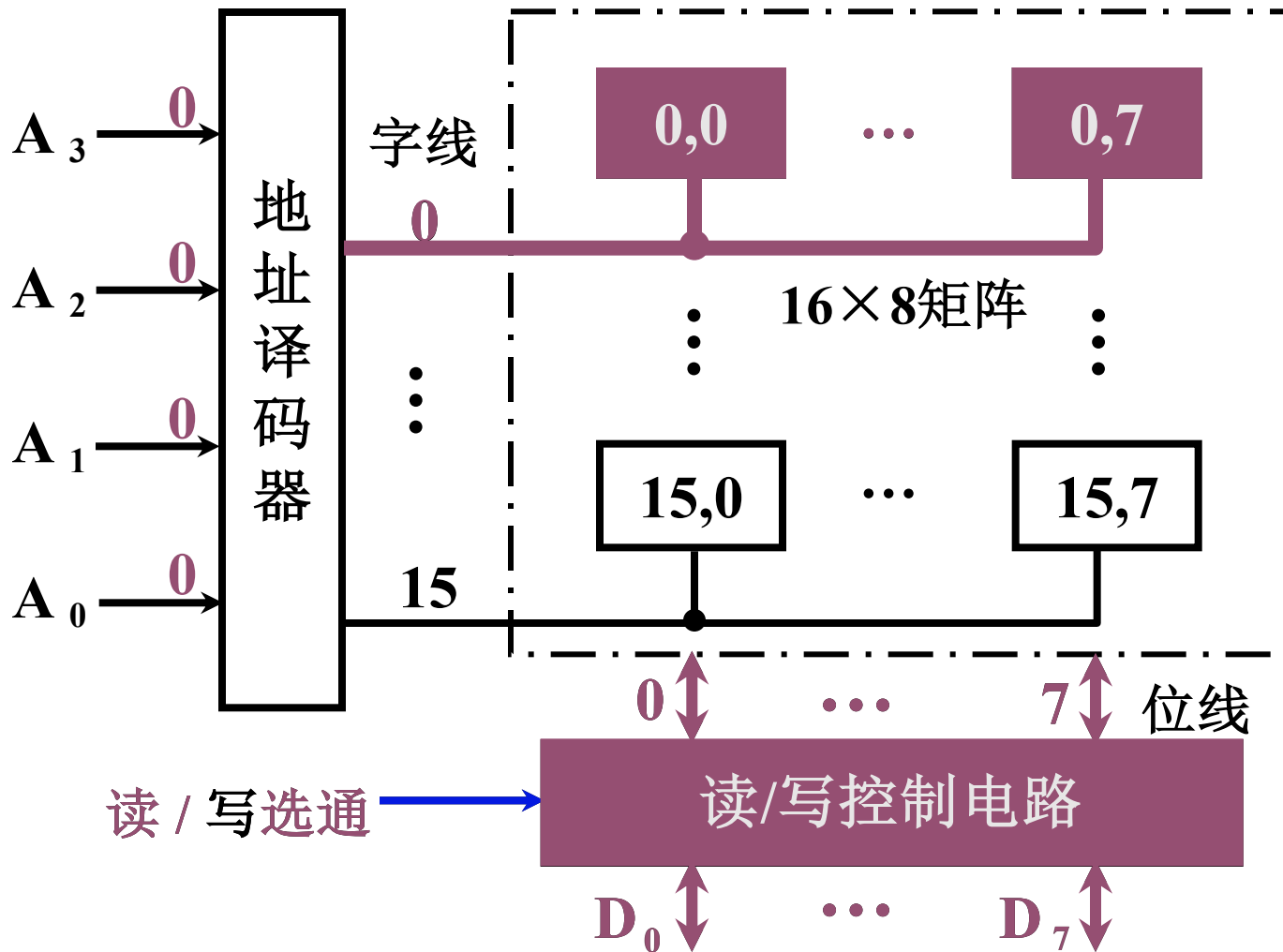
用 $16\text{K} \times 1$ 位的存储芯片组成 $64\text{K} \times 8$ 位的存储器



当地址为 65 535 时，此 8 片的片选有效

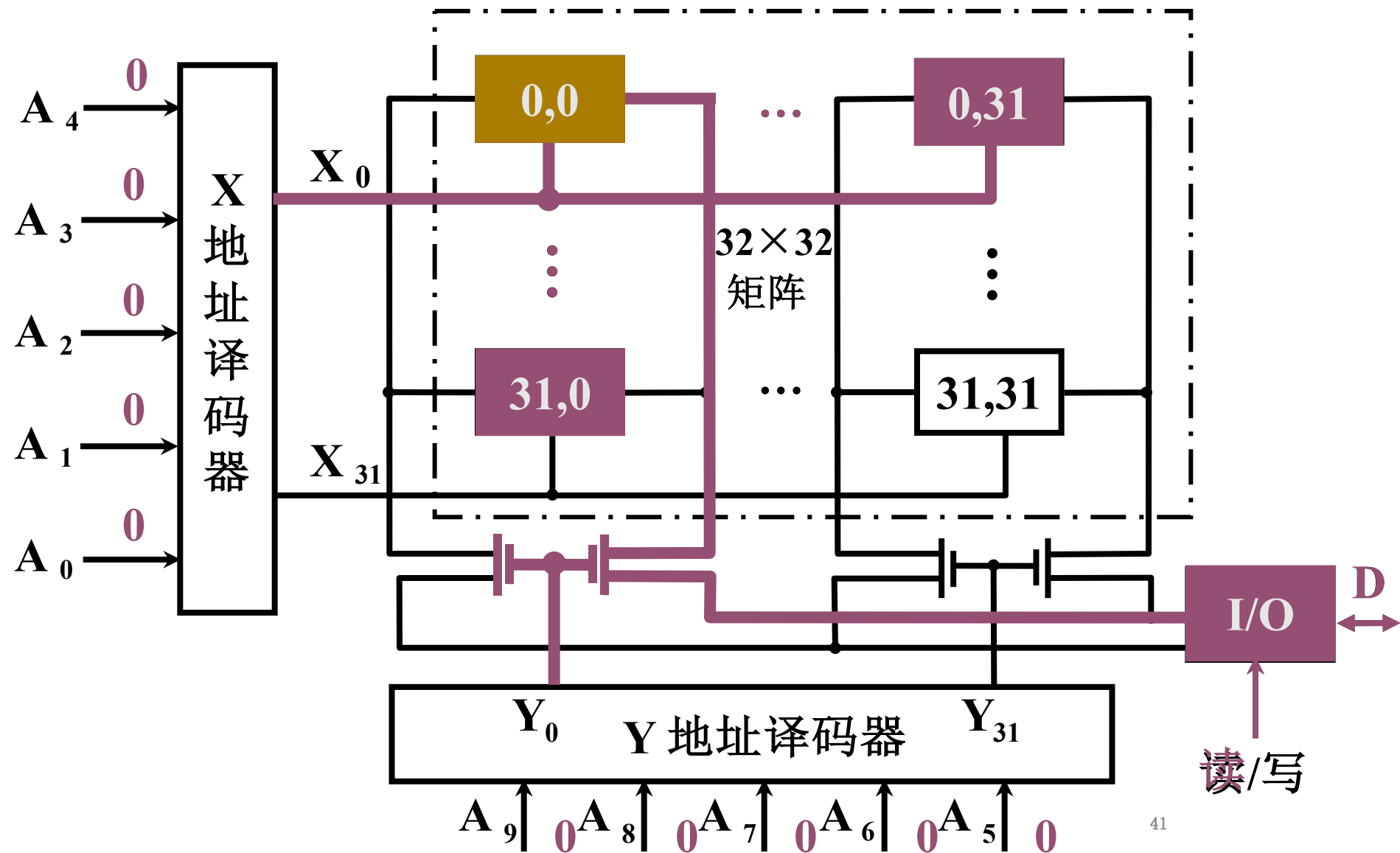
2. 半导体存储芯片的译码驱动方式 4.2

(1) 线选法

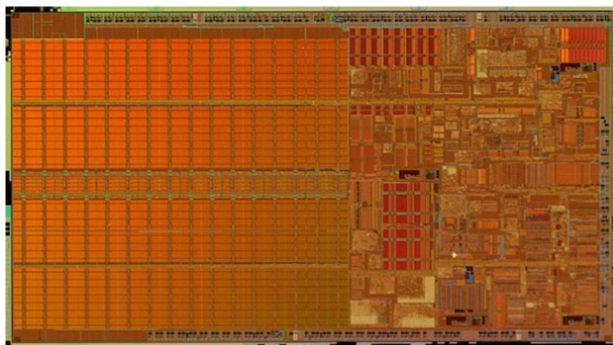


(2) 重合法

4.2



半导体存储器如何存储数据？



SRAM (CPU 缓存)



DRAM 内存条

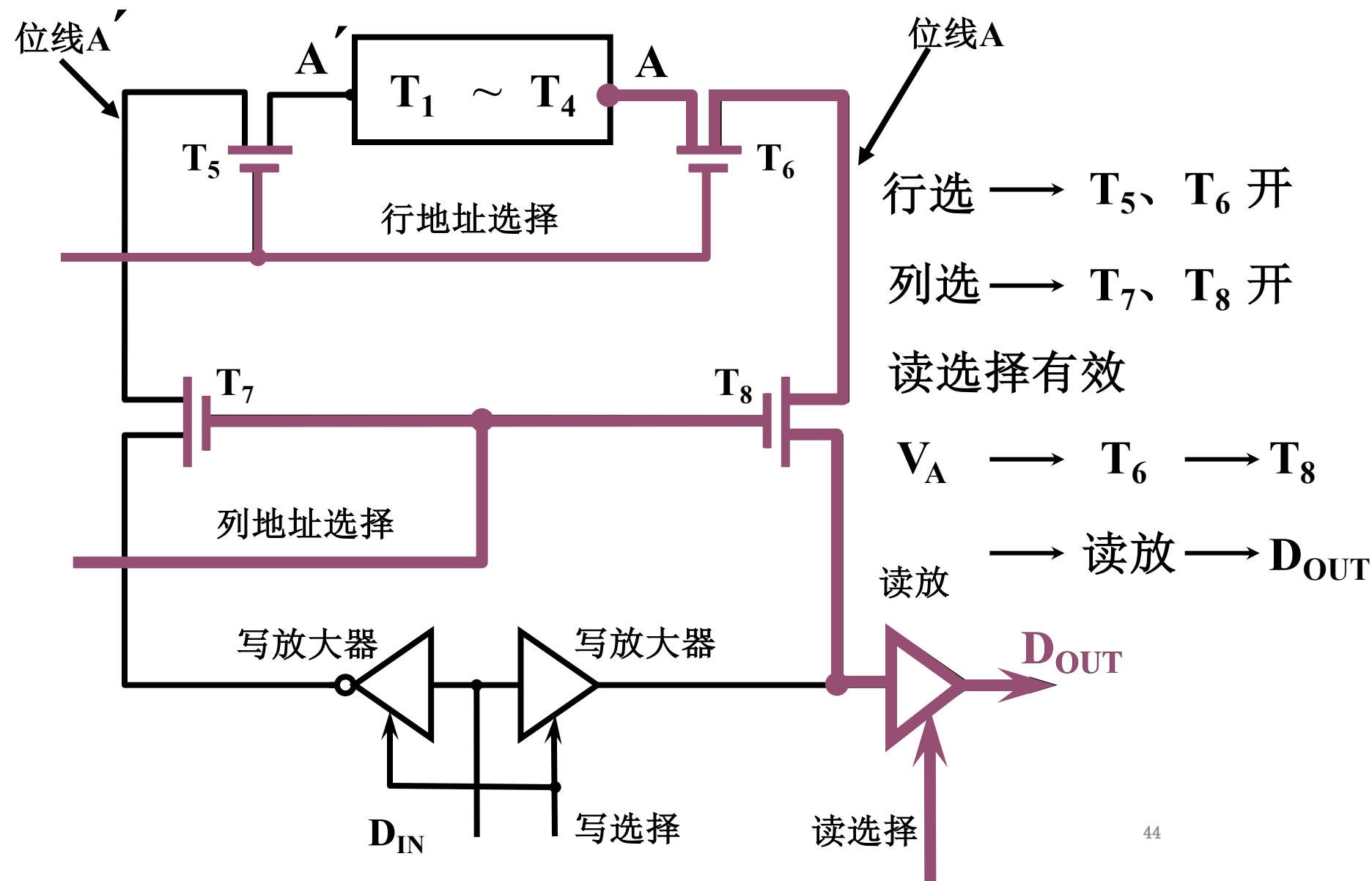
二者为什么存在性能、容量、价格差异？

4.2

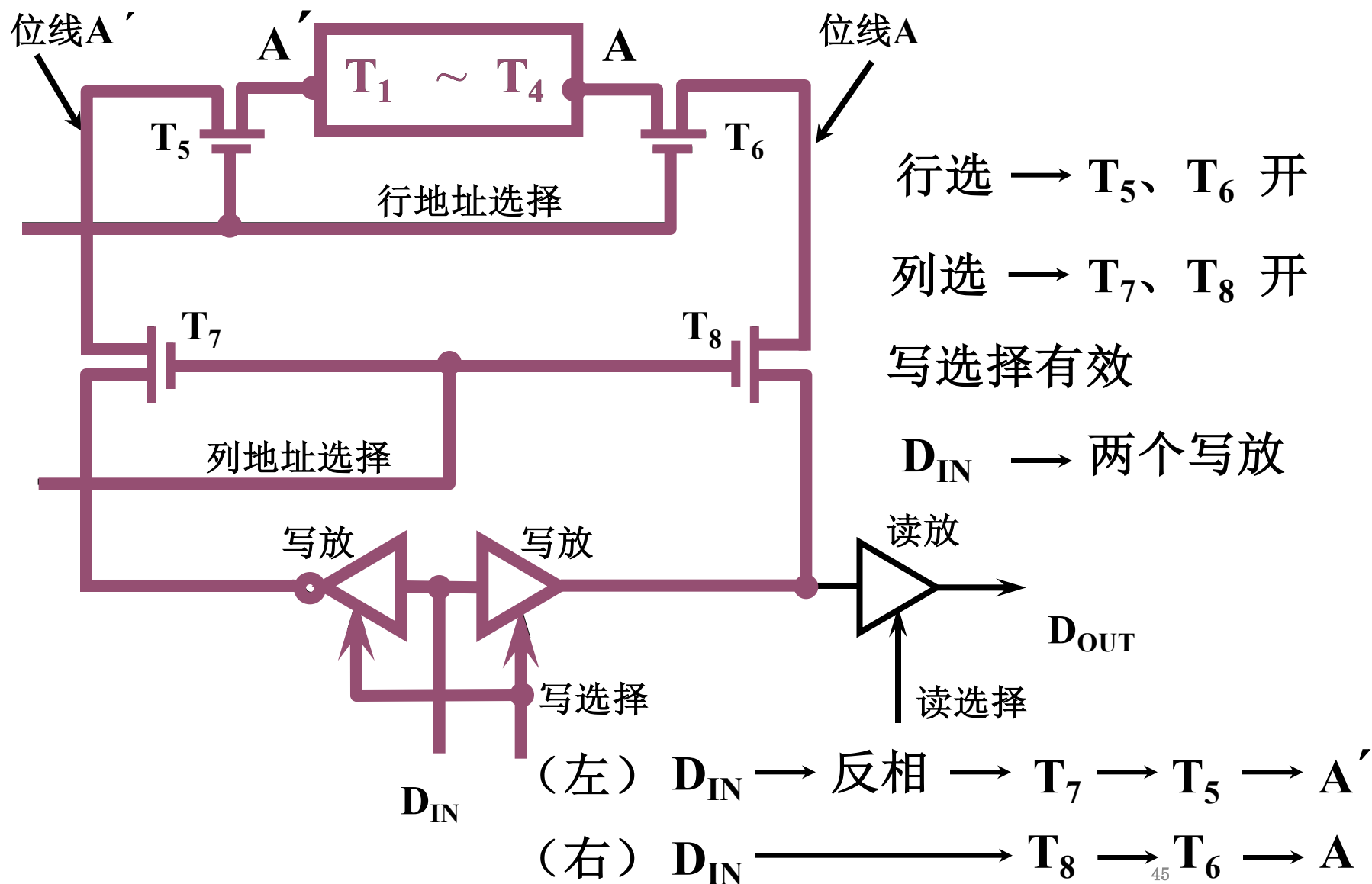
(1) 静态 RAM 基本电路



① 静态 RAM 基本电路的 读 操作

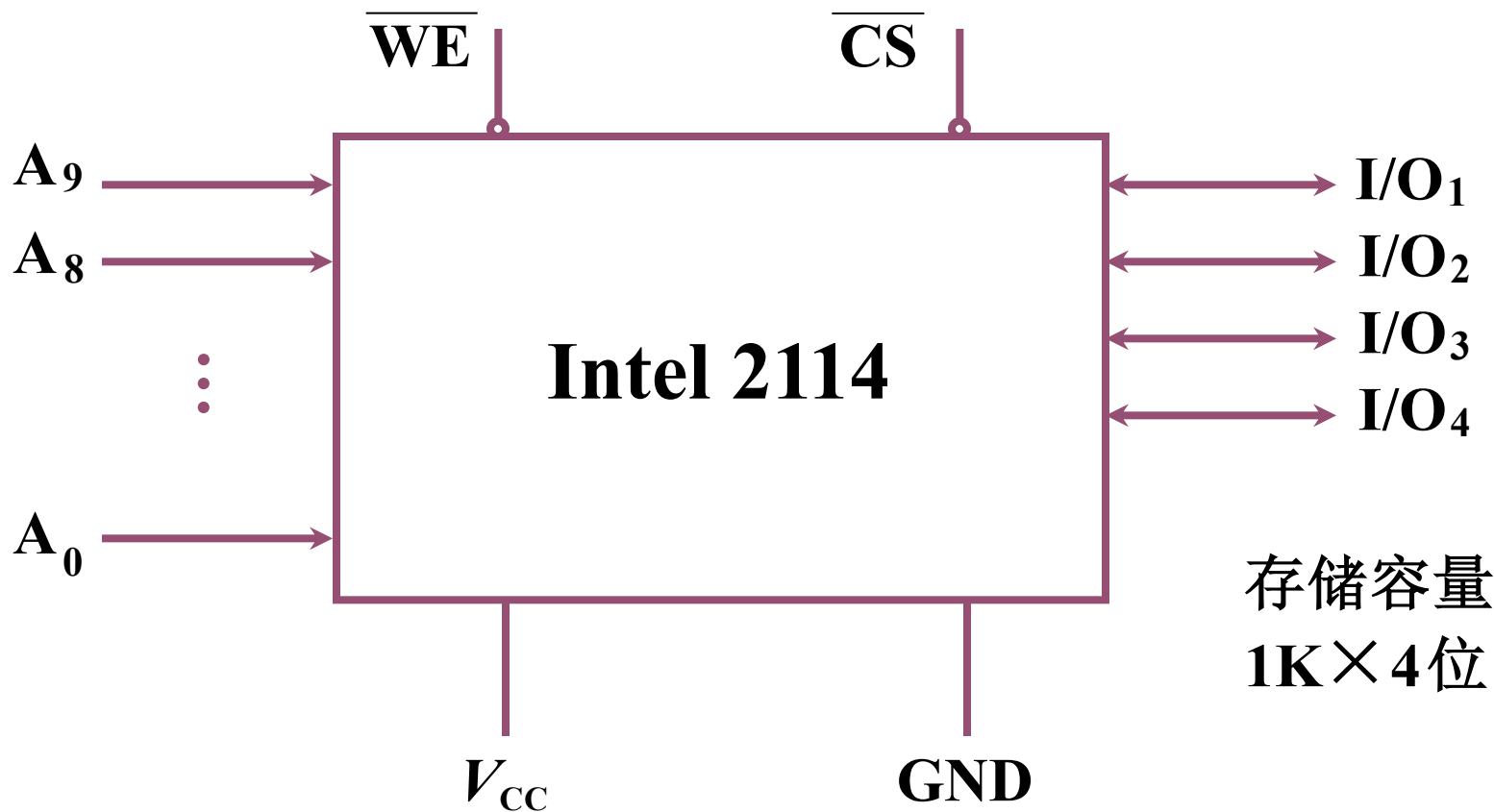


② 静态 RAM 基本电路的 写 操作

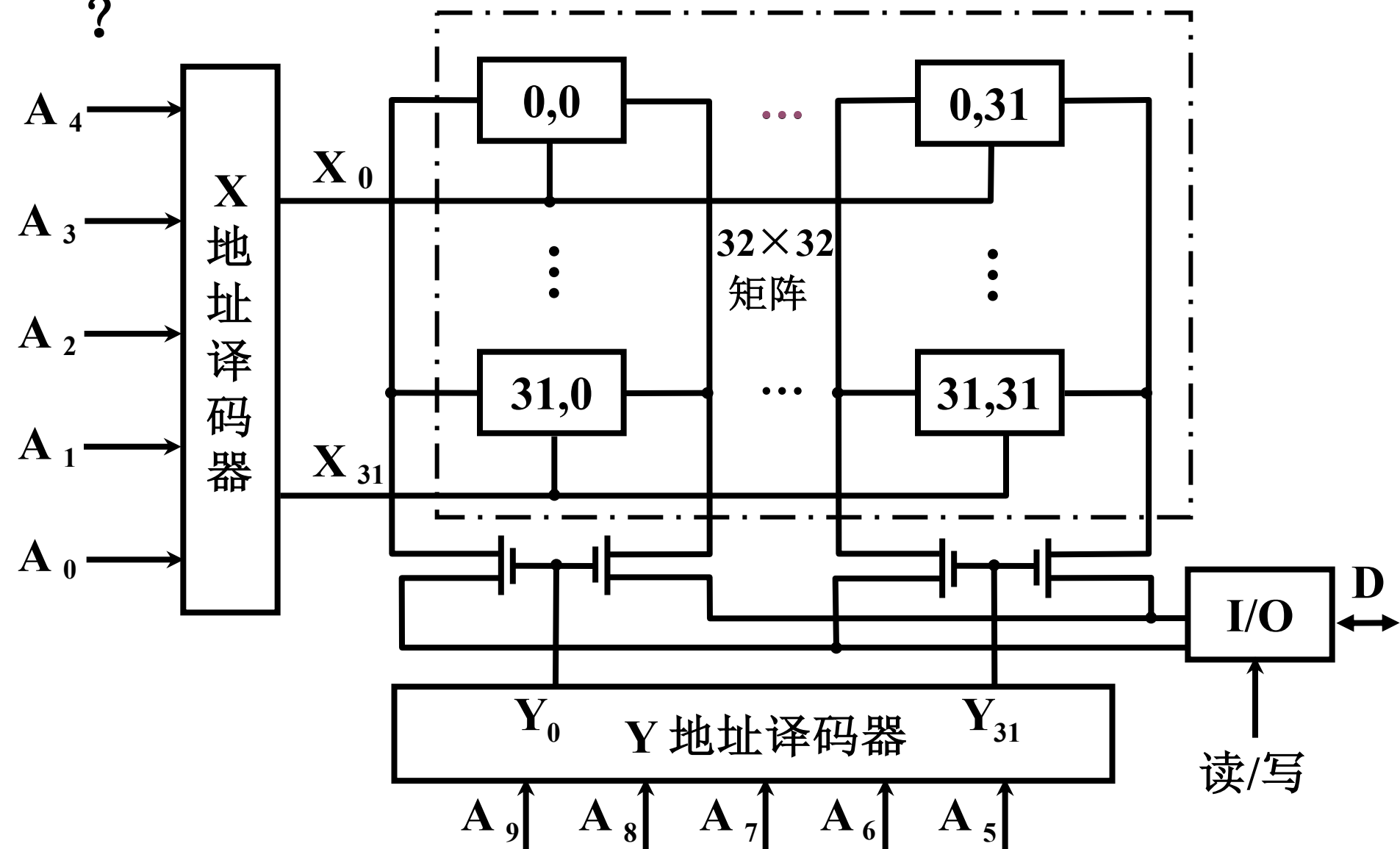


(2) 静态 RAM 芯片举例

① Intel 2114 外特性



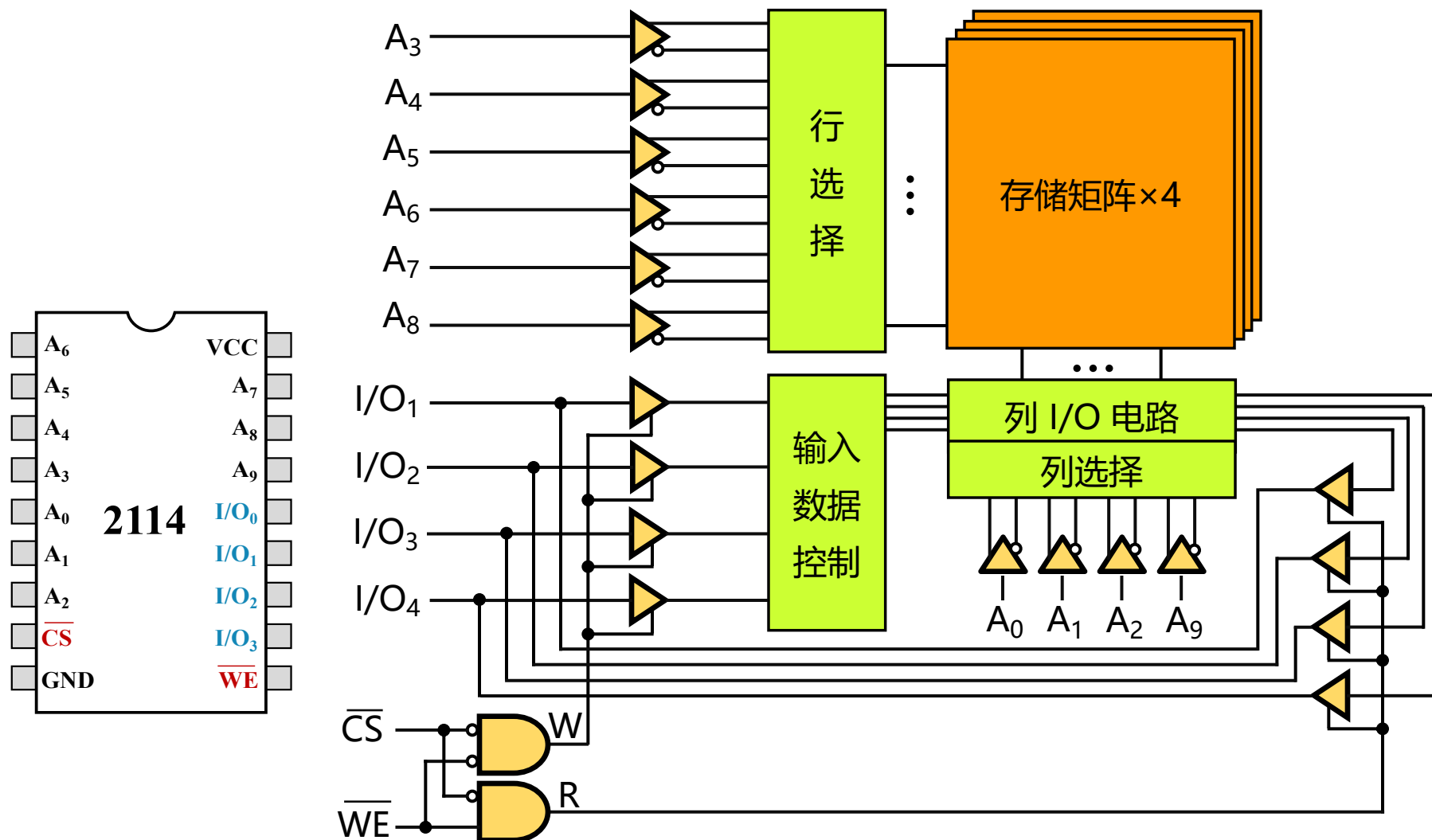
曾经讲到过的重合法，怎么实现选一次四列？



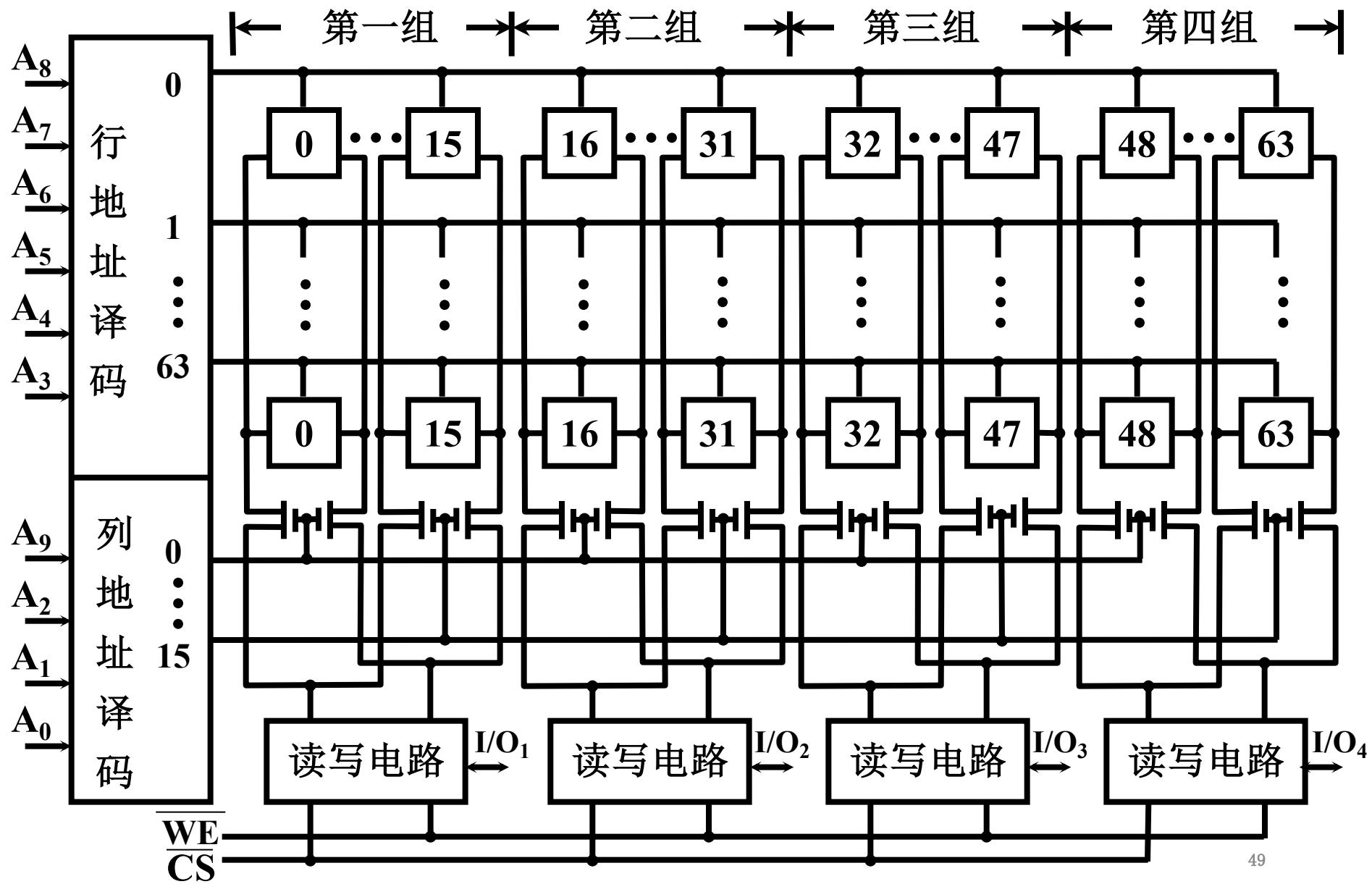
(2) 静态 RAM 芯片举例

4.2

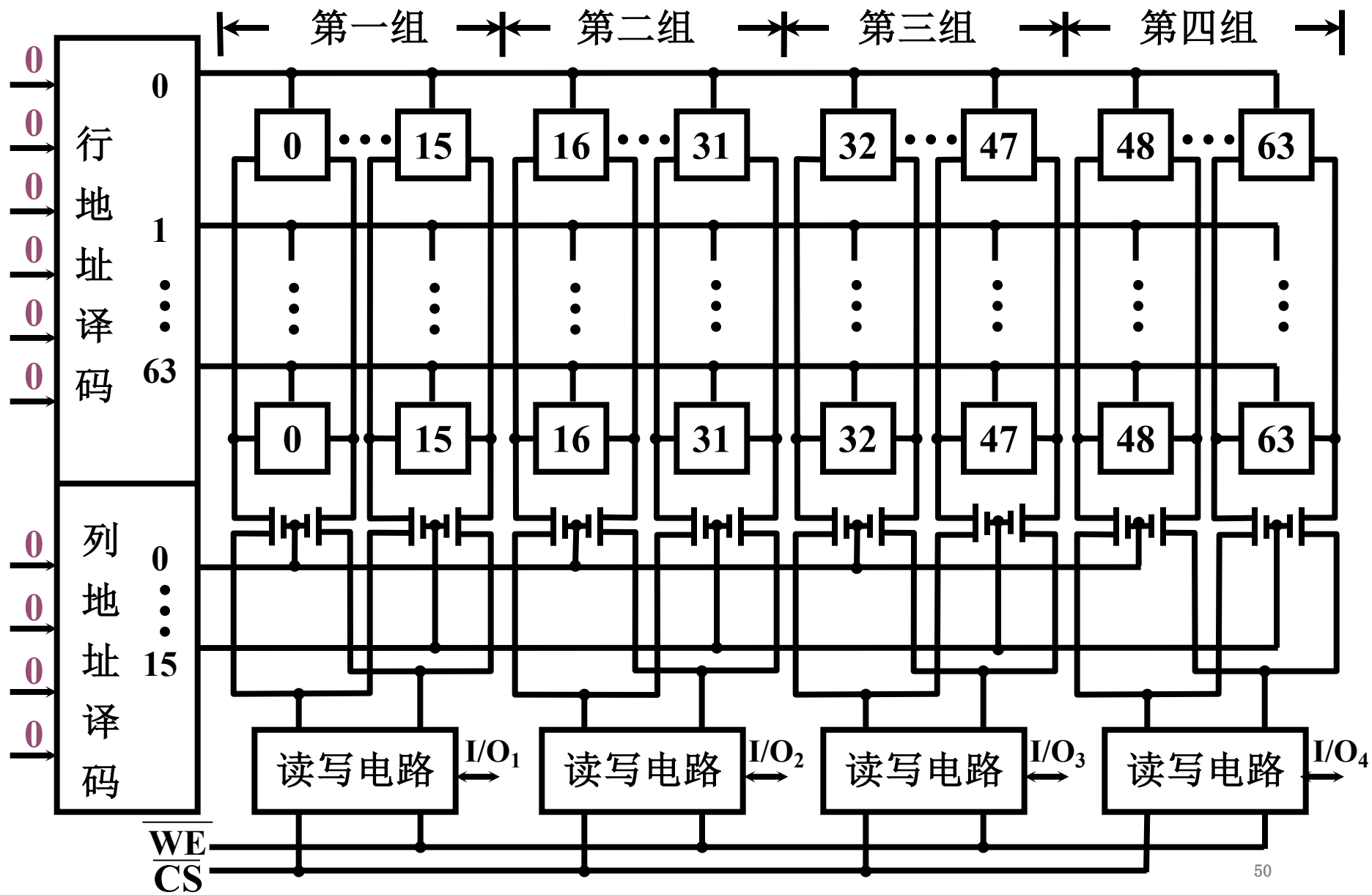
① Intel 2114



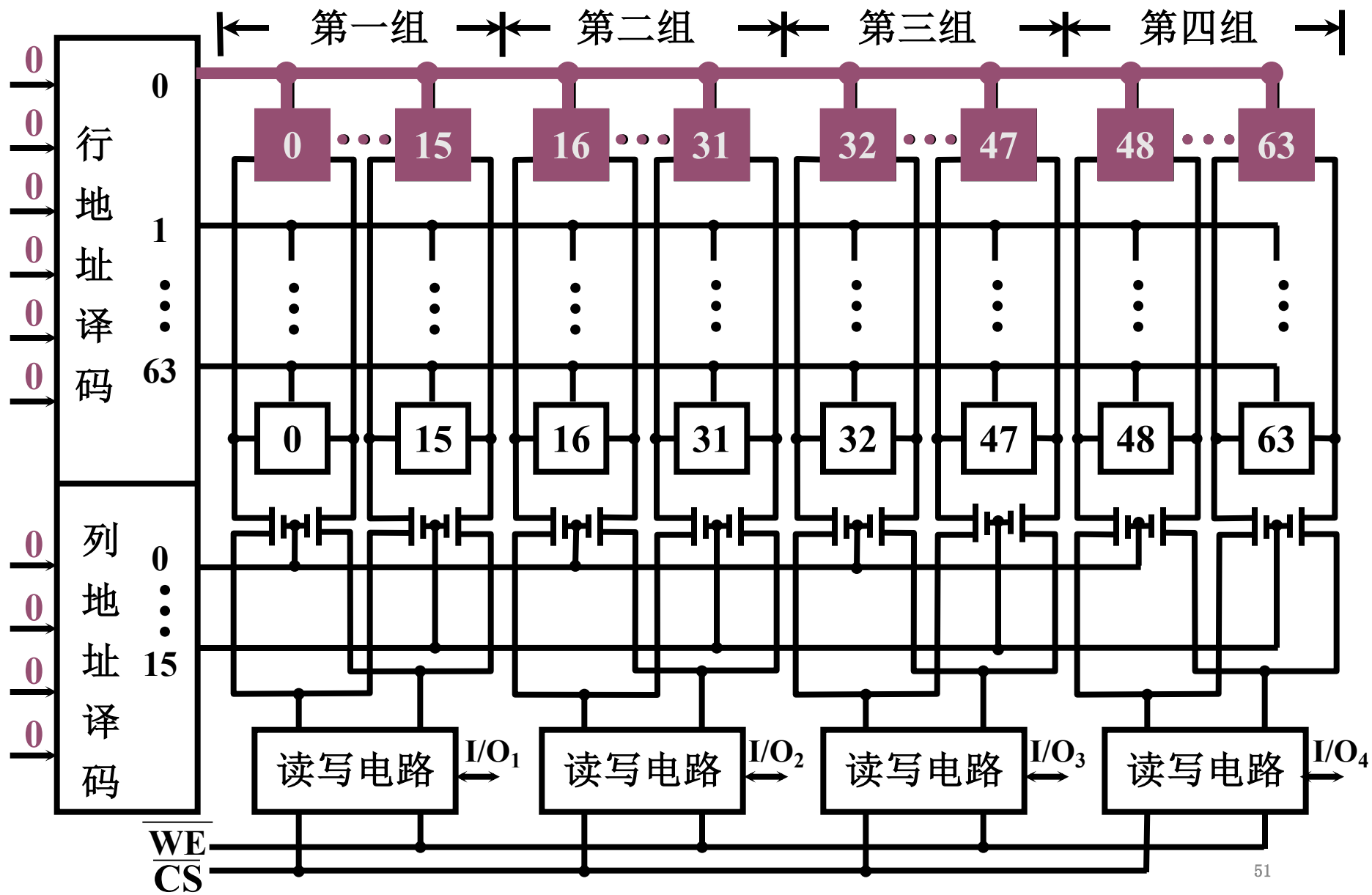
② Intel 2114 RAM 矩阵 (64×64) 读 4.2



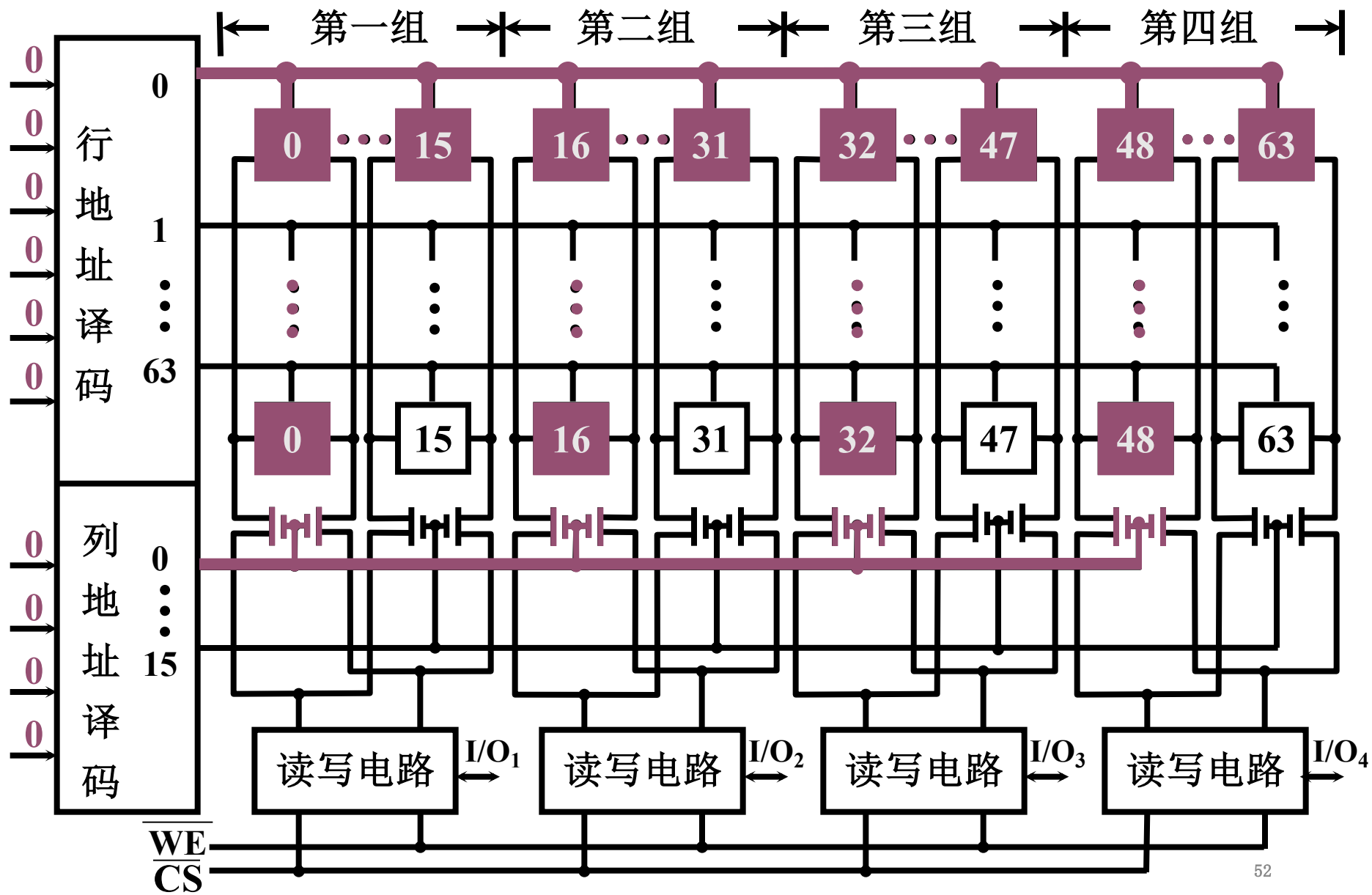
② Intel 2114 RAM 矩阵 (64×64) 读 4.2



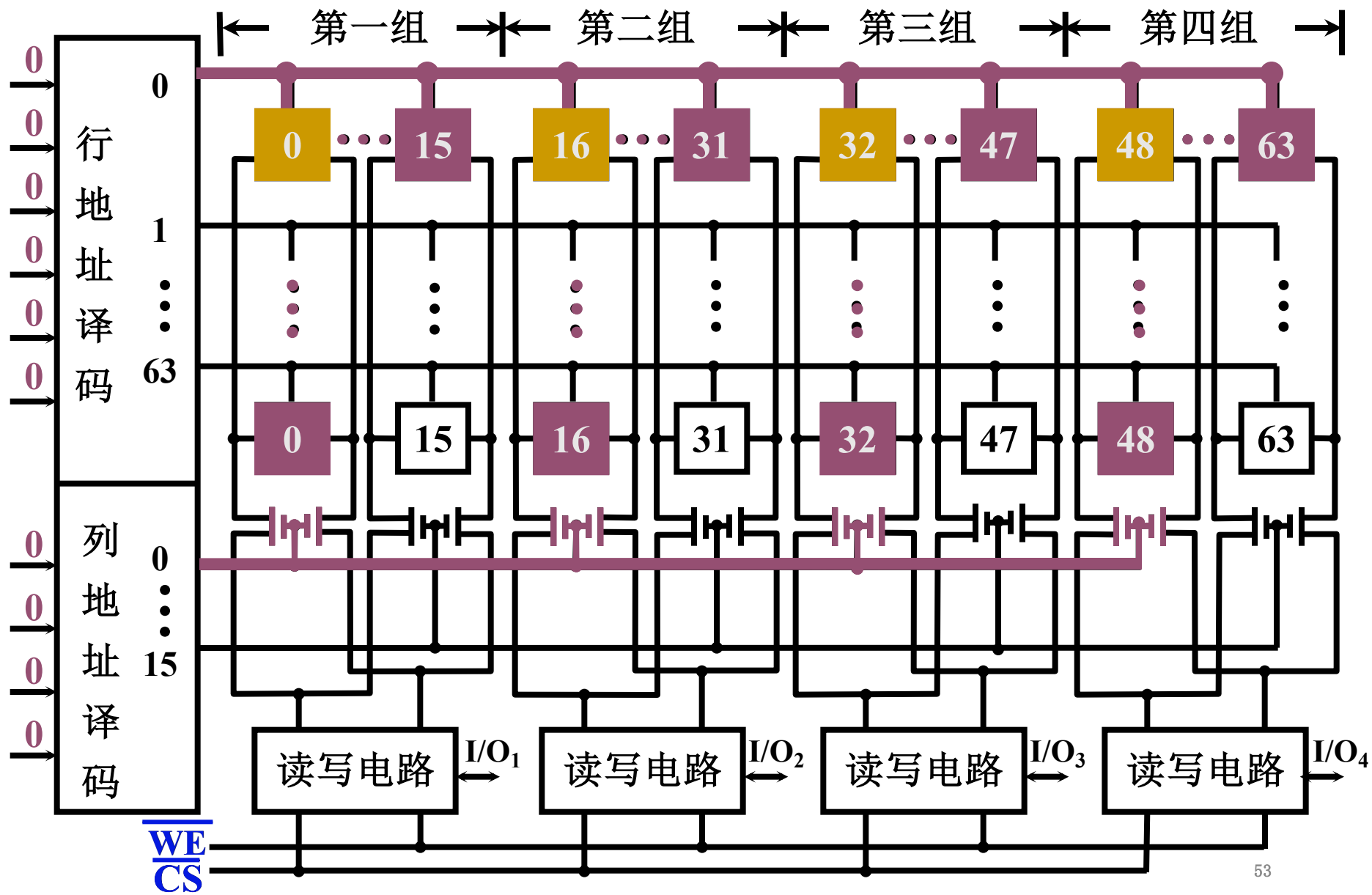
② Intel 2114 RAM 矩阵 (64×64) 读 4.2



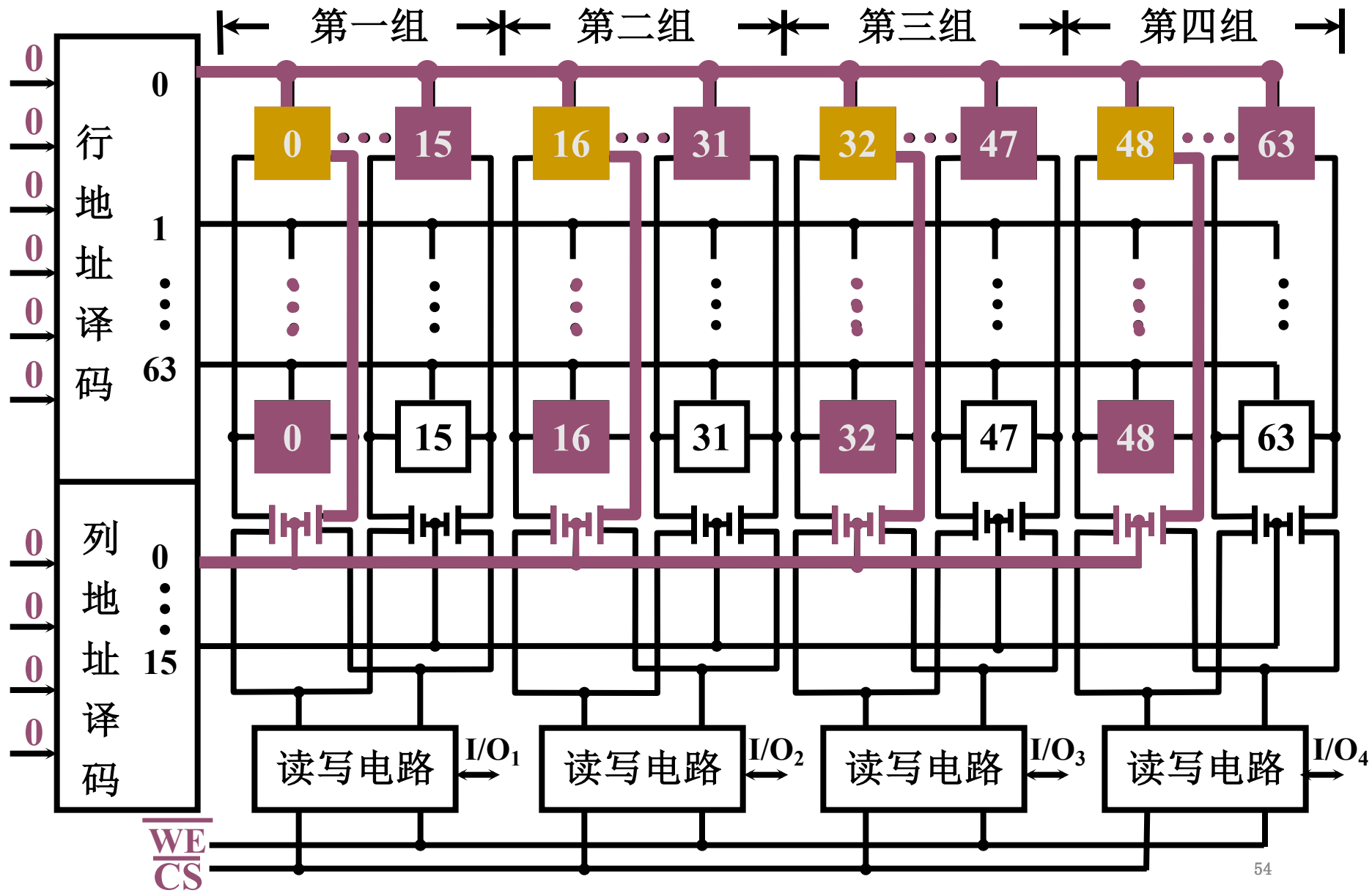
② Intel 2114 RAM 矩阵 (64×64) 读 4.2



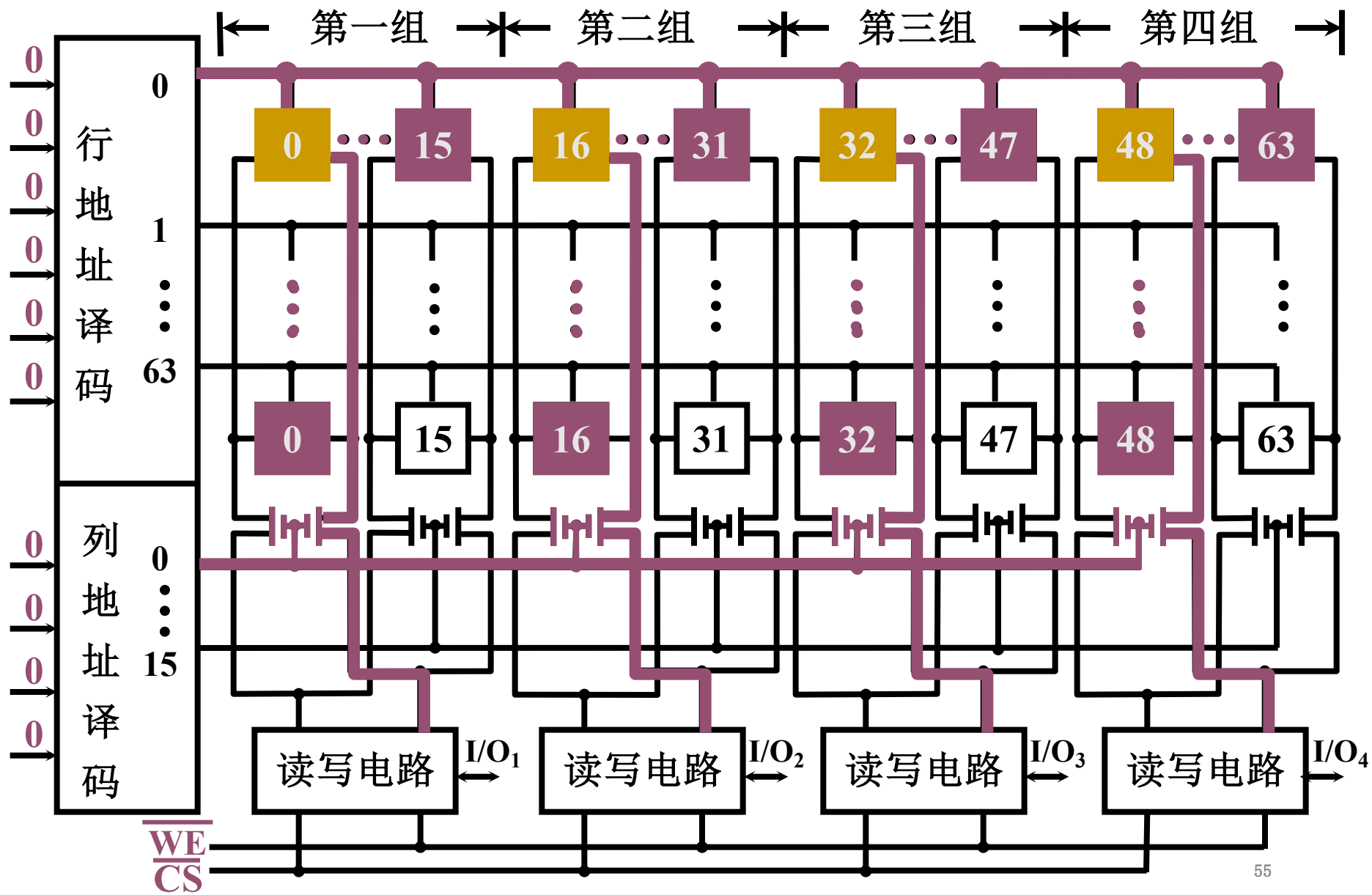
② Intel 2114 RAM 矩阵 (64×64) 读 4.2



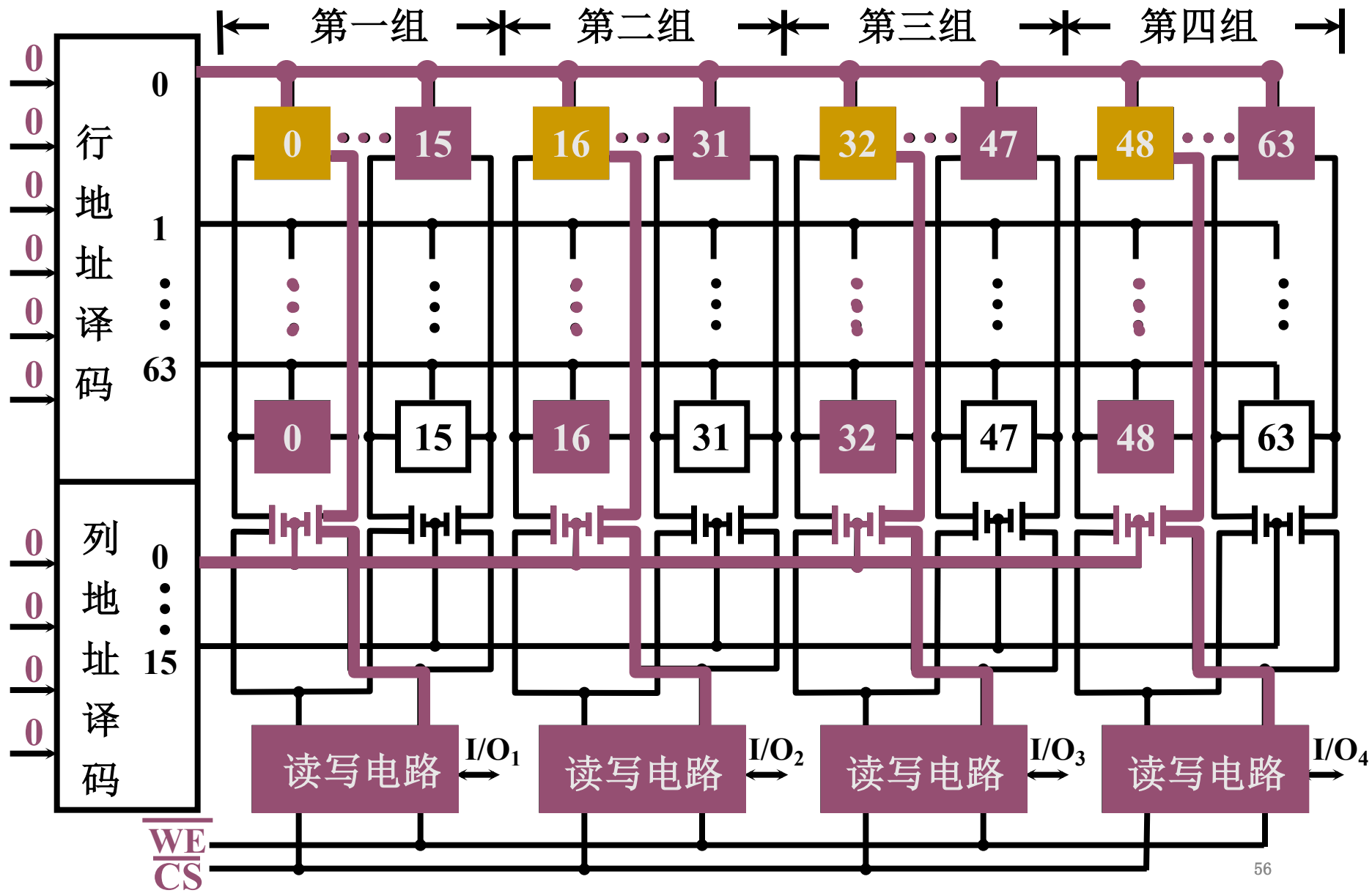
② Intel 2114 RAM 矩阵 (64 × 64) 读 4.2



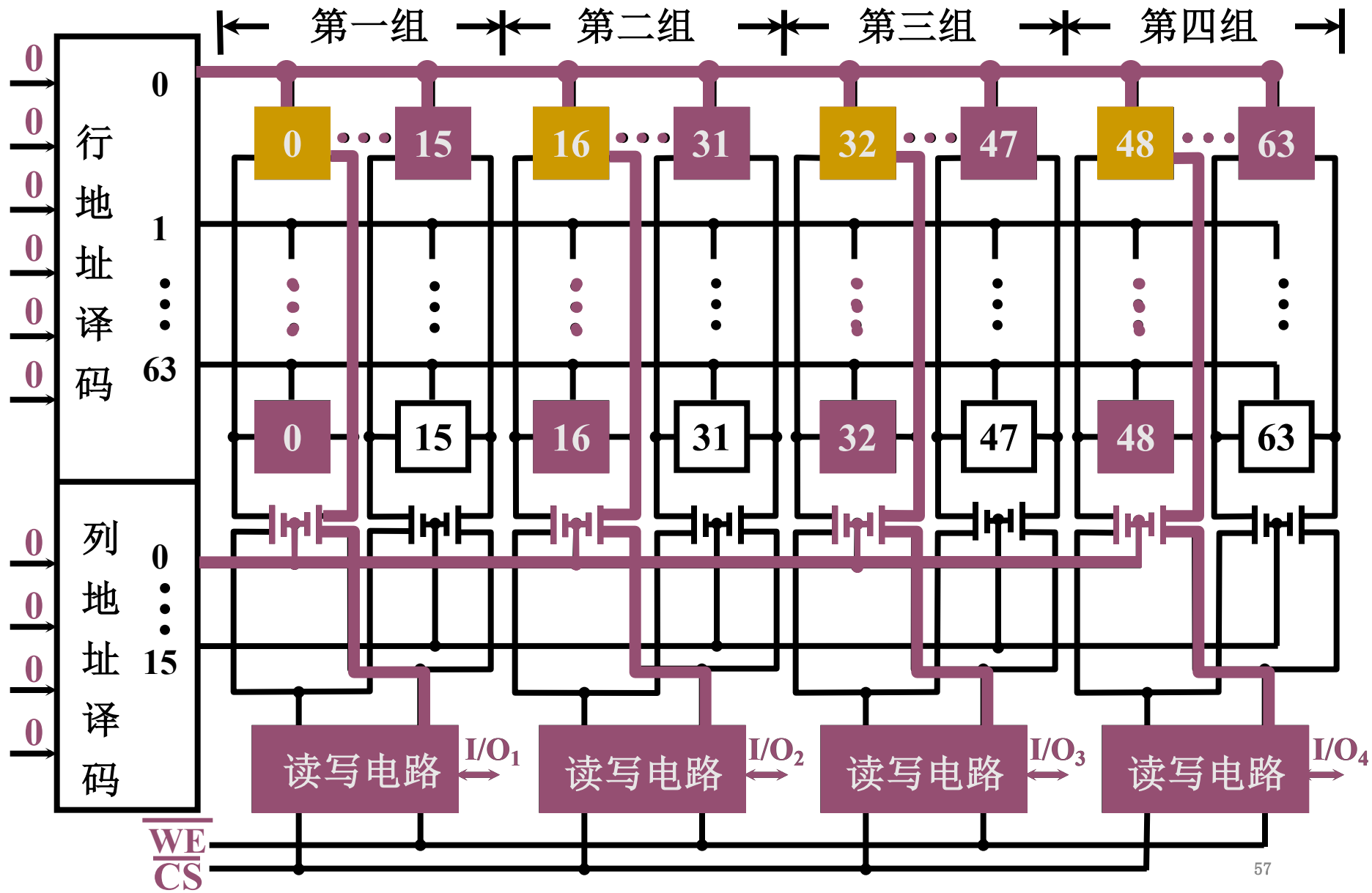
② Intel 2114 RAM 矩阵 (64×64) 读 4.2



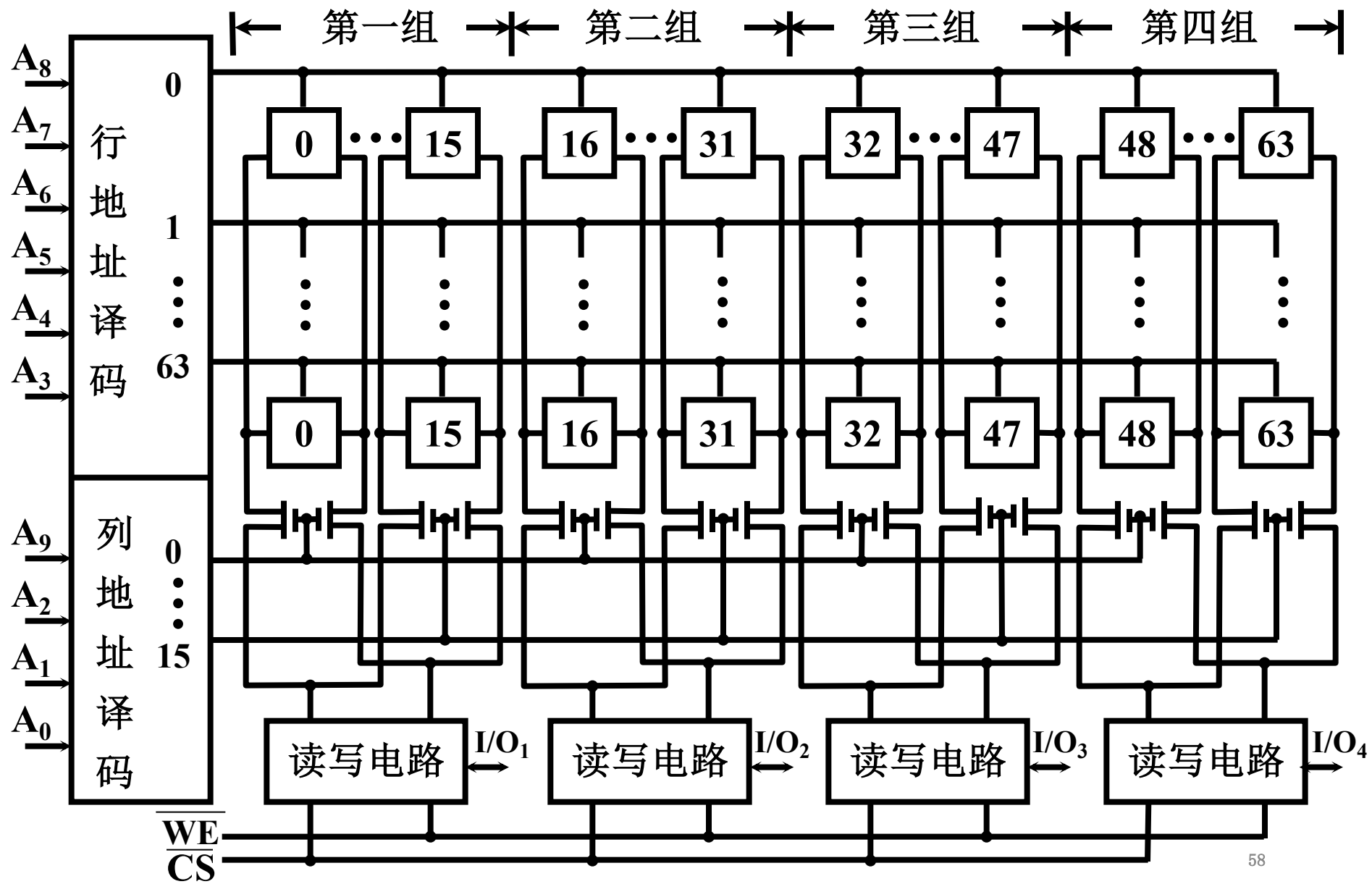
② Intel 2114 RAM 矩阵 (64×64) 读 4.2



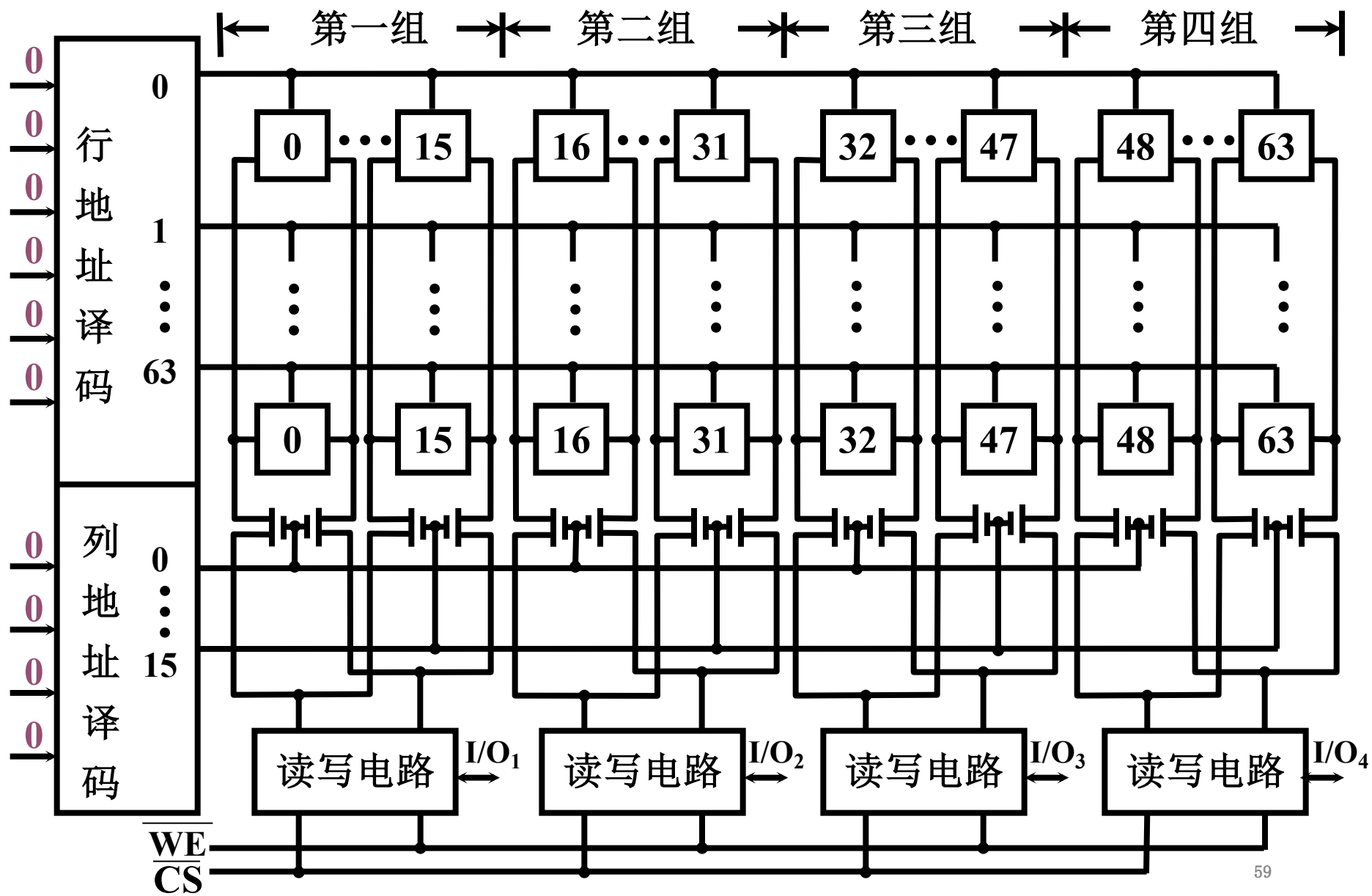
② Intel 2114 RAM 矩阵 (64 × 64) 读 4.2



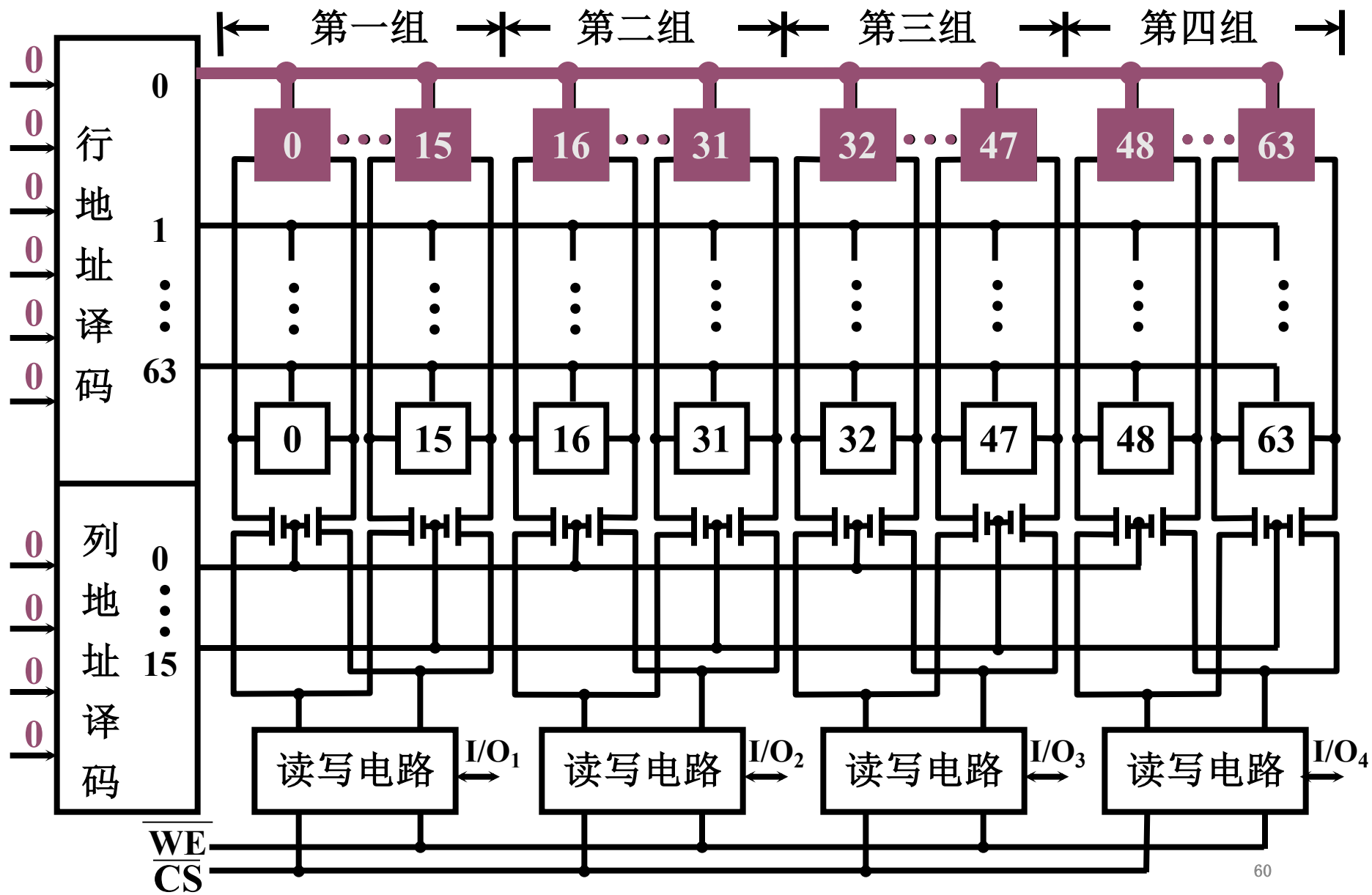
③ Intel 2114 RAM 矩阵 (64 × 64) 写 4.2



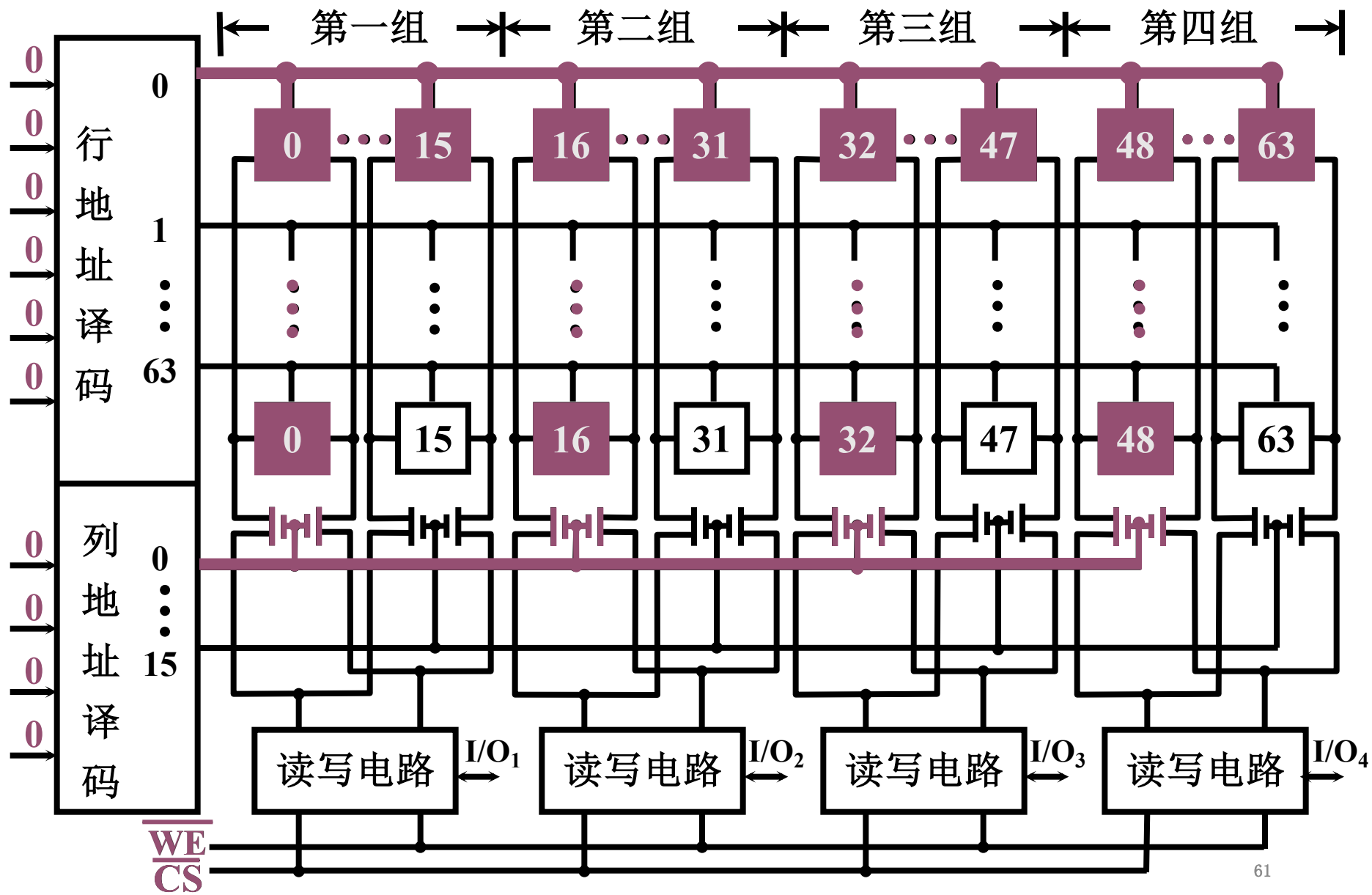
③ Intel 2114 RAM 矩阵 (64 × 64) 写 4.2



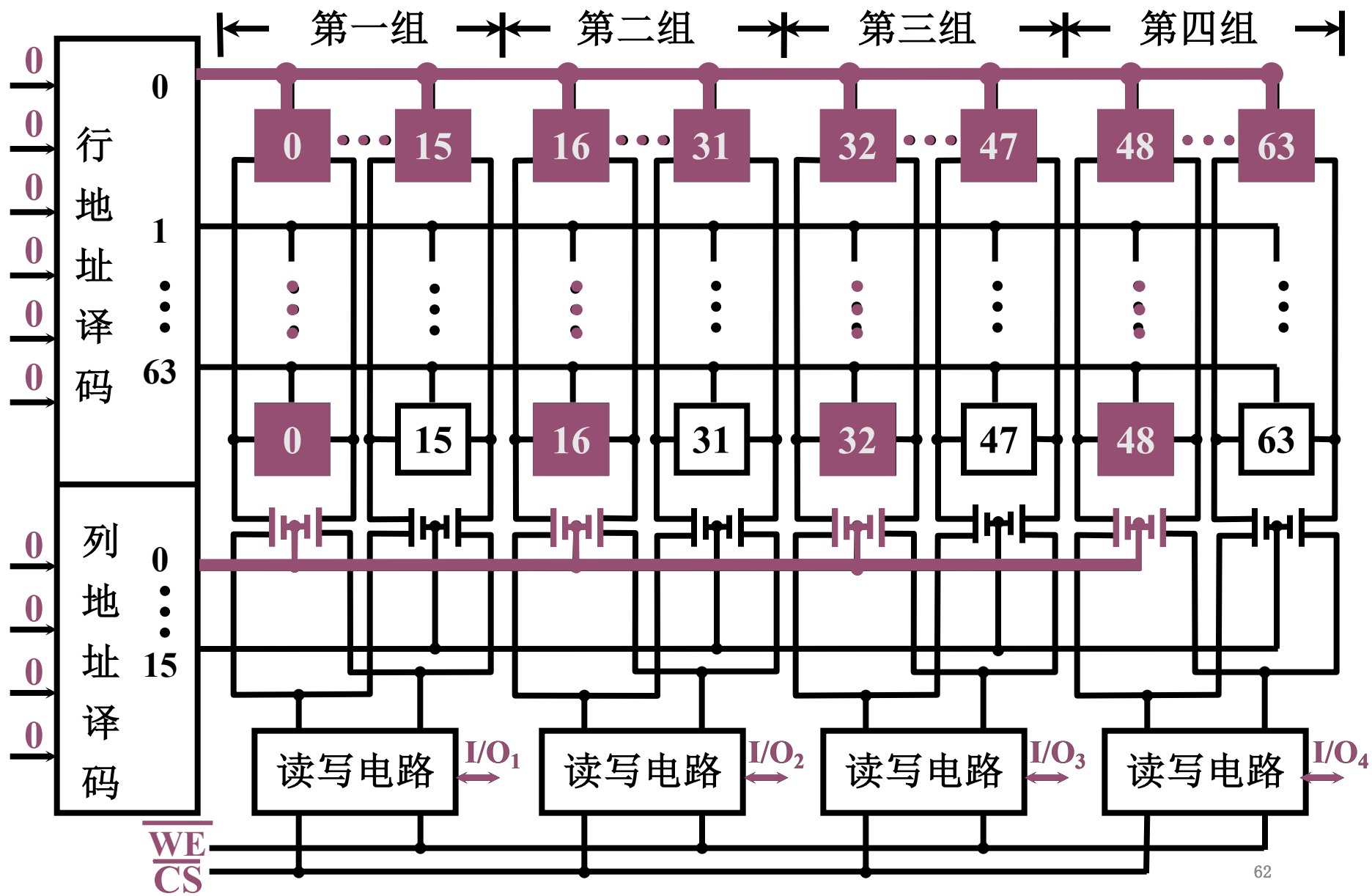
③ Intel 2114 RAM 矩阵 (64 × 64) 写 4.2



③ Intel 2114 RAM 矩阵 (64 × 64) 写 4.2



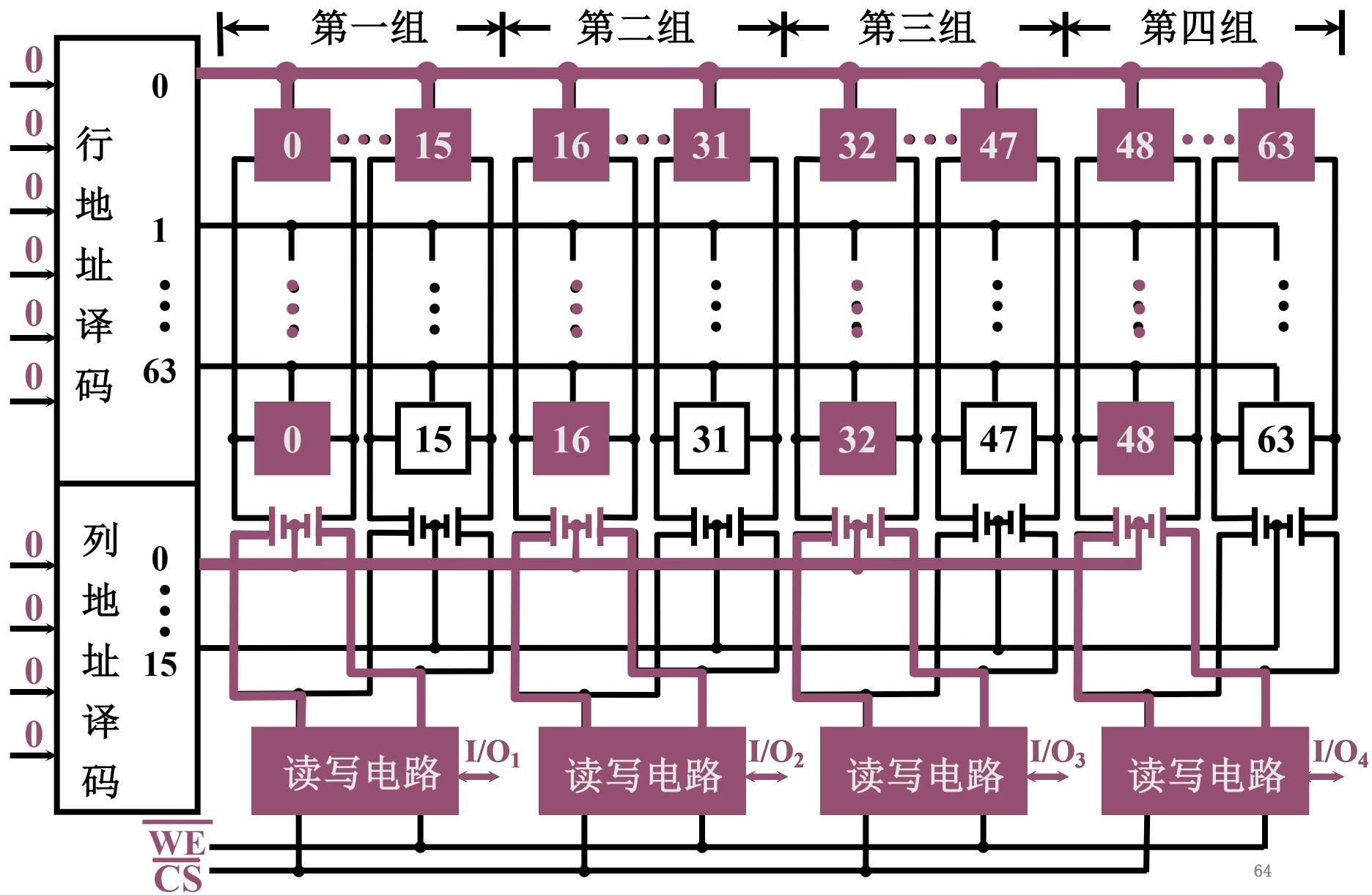
③ Intel 2114 RAM 矩阵 (64 × 64) 写 4.2



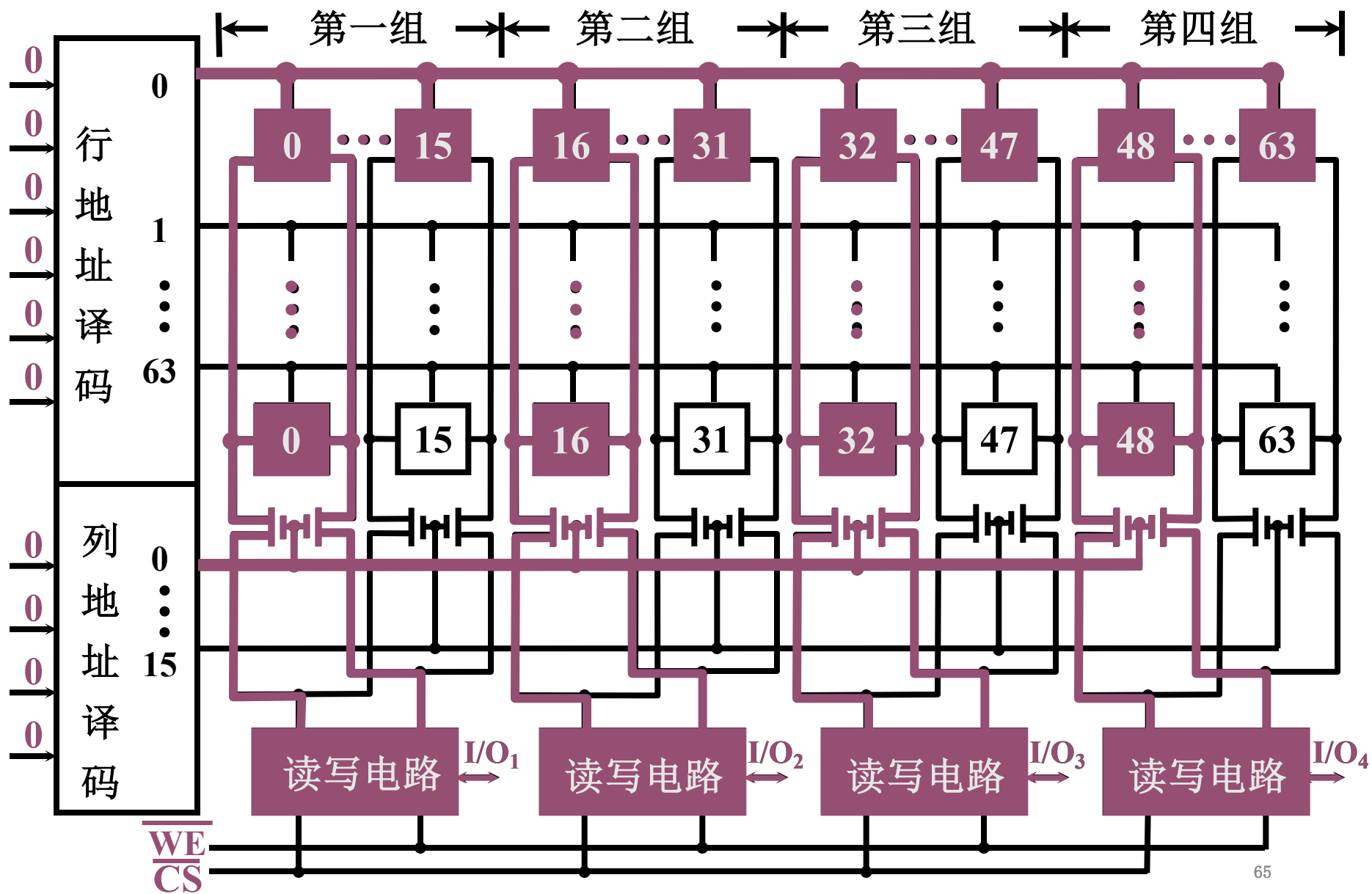
4.2



③ Intel 2114 RAM 矩阵 (64 × 64) 写 4.2



③ Intel 2114 RAM 矩阵 (64 × 64) 写 4.2



③ Intel 2114 RAM 矩阵 (64 × 64) 写 4.2

