

# 数字逻辑设计

高翠芸

School of Computer Science

gaocuiyun@hit.edu.cn

# Unit 6 组合逻辑电路设计

---

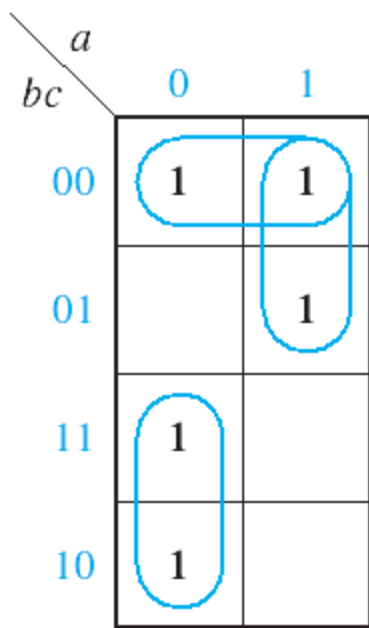
- 使用有限扇入门设计组合电路
- 组合电路中的险象
  - 门延迟
  - 静态冒险
- 险象判断及消除
  - 代数法
  - 卡诺图法

# 使用有限扇入门设计组合电路

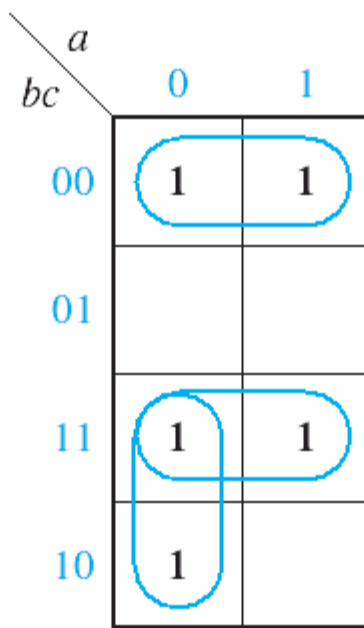
## 扇入系数 (fan-in)

- 逻辑门最大输入端的个数

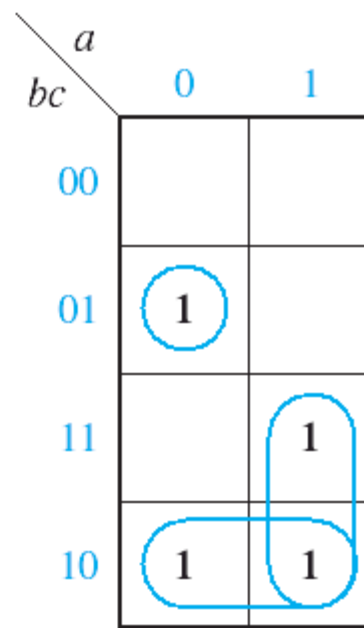
利用与非门（扇入系数为2）和反相器设计指定逻辑函数



$$f_1 = \Sigma m(0, 2, 3, 4, 5)$$



$$f_2 = \Sigma m(0, 2, 3, 4, 7)$$



$$f_3 = \Sigma m(1, 2, 6, 7)$$

# 使用有限扇入门设计组合电路

$a$ $bc$	0	1
00	1	1
01		1
11	1	
10	1	

$$f_1 = \Sigma m(0, 2, 3, 4, 5)$$

$a$ $bc$	0	1
00	1	1
01		
11	1	1
10	1	

$$f_2 = \Sigma m(0, 2, 3, 4, 7)$$

$a$ $bc$	0	1
00		
01	1	
11		1
10	1	1

$$f_3 = \Sigma m(1, 2, 6, 7)$$



$$f_1 = b'c' + ab' + a'b$$

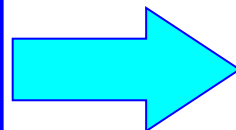
$$f_2 = b'c' + bc + a'b$$

$$f_3 = a'b'c + ab + bc'$$

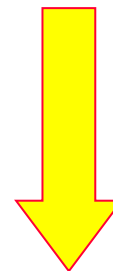
直接应用摩根定理，  
则需要扇入系数为3的  
与非门

# 使用有限扇入门设计组合电路

$$\begin{aligned} f_1 &= b'c' + ab' + a'b \\ f_2 &= b'c' + bc + a'b \\ f_3 &= a'b'c + ab + bc' \end{aligned}$$



$$\begin{aligned} f_1 &= b'(a + c') + \underline{a'b} \\ f_2 &= (b' + c)(b + c') + \underline{a'b} \\ f_3 &= a'b'c + b(\underline{a + c'}) \end{aligned}$$



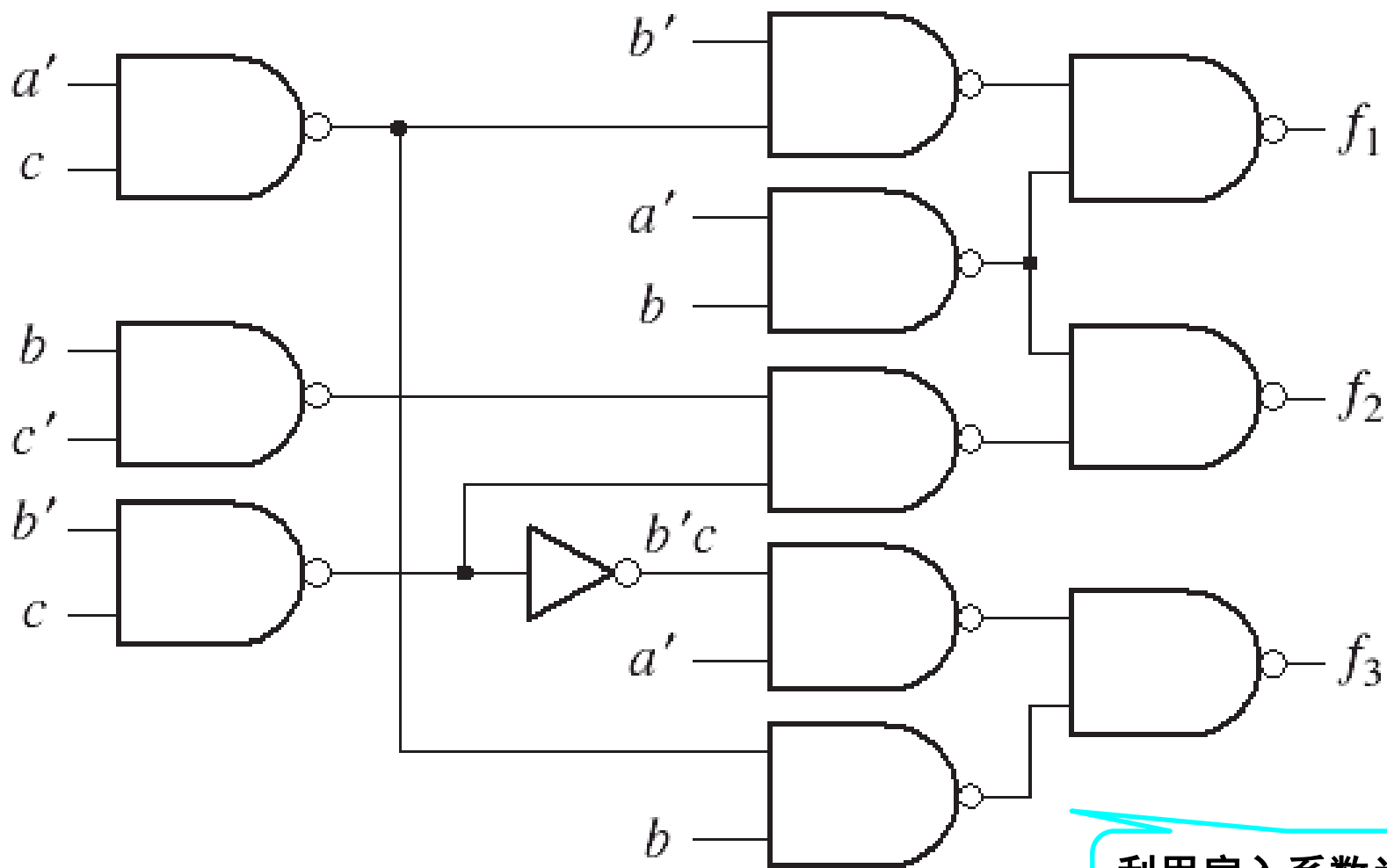
**表达式变换：** 将二级电路变成多级电路

- 提取公因子
- 与或式  $\rightarrow$  或与式
- 尽量保留或产生共享项

$$a'b'c = a'(b'c) = a'(b + c')'$$

# 使用有限扇入门设计组合电路

P180



利用扇入系数为2的与非门设计实现

# Unit 6 组合逻辑电路设计

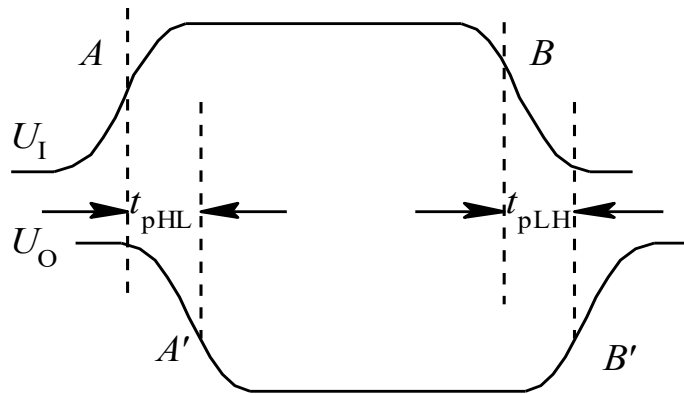
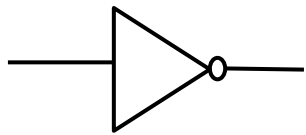
---

- 使用有限扇入门设计组合电路
- 组合电路中的险象
  - 门延迟
  - 静态冒险
- 险象判断及消除
  - 代数法
  - 卡诺图法

# 组合电路中的险象

## 1. 门延迟

当输入发生变化，逻辑门的输出不会同步发生改变



可能引发非预期的尖峰干扰

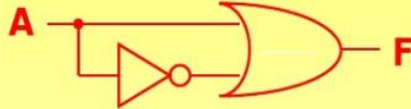
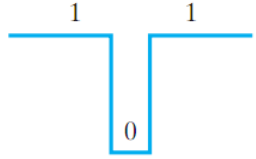
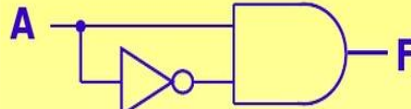

- 对于组合逻辑电路, 多数情况下可以忽略门的延迟.
- 但是, 门的延迟对时序电路的影响不容忽视



# 组合电路中的险象

当一个逻辑门的两个输入端的信号同时向**相反**方向变化，则该电路存在**竞争**。

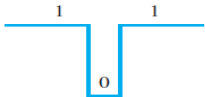
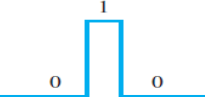
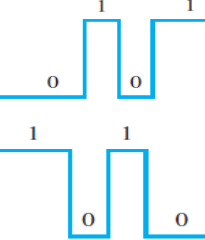
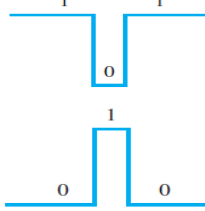
两路信号到达逻辑门的时间存在差异。

存在竞争的电路	险象
	
	

逻辑门因输入端的竞争而导致输出了不应有的尖峰干扰脉冲（又称过渡干扰脉冲）称为**冒险**。

# 组合电路中的险象

## 2. 险象

险象类型	概念		输出波形
■ 静态冒险	输入信号发生一次变化只引起一个错误信号脉冲	■ 静态1冒险	
		■ 静态0冒险	
■ 动态冒险	输入信号发生一次改变引起多个错误信号脉冲		
■ 功能冒险	多个输入信号的变化不同步而产生的错误信号脉冲		

# 组合电路中的险象

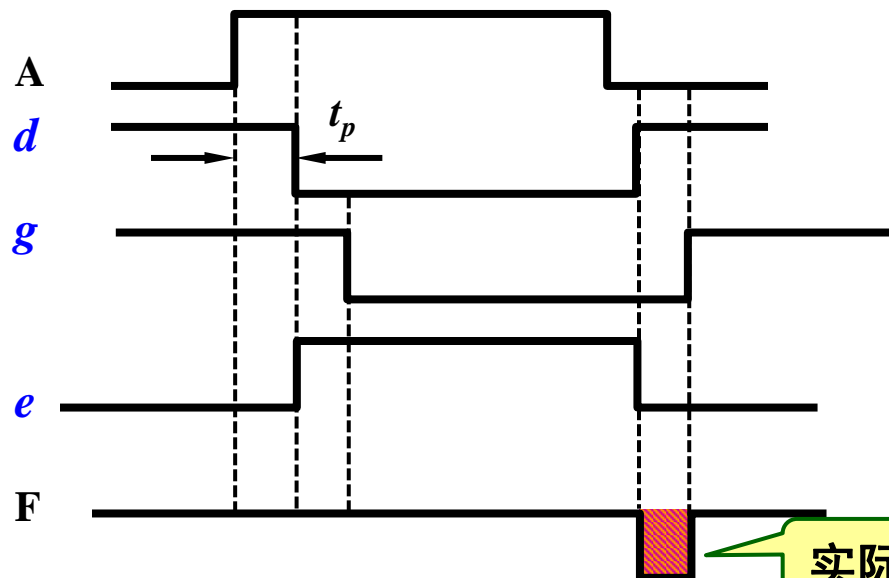
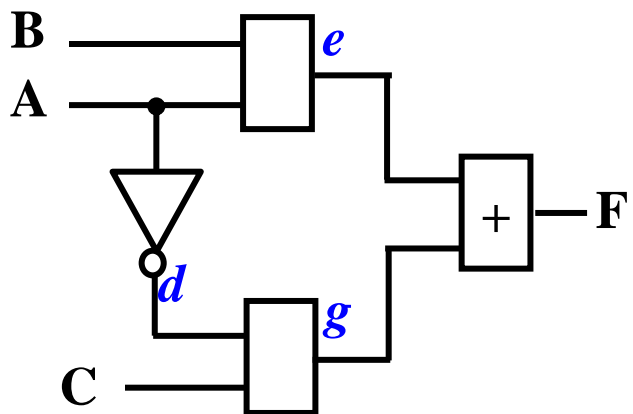
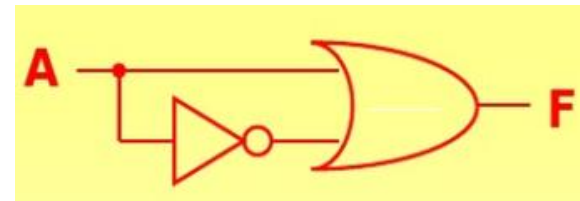
$$F = AB + \bar{A}C$$

if  $B = C = 1$



$$F = A + \bar{A} = 1$$

理论上



实际上

静态1冒险

# 组合电路中的险象

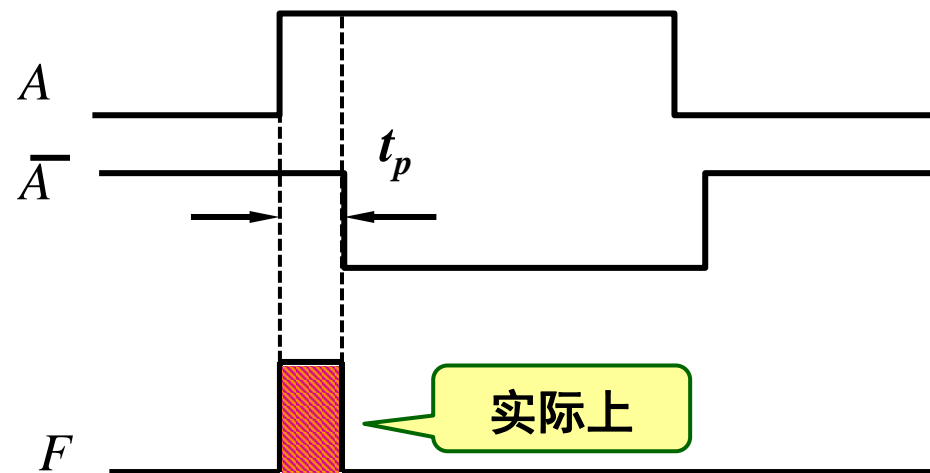
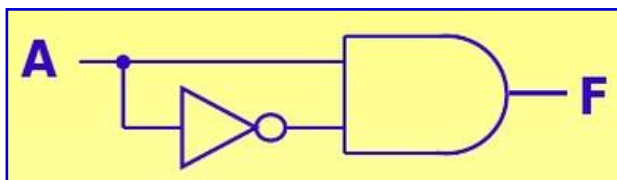
## ■ 静态冒险

$$F = (A+B)(\bar{A}+C)$$

if  $B=C=0$

理论上

then  $F = A\bar{A} = 0$



静态0冒险

# 组合电路中的险象

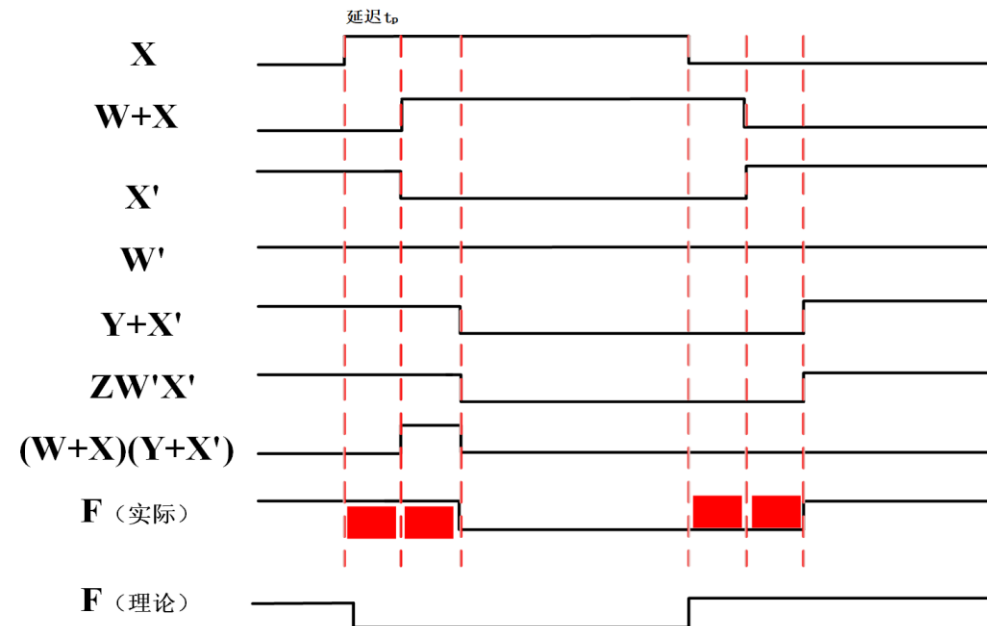
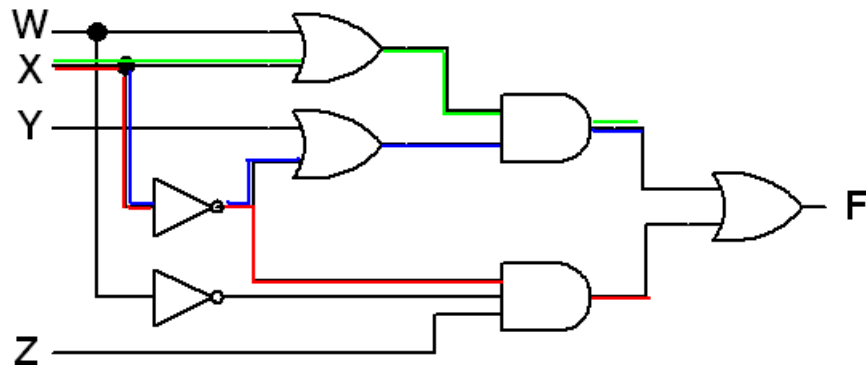
## ■ 动态冒险

- 通常发生在多级电路情况下
- 不同的路径有不同的传输延迟
- 当输入发生一次变化，输出将发生多次变化。

$$F = (W + X)(Y + X') + ZW'X'$$

if  $WYZ = 001$ ,  $F = X'$

from X to F: 存在3条路径

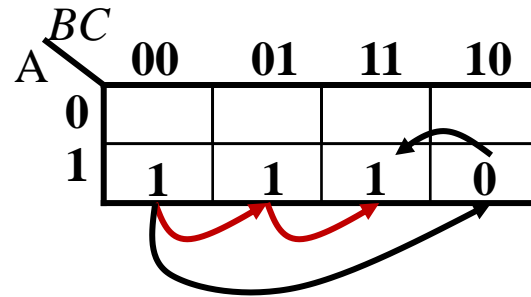


# 组合电路中的险象

## ■ 功能冒险

多个输入信号同时改变，因速度不同产生错误信号脉冲

$$F(100) = F(111) = 1$$



$BC: 00 \rightarrow 11$

真值表

A	B	C	F
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	1

	初值	过渡值	终值	F值
C 较快:	100	→ 101 →	111	1 → 1 → 1
B 较快:	100	→ 110 →	111	1 → 0 → 1

静态1冒险

# Unit 6 组合逻辑电路设计

---

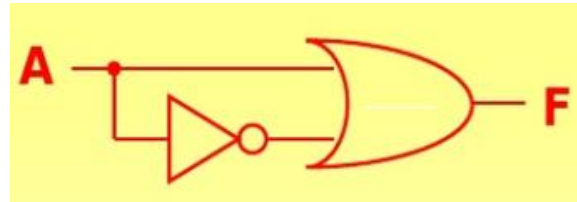
- 使用有限扇入门设计组合电路
- 组合电路中的险象
  - 门延迟
  - 静态冒险
- 险象判断及消除
  - 代数法
  - 卡诺图法

# 险象判断及消除

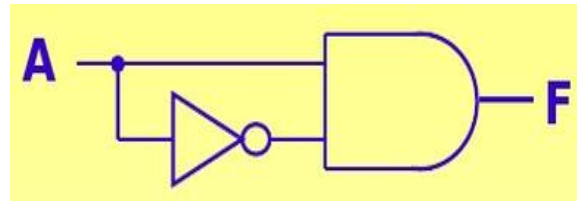
## 3. 险象的判断——代数法

检查表达式中是否存在某个变量 $X$ ，它同时以原变量和反变量的形式出现；并能在特定条件下简化成下面形式之一：

■  $X + \overline{X}$



■  $X \cdot \overline{X}$





# 险象判断及消除

$$F = \overline{A}\overline{C} + \overline{A}B + AC$$

分别检查C, A

C:

$$AB=00 \quad F=\overline{C}$$

$$AB=01 \quad F=1$$

$$AB=10 \quad F=C$$

$$AB=11 \quad F=C$$

没有险象

A:

$$BC=00 \quad F=\overline{A}$$

$$BC=01 \quad F=A$$

$$BC=10 \quad F=\overline{A}$$

$$\underline{BC=11 \quad F=A+\overline{A}}$$

静态1冒险

# 险象判断及消除

$$F=(A+B)(\bar{A}+C)(\bar{B}+C)$$

分别检查变量:  $A, B$

$B$ :

$$A \ C=0 \ 0 \quad F=B\bar{B}$$

$$A \ C=0 \ 1 \quad F=B$$

$$A \ C=1 \ 0 \quad F=0$$

$$A \ C=1 \ 1 \quad F=1$$

静态0冒险

$A$ :

$$B \ C=0 \ 0 \quad F=A\bar{A}$$

$$B \ C=0 \ 1 \quad F=A$$

$$B \ C=1 \ 0 \quad F=\bar{A}$$

$$B \ C=1 \ 1 \quad F=1$$

# 险象判断及消除

## 4. 险象的判断—— k. maps

化简后是否存在相切的卡诺圈

C \ AB				
	00	01	11	10
0		1	1	
1	1	1		

$$F1 = A' \cdot C + B \cdot C'$$

$$\text{When } A = 0, B = 1: F1 = C + C'$$

C \ AB				
	00	01	11	10
0	1	1		
1		1	1	

$$F2 = (A' + C) \cdot (B + C')$$

$$\text{When } A = 1, B = 0: F2 = C \cdot C'$$

# 险象判断及消除

$$F = \bar{A}D + \bar{A}C + ABC\bar{C}$$

When  $B=D=1, C=0$

$CD \backslash AB$	00	01	11	10
00			1	
01	1	1	1	
11	1	1		
10	1	1		

# 险象判断及消除

## 5. 险象的消除

### ① 添加卡诺圈

C \ AB	AB			
	00	01	11	10
0		1	1	
1	1	1		

$$F1 = A' \cdot C + B \cdot C' + \boxed{A' \cdot B}$$

When  $A = 0, B = 1: F1 = 1$

C \ AB	AB			
	00	01	11	10
0	0	0		
1		0	0	

$$F2 = (A' + C) \cdot (B + C') \cdot \boxed{(A' + B)}$$

When  $A = 1, B = 0: F2 = 0$

# 险象判断及消除

添加一个包含相邻单元的新项

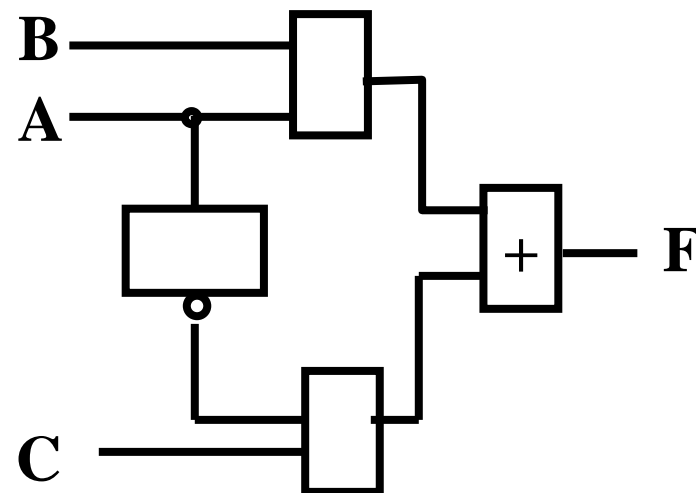
$AB \backslash CD$	00	01	11	10
00	0	0	0	1
01	0	1	1	1
11	1	1	0	0
10	1	1	0	0

# 险象判断及消除

$$F = AB + \overline{A}C$$

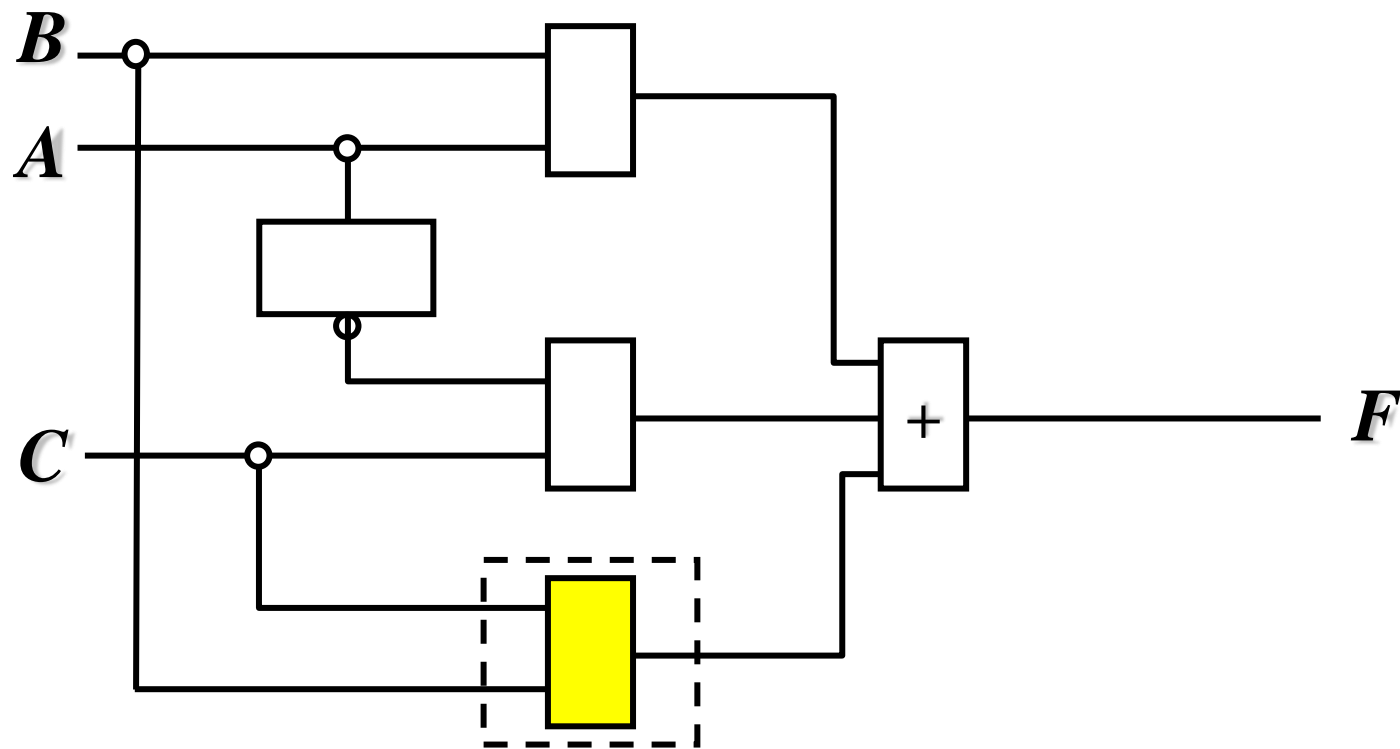
② 添加冗余项:  $BC$

$$F = AB + \overline{A}C + \boxed{BC}$$



# 险象判断及消除

$$F = AB + \overline{A}C + \boxed{BC}$$

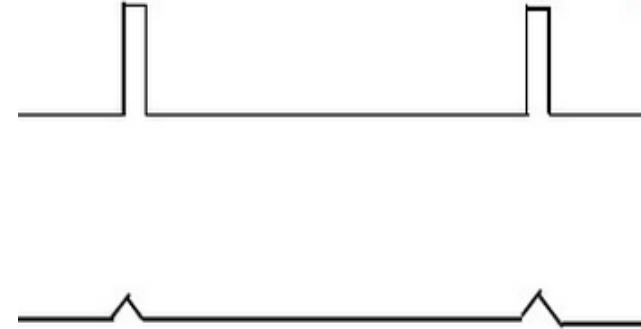
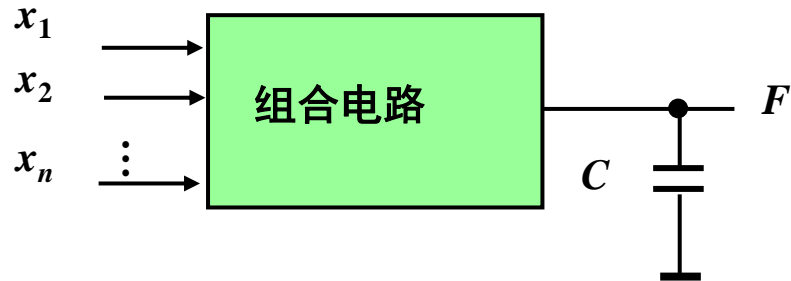


**BC=11**时，添加的与门会先一步到达输出门。



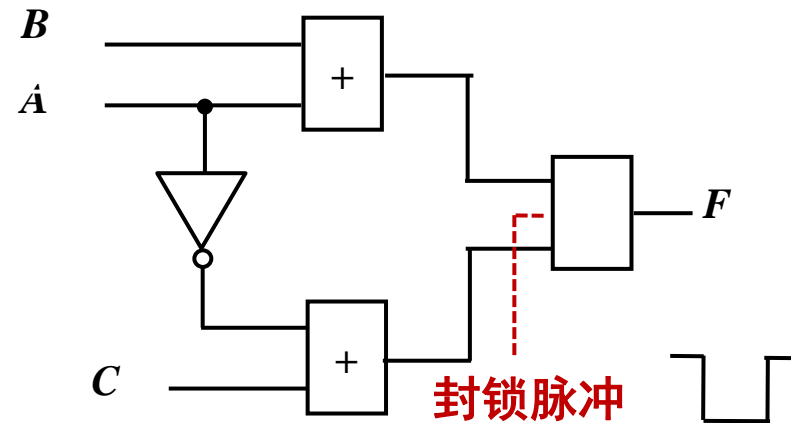
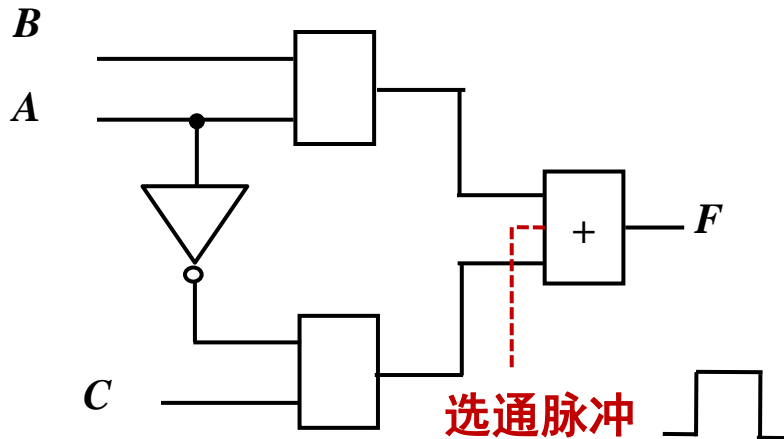
# 险象判断及消除

## ③ 添加滤波电容



## ④ 加封锁/选通脉冲

FPGA设计  
中常用



# Unit 6 组合逻辑电路设计

---

- 使用有限扇入门设计组合电路
- 组合电路中的险象
  - Gate Delays
  - Static hazard
- 险象判断及消除
  - 代数法
  - 卡诺图法