

哈尔滨工业大学（深圳）2024 学年秋季学期 数字逻辑设计期末试题（回忆版）

试题回忆：

alphabet, 动量子, fatSheep, lifish

本卷满分 100 分，考试时间 120 分钟。

一、简答题（48 分）

1. 将下面逻辑表达式表示成最小项之和形式。（3 分）

$$Y = AB + C'D'$$

2. 用代数法化简以下逻辑表达式，要求写出详细步骤。（3 分）

$$Y = AB' + BD + CDE + A'D$$

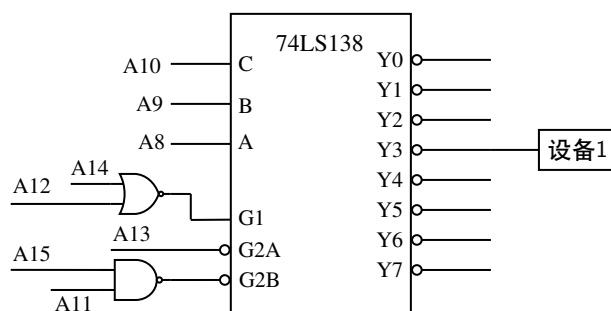
3. 用卡诺图法将以下逻辑表达式化为最简与或式。(3分)

$$Y(A, B, C, D) = \sum m(0, 1, 2, 3, 4, 6, 8, 9, 10, 11, 12, 14)$$

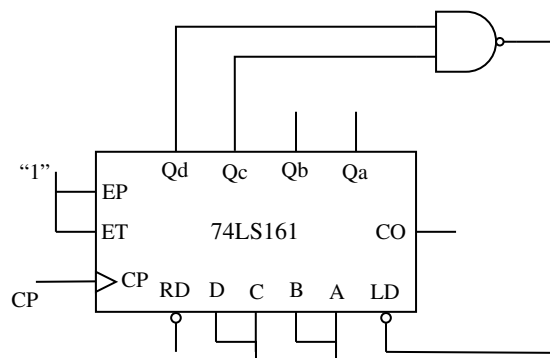
4. 如图所示的地址译码电路，其中 3-8 译码器地址端的高位是 A，低位是 C，假设 A7 ~ A0 连接到各个外设的低 8 位地址线。(6分)

(1) 整个电路的全地址译码范围？

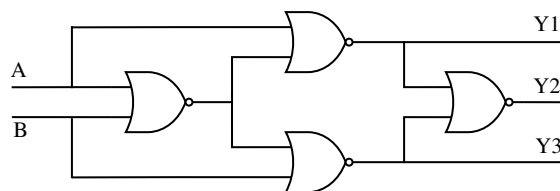
(2) 设备 1 的地址译码范围？



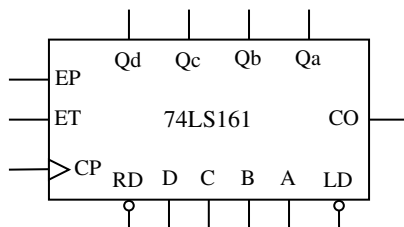
5. 简要分析以下电路的功能。(初始状态, $Q_a = Q_b = Q_c = Q_d = 0$) (4 分)



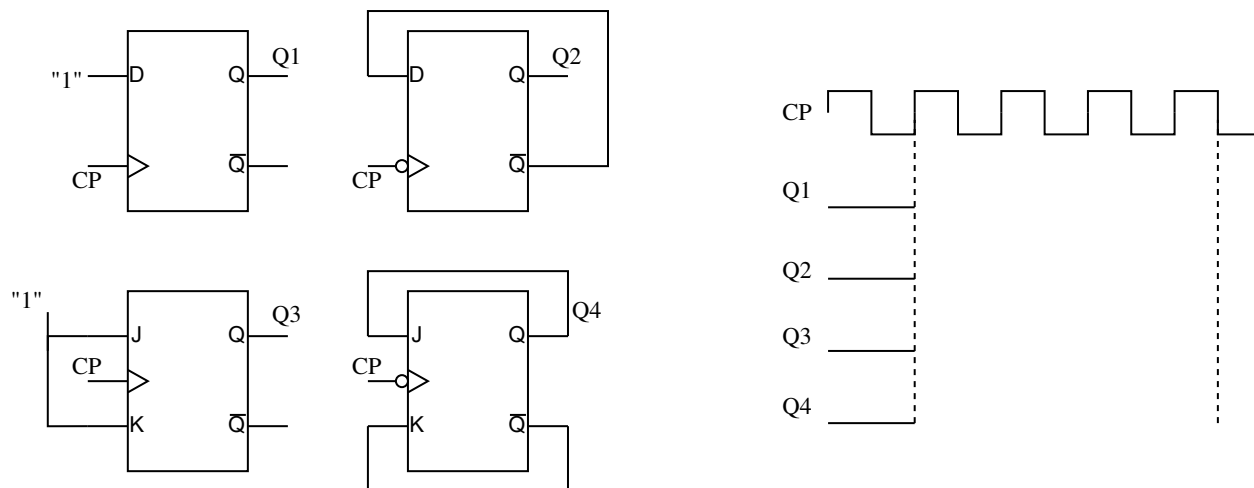
6. 写出下图电路输出信号的逻辑表达式, 并描述实现了什么功能。(逻辑表达式应为最简与或式) (5 分)



7. 用 74LS161 芯片设计一个范围为二进制数 1001 ~ 1111 的计数器，并给出设计思路。
(6 分)



8. 根据图中的触发器，画出在 CP 为如下波形时，Q1~Q4 的波形。(8 分)



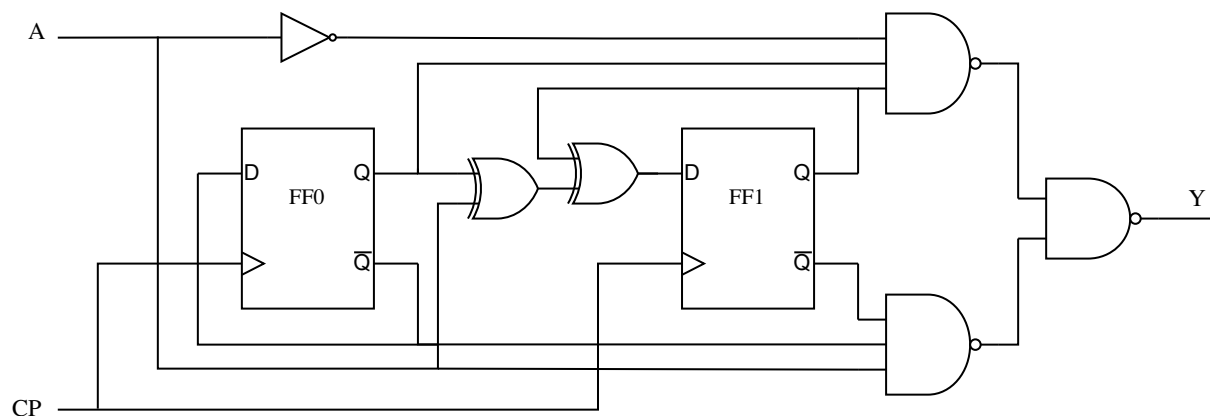
9. Verilog 语言有几种基本的数值类型？分别是什么？（5 分）

10. 分析以下 Verilog 代码生成电路的功能。（写出输入、输出和逻辑功能）（5 分）

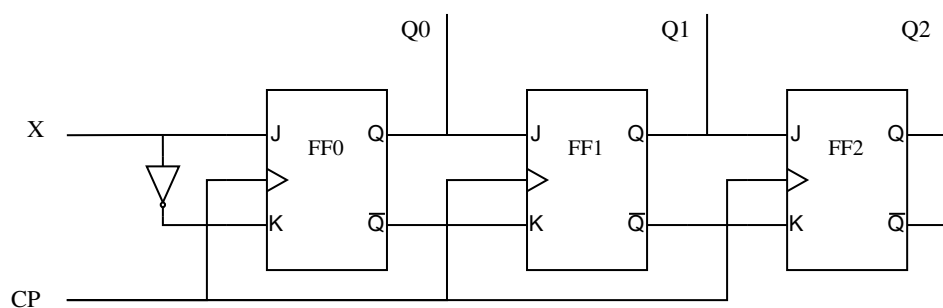
```
always @(*) begin
    if (enable == 3'b100) begin
        case (switch)
            3'h0: led = 8'hfe;
            3'h1: led = 8'hfd;
            3'h2: led = 8'hfb;
            3'h3: led = 8'hf7;
            3'h4: led = 8'hfe;
            3'h5: led = 8'hdf;
            3'h6: led = 8'hbf;
            3'h7: led = 8'h7f;
            default: led = 8'hff;
        endcase
    end else led = 8'hFF;
end
```

二、分析题（25 分）

1. 请分析下图同步时序逻辑电路的逻辑功能。（要求写出输出方程、状态方程，列出状态转换表，画出状态转换图）（15 分）



2. 如图，电路初态为 $Q_0 = Q_1 = Q_2 = 0$ ，在前六个时钟脉冲中，X 的输入分别为 1、0、1、0、0、1，则在此 6 个脉冲内输出如何变化？该电路的逻辑功能是什么？（10 分）



三、设计题

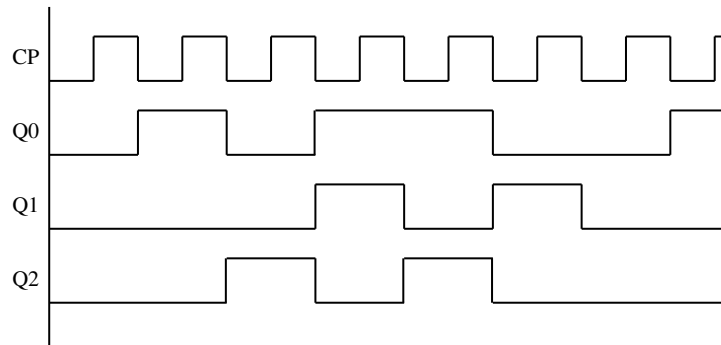
1. 某旅游胜地有两辆缆车，可以上行或下行。要求缆车 A、B 必须一上一下，且门 C 须关闭，缆车才可以启动。请你据此设计逻辑电路，用输出信号 Y 指示缆车能否启动。（用 1 表示缆车上行，0 表示下行；用 1 表示关门，0 表示开门）（15 分）

2. 用 JK 触发器设计一个时序逻辑电路，其输出在时钟信号 CP 作用下符合以下波形。
(12 分)

(1) 需要用到几个触发器？

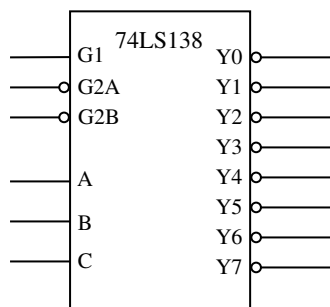
(2) 按时序逻辑电路设计的一般方法完成设计。(无需画出逻辑电路图)

(提示：状态分配可以按照二进制数自然升序给定，例如：假设设计状态总数为 5 个，用 S0, S1, ..., S4 表示，则状态分配可以按照 000, 001, 010, 011, 100 直接分配。)



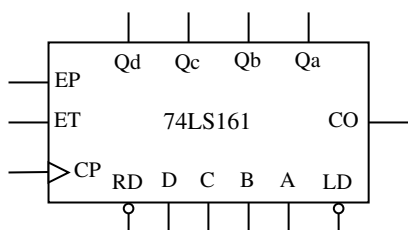
附录

1. 74LS138 芯片的功能表



G_1	G_{2A}'	G_{2B}'	A	B	C	Y_0	Y_1	Y_2	Y_3	Y_4	Y_5	Y_6	Y_7
0	×	×	×	×	×	1	1	1	1	1	1	1	1
×	1	×	×	×	×	1	1	1	1	1	1	1	1
×	×	1	×	×	×	1	1	1	1	1	1	1	1
1	0	0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	0	0	1	1	0	1	1	1	1	1	1
1	0	0	0	1	0	1	1	0	1	1	1	1	1
1	0	0	0	1	1	1	1	0	1	1	1	1	1
1	0	0	1	0	0	1	1	1	1	0	1	1	1
1	0	0	1	0	1	1	1	1	1	1	0	1	1
1	0	0	1	1	0	1	1	1	1	1	1	0	1
1	0	0	1	1	1	1	1	1	1	1	1	1	0

2. 74LS161 芯片的功能表



CP	RD'	LD'	ET	EP	Qd	Qc	Qb	Qa
×	0	×	×	×	0	0	0	0
↑	1	0	×	×	D	C	B	A
×	1	1	0	×	保持			
×	1	1	×	0	保持			
↑	1	1	1	1	计数，计满时 CO=1			