

哈尔滨工业大学（深圳）2024 学年秋季学期

数字逻辑设计期末试题（回忆版）

试题回忆：

alphabet, 动量子, fatSheep, lifish

本卷满分 100 分，考试时间 120 分钟。

一、简答题（48 分）

1. 将下面逻辑表达式表示成最小项之和形式。（3 分）

$$Y = AB + C'D'$$

$$\begin{aligned} &= AB(C'D' + C'D + CD' + CD) + (A'B' + A'B + AB' + AB)C'D' \\ &= A'B'C'D' + A'BC'D' + AB'C'D' + ABC'D' + ABC'D + ABCD' + ABCD \\ &= \sum m(0, 4, 8, 12, 13, 14, 15) \end{aligned}$$

2. 用代数法化简以下逻辑表达式，要求写出详细步骤。（3 分）

$$Y = AB' + BD + CDE + A'D$$

$$\begin{aligned} &= AB' + A'D + B'D + BD + CDE \quad (\text{逆用蕴含律}) \\ &= AB' + A'D + D + CDE \quad (\text{合并律}) \\ &= AB' + D \quad (\text{吸收律}) \end{aligned}$$

3. 用卡诺图法将以下逻辑表达式化为最简与或式。(3分)

$$Y(A, B, C, D) = \sum m(0, 1, 2, 3, 4, 6, 8, 9, 10, 11, 12, 14)$$

$$= \prod M(5, 7, 13, 15)$$

AB \ CD	00	01	11	10
00	1	1	1	1
01	1	0	0	1
11	1	0	0	1
10	1	1	1	1

$$Y = (BD)'$$

$$= B' + D'$$

4. 如图所示的地址译码电路，其中 3-8 译码器地址端的高位是 A，低位是 C，假设 A7 ~ A0 连接到各个外设的低 8 位地址线。(6分)

(1) 整个电路的全地址译码范围?

(2) 设备 1 的地址译码范围?

1) 当 $G_1 G_{2A} G_{2B} = 3'b100$ 时才能译码

$$\therefore (A_{14} + A_{12})' = A_{14}' A_{12}' = 1$$

$$A_{13} = 0$$

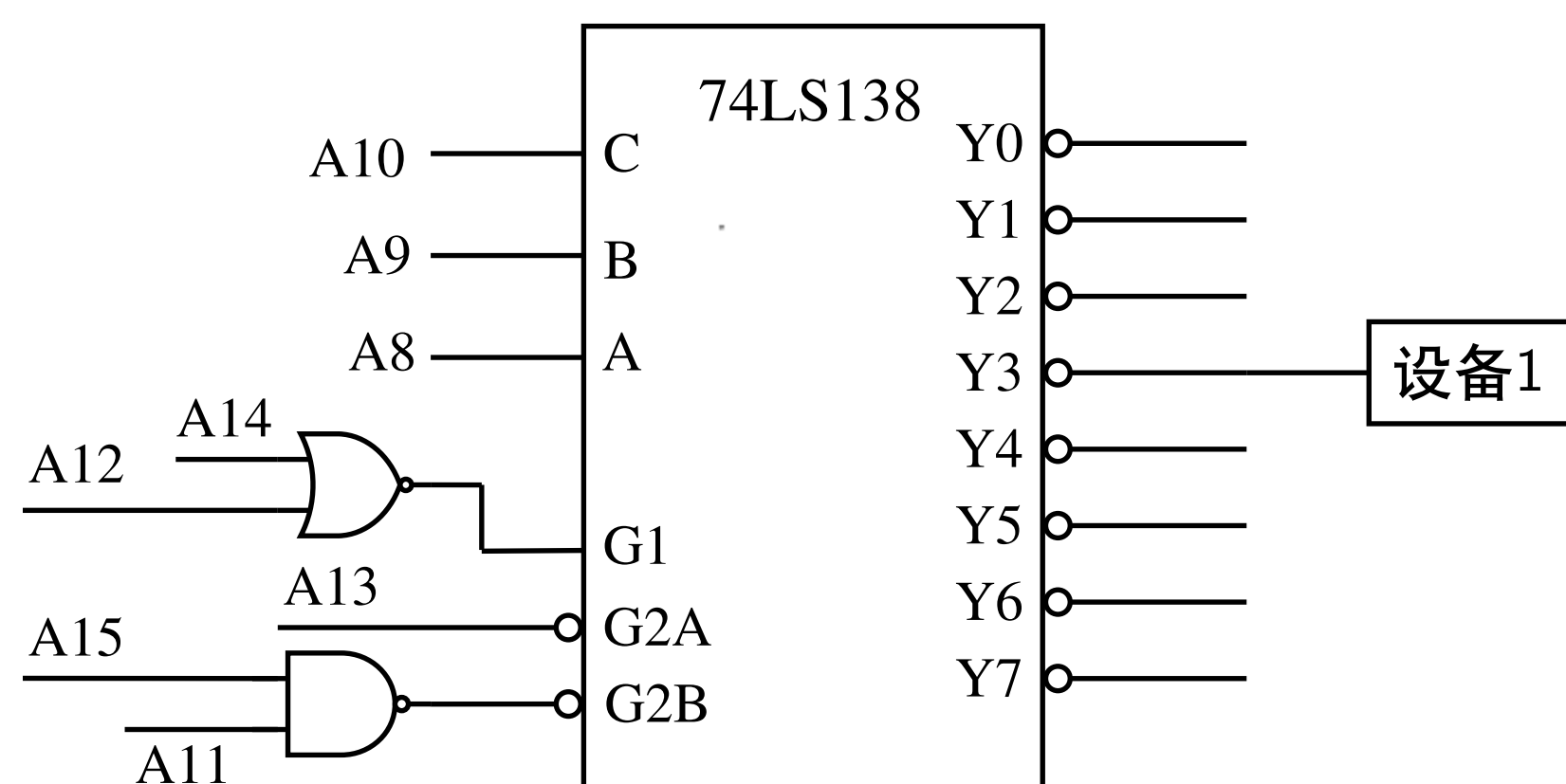
$$(A_{15} A_{11})' = A_{15}' + A_{11}' = 0$$

$$\Rightarrow \underline{A_{15} A_{14} A_{13} A_{12} A_{11} A_{10} A_9 A_8 = 8'b10001xxx}$$

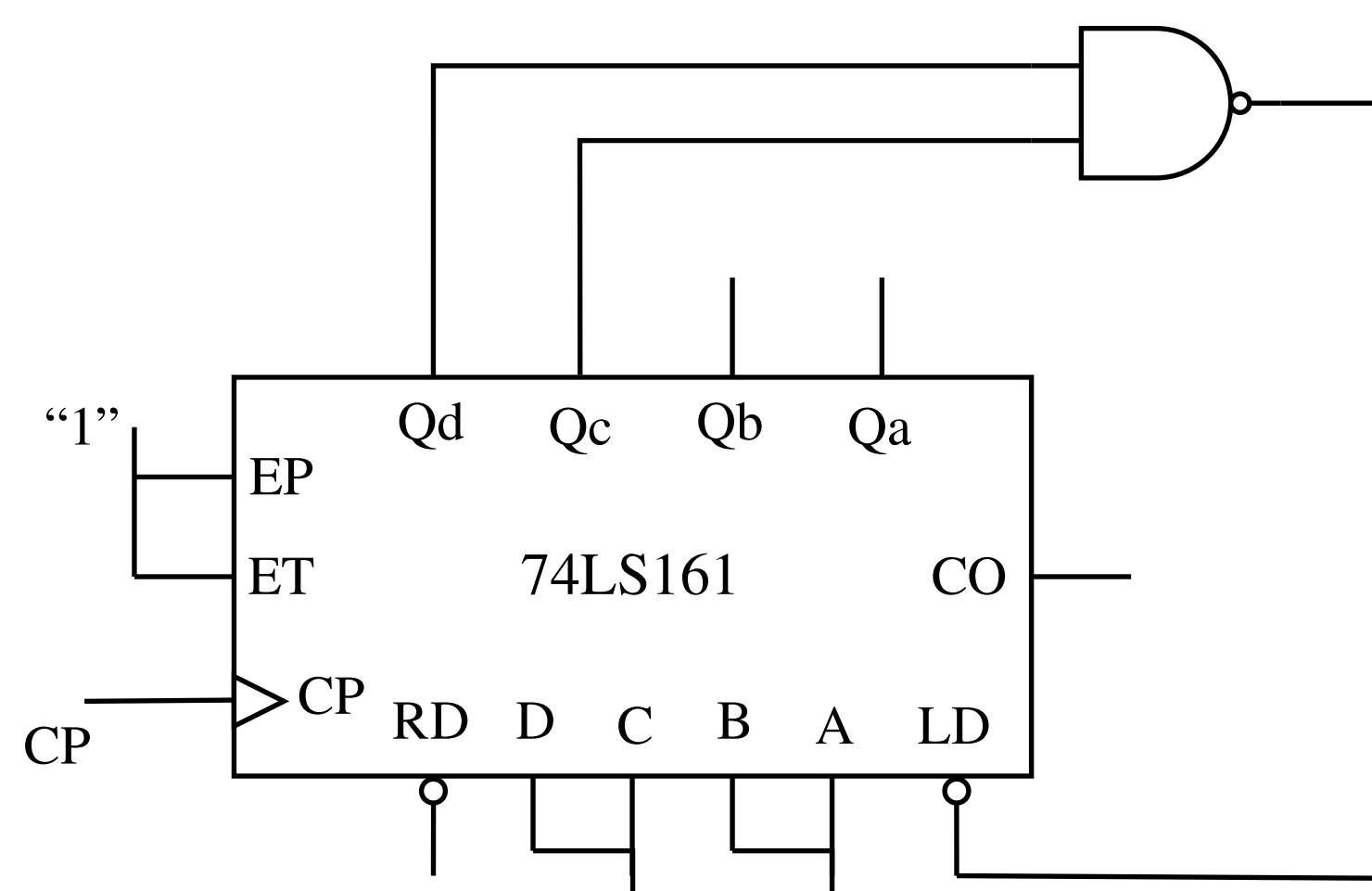
结合 A7 ~ A0 接外设地址，电路可译出 8'h8800 ~ 8'h8FFF 地址。

(2) 当 $A_{10} A_9 A_8 = \underline{CBA} = 3'b110$ 时 Y3' 译出 0，而 4'b1110 = 4'hE

结合 1)，电路可译出 8'h8E00 ~ 8'h8EFF 地址

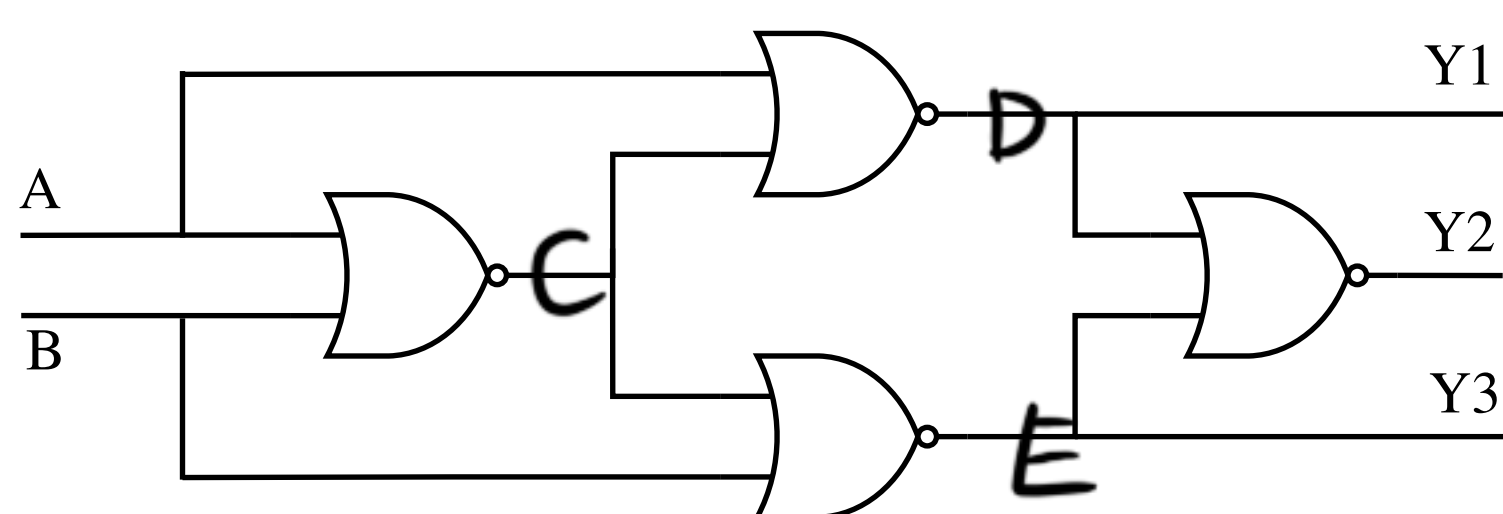


5. 简要分析以下电路的功能。(初始状态, $Q_a = Q_b = Q_c = Q_d = 0$) (4分)



$EP = ET = 1$, $RD' = 0$, 计数器正常工作
 当 $LD' = (Q_d Q_c)' = 0$, 即首次出现 $Q_d = Q_c = 1$, $Q_d Q_c Q_b Q_a = 4'b1100$ 时
 下一个 CP "┓" 到来时 $Q_d Q_c Q_b Q_a \leftarrow DCBA = 4'b0000$
 计数器从 0 计到 12, 故这是一个十三进制计数器

6. 写出下图电路输出信号的逻辑表达式, 并描述实现了什么功能。(逻辑表达式应为最简与或式) (5分)



$$C = (A + B)' = A'B'$$

$$D = (C + A)' = (A'B' + A)' = (A + B')' = A'B$$

$$E = (C + B)' = (A'B' + B)' = (A' + B)' = AB'$$

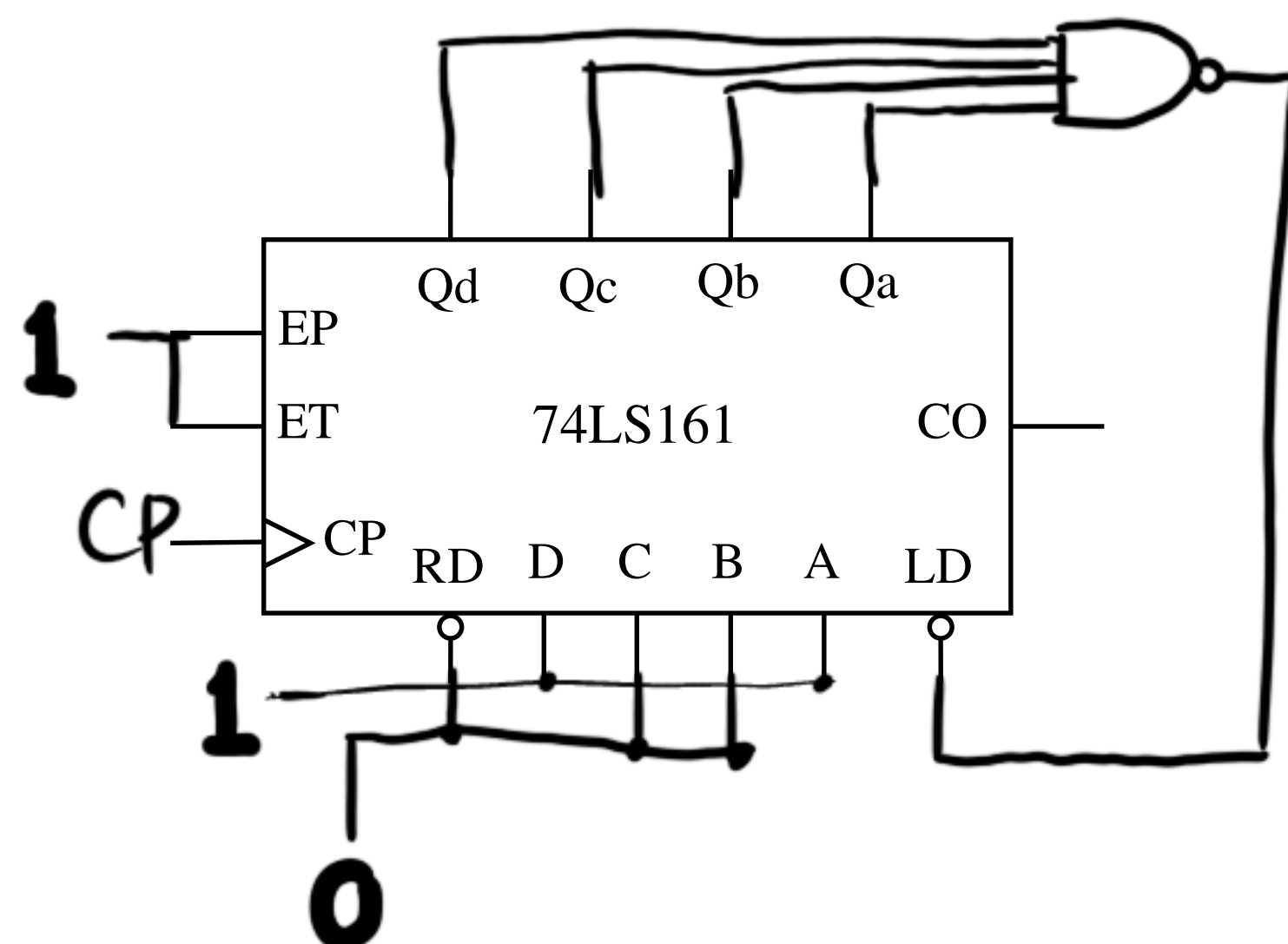
$$Y_1 = D = A'B$$

$$Y_2 = (D + E)' = (A'B + AB')' = A'B' + AB (= A \odot B)$$

$$Y_3 = E = AB'$$

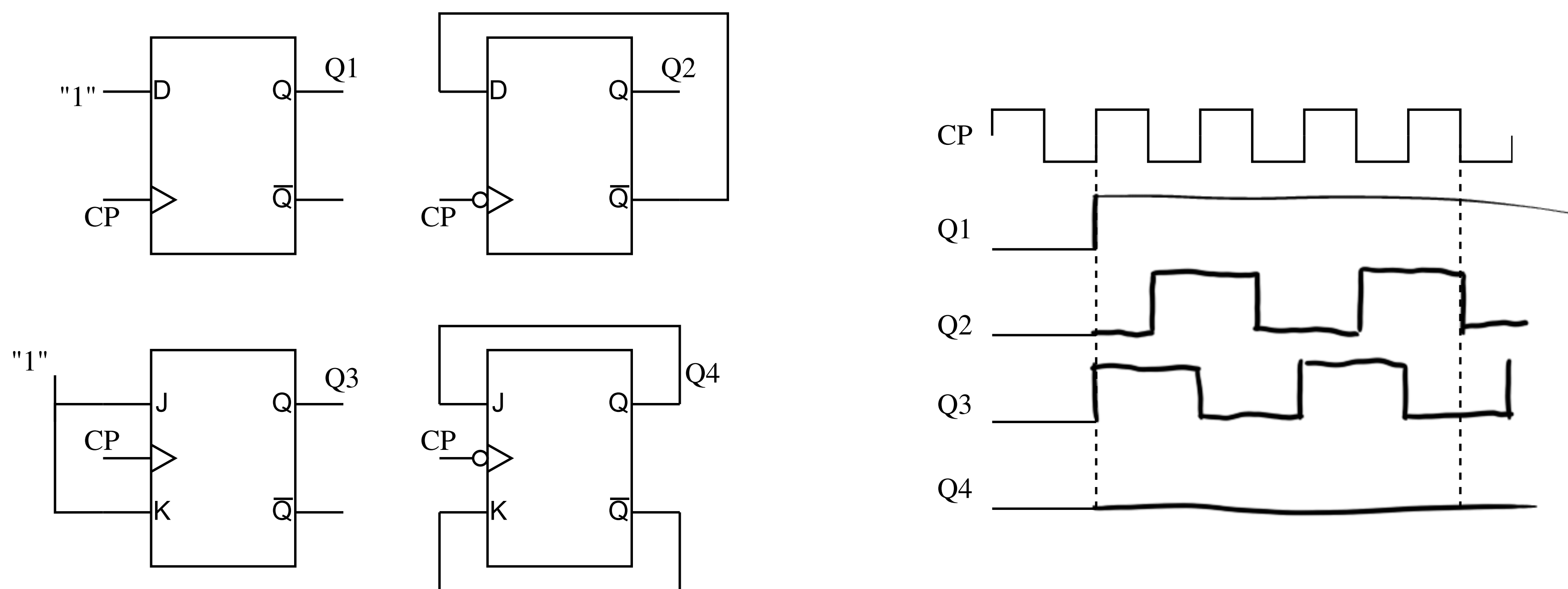
这实现了仅用或非门实现的一位数据比较器, $Y_1 = (A < B)$, $Y_2 = (A == B)$
 $Y_3 = (A > B)$.

7. 用 74LS161 芯片设计一个范围为二进制数 1001 ~ 1111 的计数器，并给出设计思路。
(6 分)



当计数器计到 $Q_d Q_c Q_b Q_a = 4'b1111$ 后, 当 CP "5" 时
让 $LD' = 0$, 使芯片同步置数 $Q_d Q_c Q_b Q_a = 4'b1001$.

8. 根据图中的触发器，画出在 CP 为如下波形时，Q1~Q4 的波形。(8 分)



$$Q_1 = D = 1$$

$$Q_2^* = D = Q_2'$$

$$Q_3^* = 1 \cdot Q_3' + 0 \cdot Q_3 = Q_3'$$

$$Q_4^* = Q_4 Q_4' + Q_4 Q_4 = Q_4$$

9. Verilog 语言有几种基本的数值类型？分别是什么？（5 分）

0
1
Z
X

略

10. 分析以下 Verilog 代码生成电路的功能。（写出输入、输出和逻辑功能）（5 分）

```
always @(*) begin
  if (enable == 3'b100) begin
    case (switch)
      3'h0: led = 8'hfe; = 8'b1111_1110
      3'h1: led = 8'hfd; = 8'b1111_1101
      3'h2: led = 8'hfb;
      3'h3: led = 8'hf7;
      3'h4: led = 8'hcf;
      3'h5: led = 8'hdf;
      3'h6: led = 8'hbf;
      3'h7: led = 8'h7f; = 8'b0111_1111
      default: led = 8'hff;
    endcase
  end else led = 8'hFF;
end
```

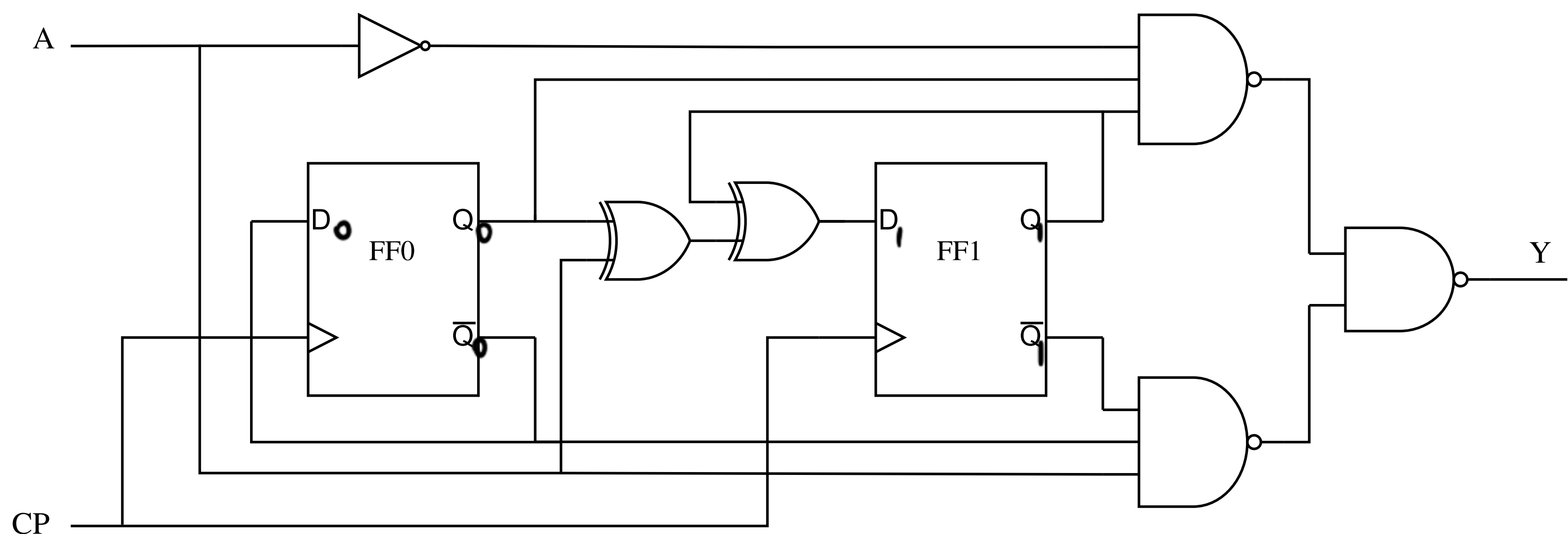
输入为三位地址码，决定要点亮的 LED 灯地址。

模块把三位地址码译码成八个 LED 点亮的使能信号。

输出为低电平有效的 LED 使能信号，并只有一位能够使能

二、分析题（25 分）

1. 请分析下图同步时序逻辑电路的逻辑功能。（要求写出输出方程、状态方程，列出状态转换表，画出状态转换图）（15 分）



输出方程： $Y = ((A' Q_0 Q_1)' (A Q_0' Q_1')')' = A' Q_0 Q_1 + A Q_0' Q_1'$

状态方程： $Q_0^* = D_0$

$Q_1^* = D_1$

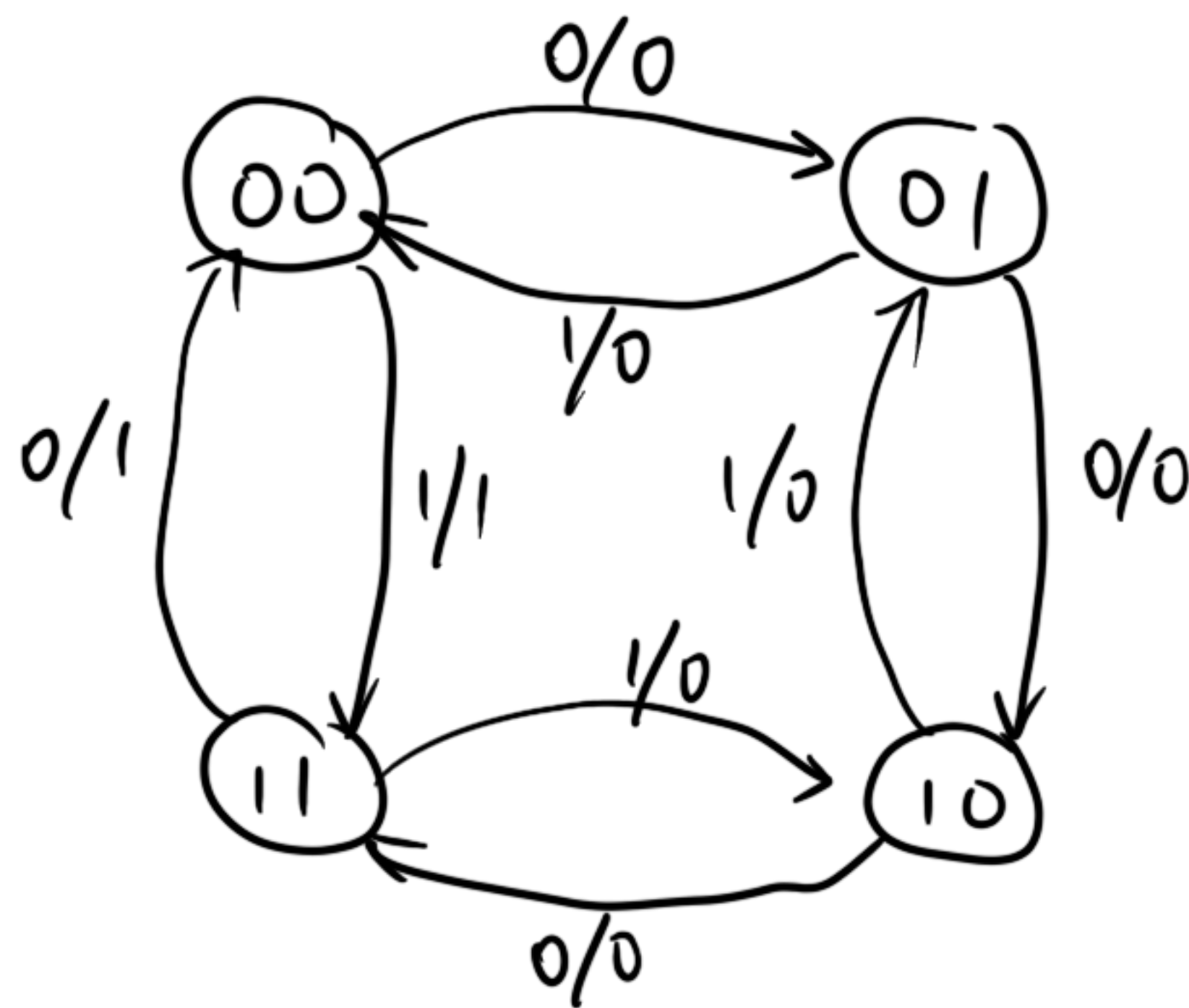
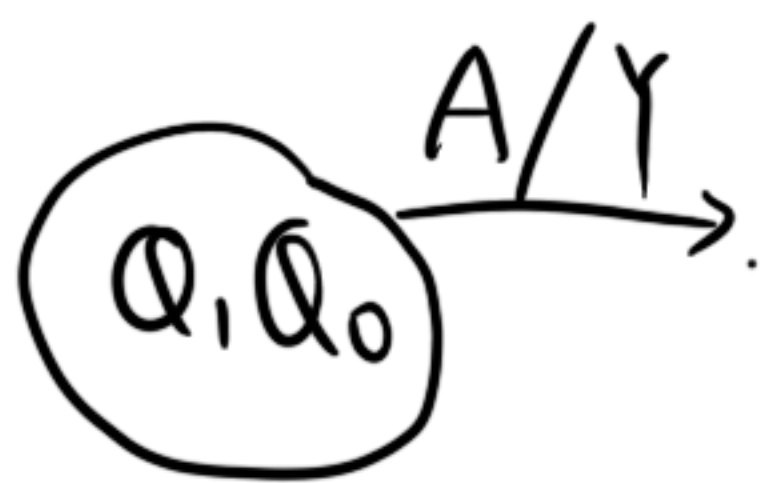
$\therefore Q_0^* = Q_0'$

$Q_1^* = A \oplus Q_0 \oplus Q_1$

驱动方程 $D_0 = Q_0'$

$D_1 = (Q_0 \oplus A) \oplus Q_1$

A	Q_1	Q_0	Q_1^*	Q_0^*	Y
0	0	0	0	1	0
0	0	1	1	0	0
0	1	0	1	1	0
0	1	1	0	0	1
1	0	0	1	1	1
1	0	1	0	0	0
1	1	0	0	1	0
1	1	1	1	0	0

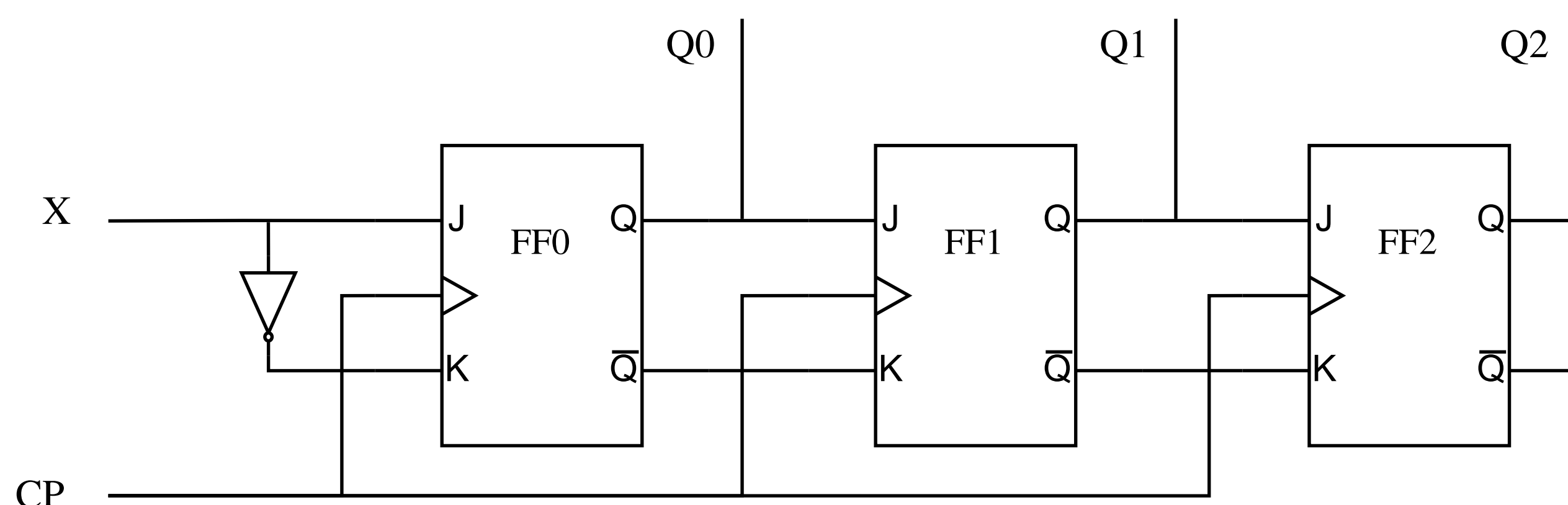


$A=0$ 执行加法, $Q_1Q_0=2'b11$ 时 Y (进位)为1

$A=1$ 执行减法, $Q_1Q_0=2'b00$ 时 Y (借位)为1

故这是两位(可逆)全加/减器.

2. 如图，电路初态为 $Q_0 = Q_1 = Q_2 = 0$ ，在前六个时钟脉冲中，X 的输入分别为 1、0、1、0、0、1，则在此 6 个脉冲内输出如何变化？该电路的逻辑功能是什么？（10 分）



$K' = J$ 时, $Q^* = JQ' + K'Q = JQ' + JQ = J$, 令 $D = J = K'$,
故 FF_i 等效于 D 触发器.

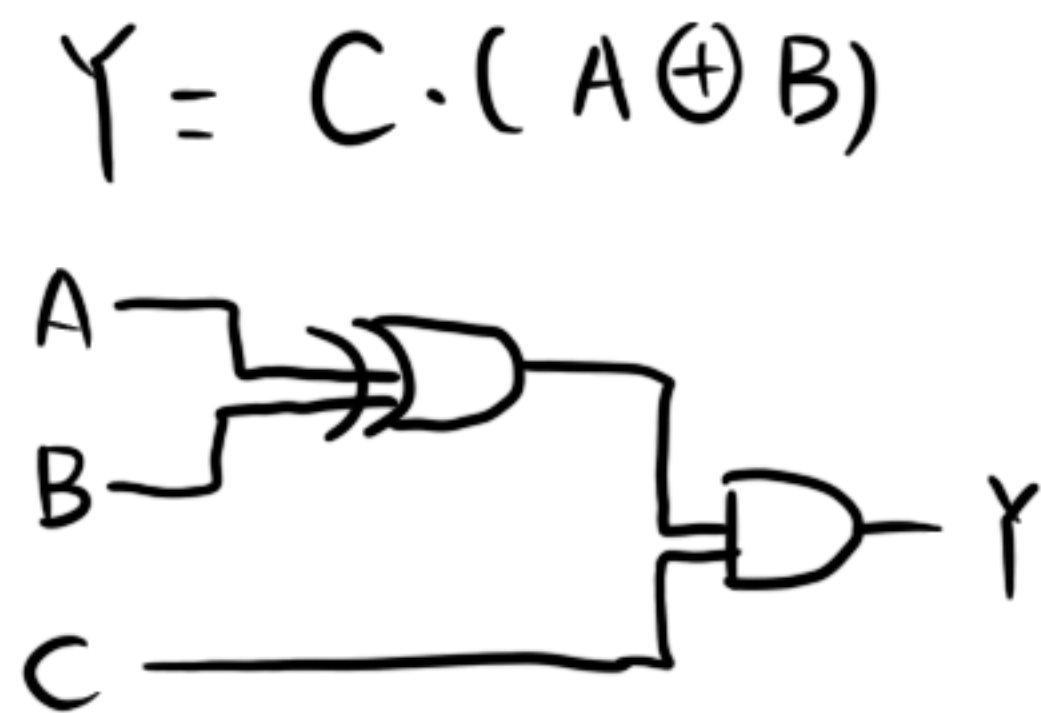
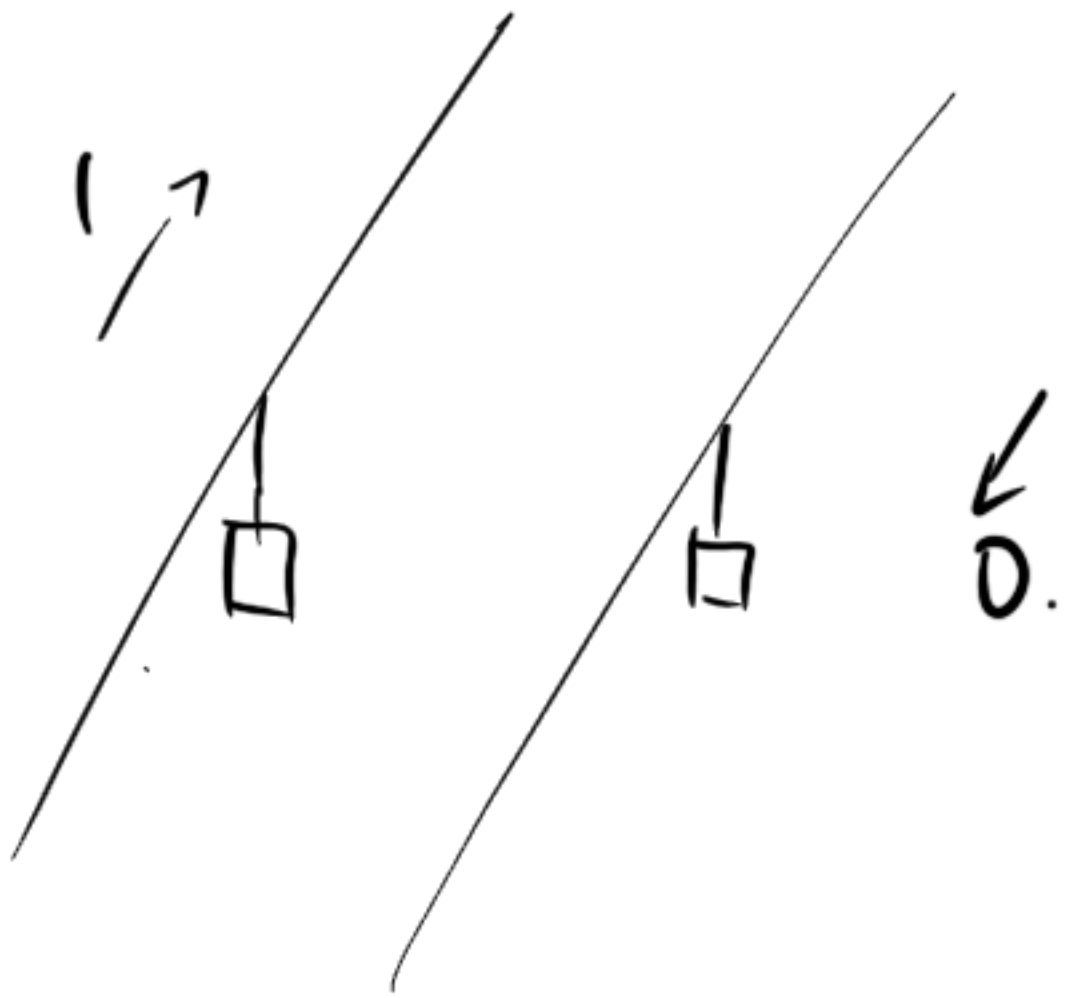
因此三个串联的 D 触发器构成三位同步移位寄存器.

$$\{Q_2, Q_1, Q_0\} \leftarrow \{Q_1, Q_0, X\}$$

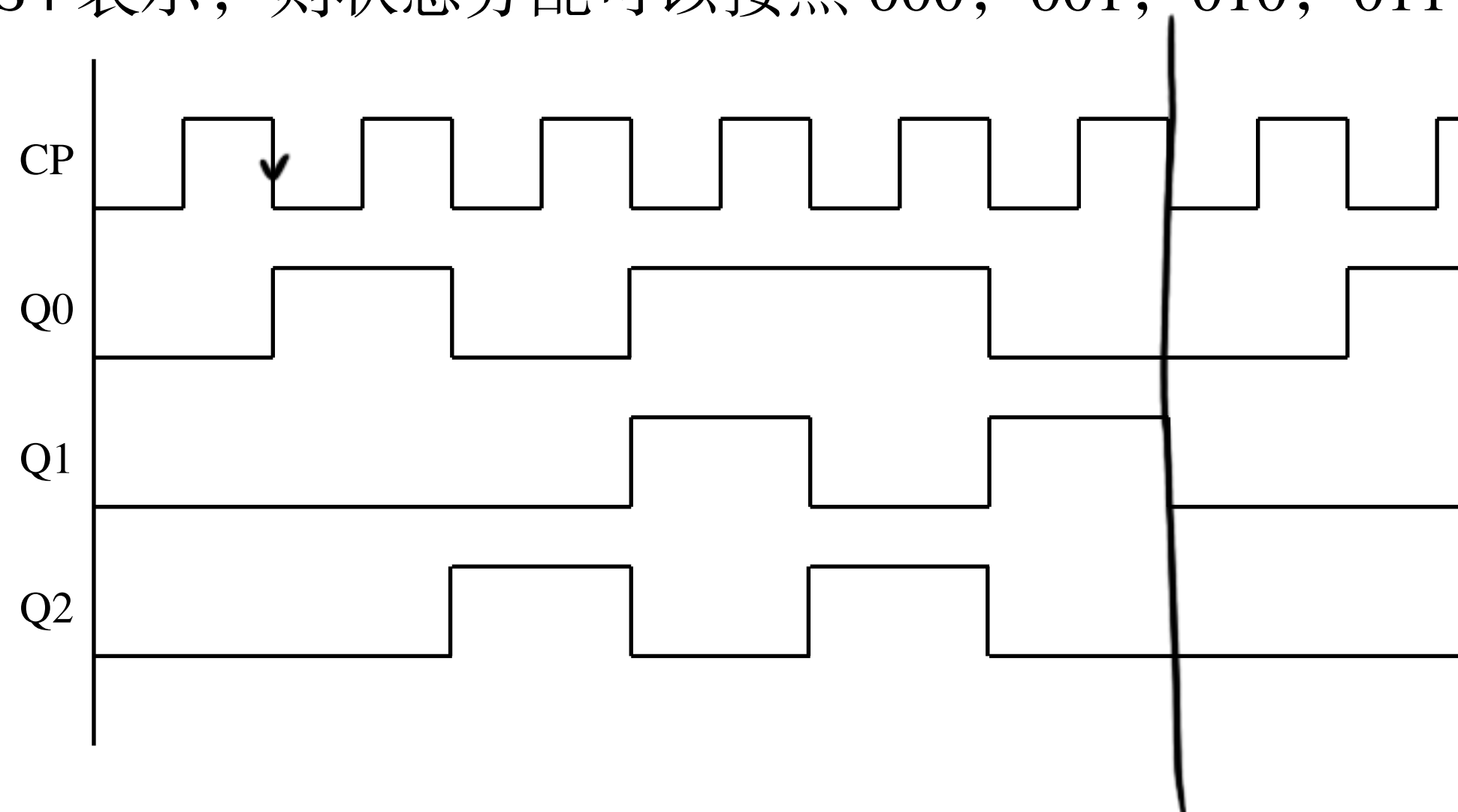
时钟脉冲序号("5")	1	2	3	4	5	6
X	1	0	1	0	0	1
<u>$Q_2 Q_1 Q_0$</u>	001	010	101	010	100	001
(初始为 000)						

三、设计题

1. 某旅游胜地有两辆缆车，可以上行或下行。要求缆车 A、B 必须一上一下，且门 C 须关闭，缆车才可以启动。请你据此设计逻辑电路，用输出信号 Y 指示缆车能否启动。（用 1 表示缆车上行，0 表示下行；用 1 表示关门，0 表示开门）（15 分）



(提示：状态分配可以按照二进制数自然升序给定，例如：假设设计状态总数为 5 个，用 S0, S1, ..., S4 表示，则状态分配可以按照 000, 001, 010, 011, 100 直接分配。)



(2) $Q_2 \quad Q_1 \quad Q_0 \quad Q_2^* \quad Q_1^* \quad Q_0^*$

0	0	0	0	0	1
0	0	1	1	0	0
0	1	0	0	0	0
0	1	1	1	0	1
1	0	0	0	1	1
1	0	1	0	1	0
1	1	0	X	X	X
1	1	1	X	X	X

$$Q_2^* = Q_2' Q_0.$$

$Q_2 \backslash Q_1$	00	01	11	10
0	0	1	1	0
1	0	0	X	X

$$Q_1^* = Q_2$$

$Q_2 \backslash Q_1 Q_0$	00	01	11	10
0	0	0	0	0
1	1	1	X	X

$$Q_0^* = Q_1' Q_0' + Q_1 Q_0$$

$Q_2 \backslash Q_1 Q_0$	00	01	11	10
0	1	0	1	0
1	1	0	X	X

Q_2	Q_1	Q_0	Q_2^*	Q_1^*	Q_0^*
1	1	0	0	1	0
1	1	1	0	1	1

故可以自启动.

$$\text{由 } Q_2^* = J_2 Q_2' + k_2' Q_2$$

$$Q_i^* = J_i Q_i' + K_i' Q_i$$

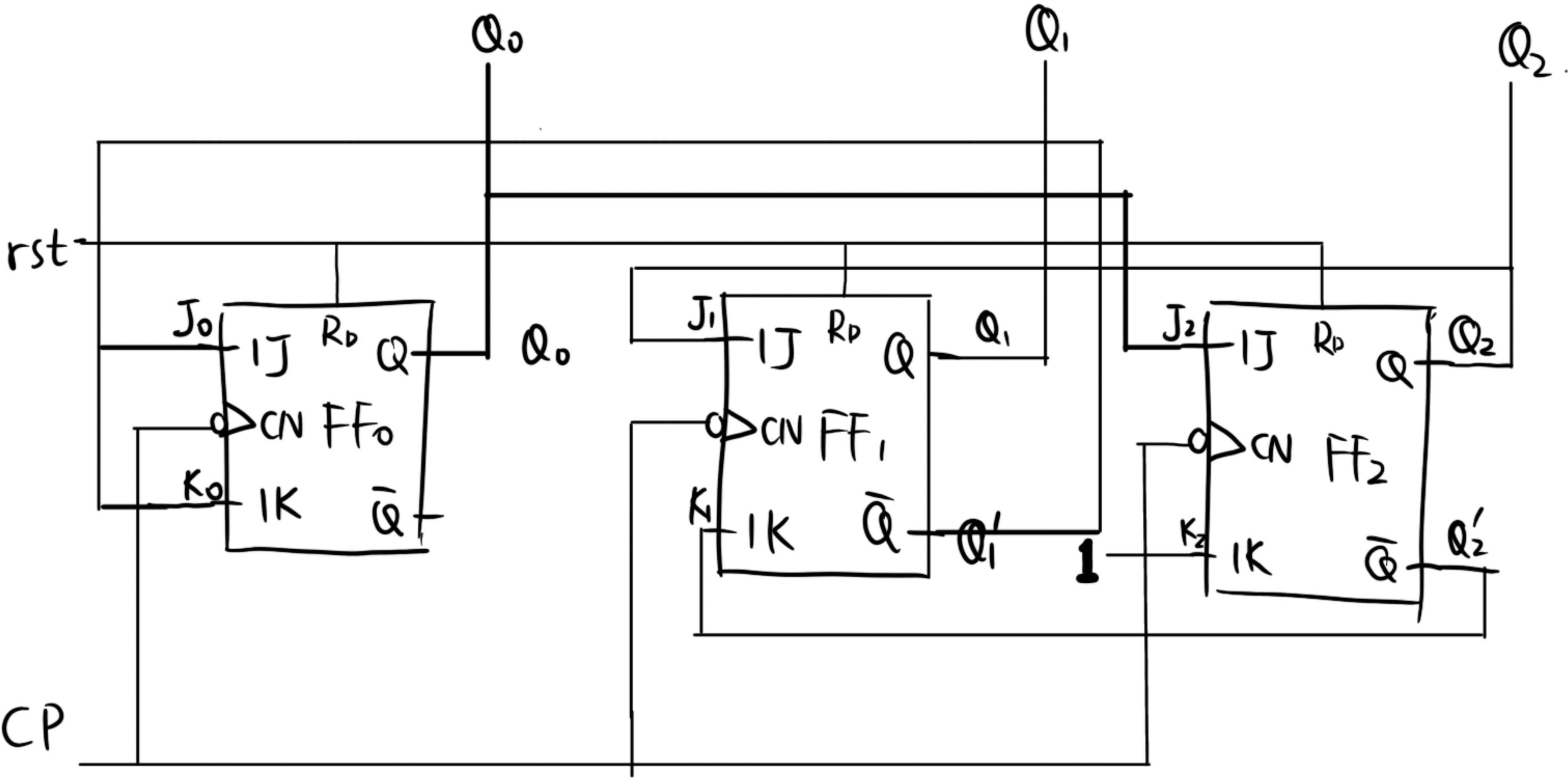
$$Q_0^* = J_0 Q_0' + K_0' Q_0$$

可令 $J_2 = Q_0, K_2' = 0, K = 1$

$$J_1 = Q_2, \quad K_1' = Q_2, \quad K_1 = Q_2'$$

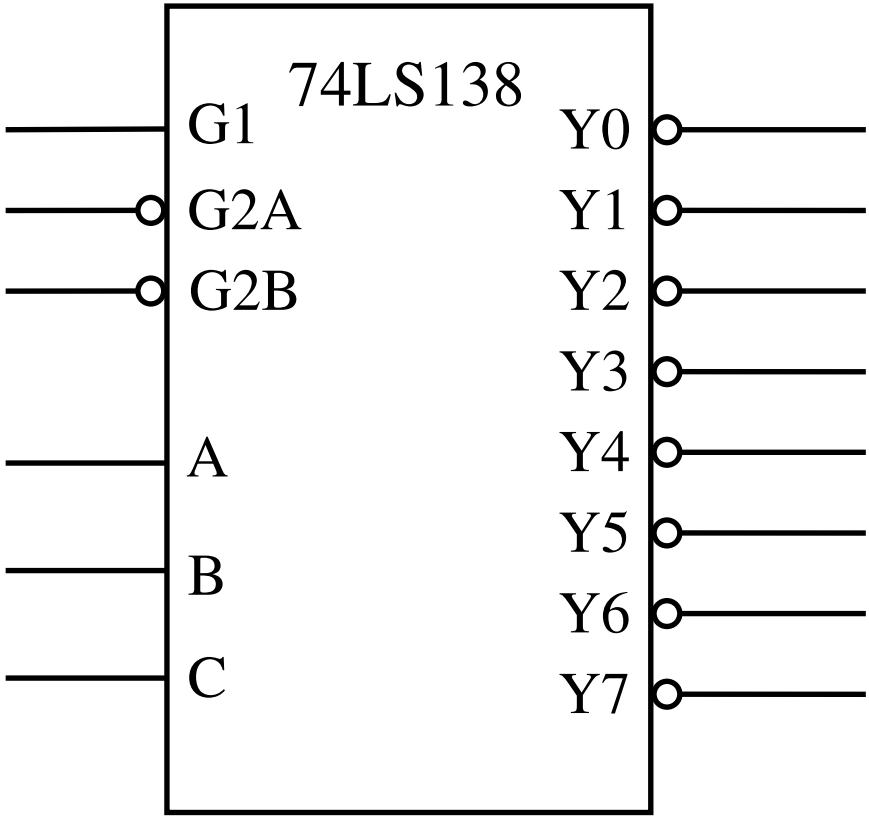
$$J_0 = Q_1', \quad K_0' = Q_1, \quad K_0 = Q_1'$$

(如果无法给出初态有 $Q_2Q_1Q_0 = 3'b\ 000$, 需加上rst端并在 $t=0$ 前复位)



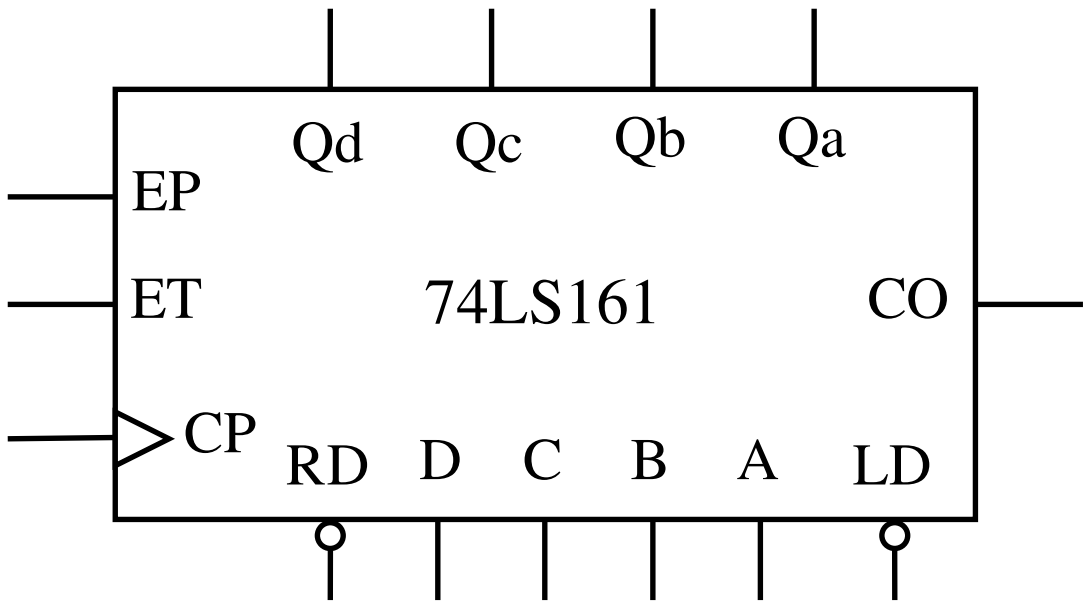
附录

1. 74LS138 芯片的功能表



G ₁	G _{2A} '	G _{2B} '	A	B	C	Y ₀	Y ₁	Y ₂	Y ₃	Y ₄	Y ₅	Y ₆	Y ₇
0	×	×	×	×	×	1	1	1	1	1	1	1	1
×	1	×	×	×	×	1	1	1	1	1	1	1	1
×	×	1	×	×	×	1	1	1	1	1	1	1	1
1	0	0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	0	0	1	1	0	1	1	1	1	1	1
1	0	0	0	1	0	1	1	0	1	1	1	1	1
1	0	0	0	1	1	1	1	1	0	1	1	1	1
1	0	0	1	0	0	1	1	1	1	0	1	1	1
1	0	0	1	0	1	1	1	1	1	1	0	1	1
1	0	0	1	1	0	1	1	1	1	1	1	0	1
1	0	0	1	1	1	1	1	1	1	1	1	1	0

2. 74LS161 芯片的功能表



CP	RD'	LD'	ET	EP	Qd	Qc	Qb	Qa
×	0	×	×	×	0	0	0	0
↑	1	0	×	×	D	C	B	A
×	1	1	0	×	保持			
×	1	1	×	0	保持			
↑	1	1	1	1	计数，计满时 CO=1			