

哈尔滨工业大学（深圳）2025年秋季学期

DSP 原理与应用 期末试题（A）

考试时间：2025年12月30日 19:00-21:00，满分60分，闭卷考试，可以使用计算器。

免责声明：本试卷为离开考场后的回忆版，不存在任何违反考试纪律的行为。

回忆者：Gaster

1. 选择题（每题2分，共20分）

(1) DSP的FPU模块可以直接处理下列哪个的运算？

- A. 单精度浮点数（16位）
- B. 双精度浮点数（32位）
- C. 自定义浮点数
- D. 自定义模块内存数

(2) 对PLL锁相环进行配置，外部晶振频率为30MHz，系统主频SYSCLKOUT为150MHz，则PLLCR配置的DIV分频为（PLL旁路的默认分频为/4）

- A. 0x06（6倍频）
- B. 0x08（8倍频）
- C. 0x0A（10倍频）
- D. 0x0C（12倍频）

(3) 为保证GPIO功能正确，除了需要正确配置功能选择寄存器GPxMUX外，还需要配置

- A. 数据寄存器GPxDAT
- B. 方向控制寄存器GPxDIR
- C. 输入限定寄存器GPxQSEL
- D. 上拉控制寄存器GPxPUD

(4) 数字信号处理器中，常用二进制补码进行运算，对于两个8位有符号二进制数， $A=22$ （十进制）， $B=-6$ （十进制），忽略进位溢出，则 $A+B$ 用二进制表示为

- A. 0001 1010
- B. 0001 0000
- C. 0000 0110
- D. 0101 0010

(5) 若 ePWM 输出波形占空比不对，且寄存器设置值计算正确，则应先检查

- A. 系统时钟设置是否正确
- B. GPIO 是否被正确复用为 ePWM 输出
- C. ePWM 模块是否使能
- D. 事件触发模块 AQ 是否正确配置

(6) SCI 异步通信的数据帧的起始位为

- A. 高电平
- B. 低电平
- C. 高阻态
- D. 与数据位一致

(7) ADC 转换完成后，完成标志位可以查看哪个寄存器

- A. ADCCTRL1 寄存器
- B. ADCCTRL2 寄存器
- C. ADCST 寄存器
- D. ADCREFSEL 寄存器

(8) ADC 转换模块采用双通道采样排序模式，则 SEQ1 和 SEQ2 的功能是

- A. 两个独立工作的排序器，使用 2 个 ADC 排序器
- B. 交替进行，SEQ1 和 SEQ2 轮流进行连续 ADC 转换
- C. 增大一倍采样率
- D. 将 12 位 ADC 通道当成两个 6 位 ADC 使用

(9) ePWM 计数从零开始逐渐上升，到达最大值后清零，则 TBCTL 的 COUNTMODE

需要设置为

- A. 递增计数模式 TB_COUNT_UP
- B. 递减计数模式 TB_COUNT_DOWN
- C. 增减计数模式 TB_COUNT_UPDOWN
- D. 冻结模式 TB_COUNT_STOP

(10) 若需要辨识出宽度很窄的脉冲（小于系统中断分辨时间），可以使用下列哪个模块的功能

- A.GPIO 中断
- B.eCAP 边沿捕获
- C.eQEP 速度计算
- D.定时中断处理

2. 简答题（10 分）

DSP 内部包含 CPU 和 PIE 中断控制器：

- (1) 说明 DSP 一共有几个中断等级，以及各级中断的功能。
- (2) PIE 中断控制器是如何将 96 个外设中断源和 CPU 的 12 根中断总线 (INT1 ~ 12) 建立关系的？

3. 简答题 (10 分)

使用 SCI-A 模块，实现 DSP 和上位机之间的异步通信：

- (1) 简要说明如何配置 SCI-A 模块，从引脚复用到中断使能。
- (2) 画出按“发送-接收-中断”过程的传输数据流程图（例如对特定内容进行回复）。

4. 设计题 (10 分)

9 键键盘扫描可以使用 DSP 的六个引脚实现：

- (1) 根据附录画出 DSP 芯片和外设的硬件连接图。
- (2) 简要说明 GPIO 和定时器 1 的配置。
- (3) 画出扫描执行的流程图。

5. 设计题 (10 分)

根据实验 6 的电机控制实验，使用的 TMS F28335 主频为 150MHz

- (1) 画出 H 桥驱动电路，标明与 DSP 芯片的连接关系。
- (2) 配置 ePWM，updown 模式，10kHz，配置死区时间。
- (3) 占空比调速，画出程序流程图。

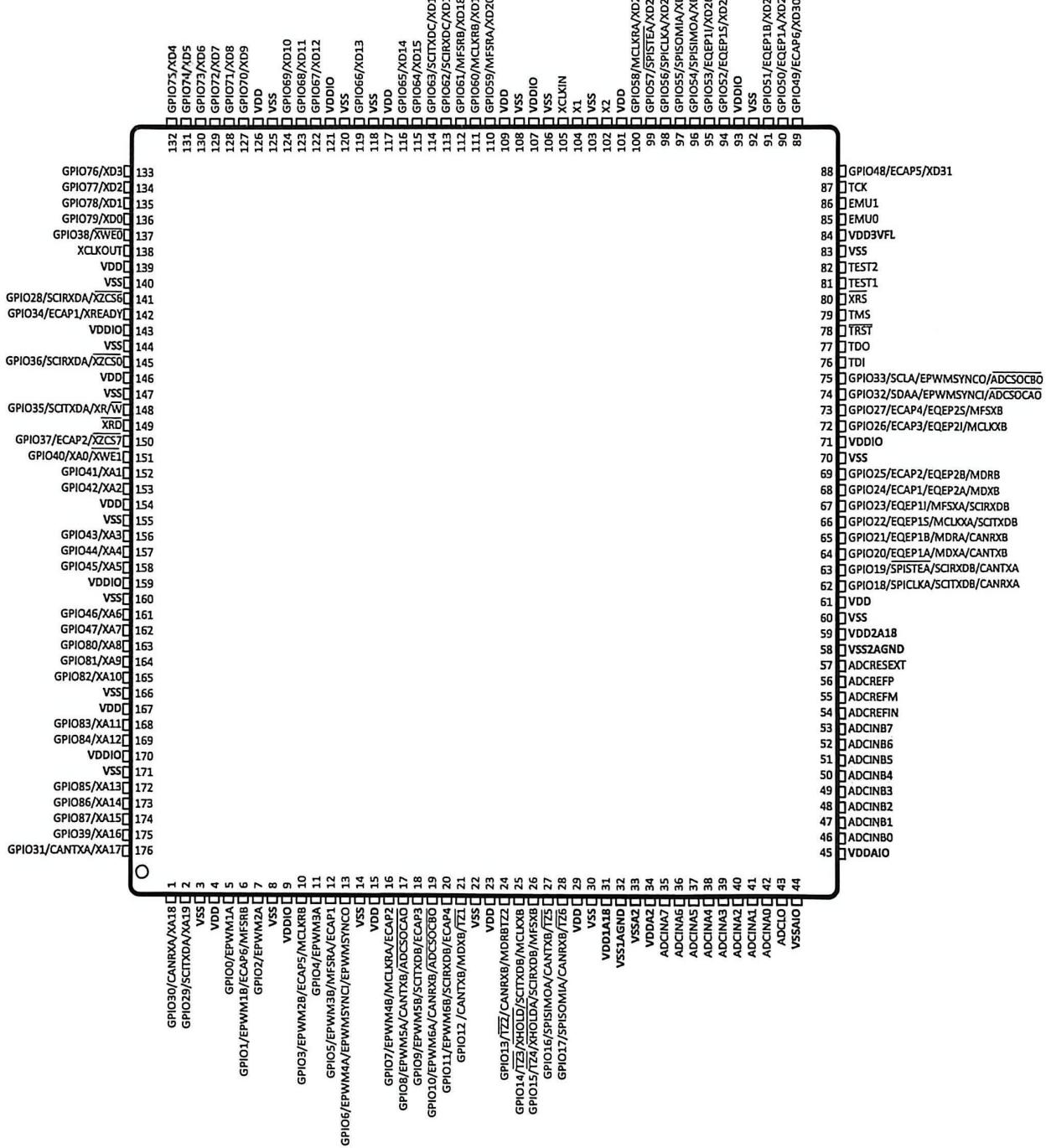


图 1-3 F28335 176 引脚 PGF/PTP 薄型四方扁平封装(LQFP)(顶视图)

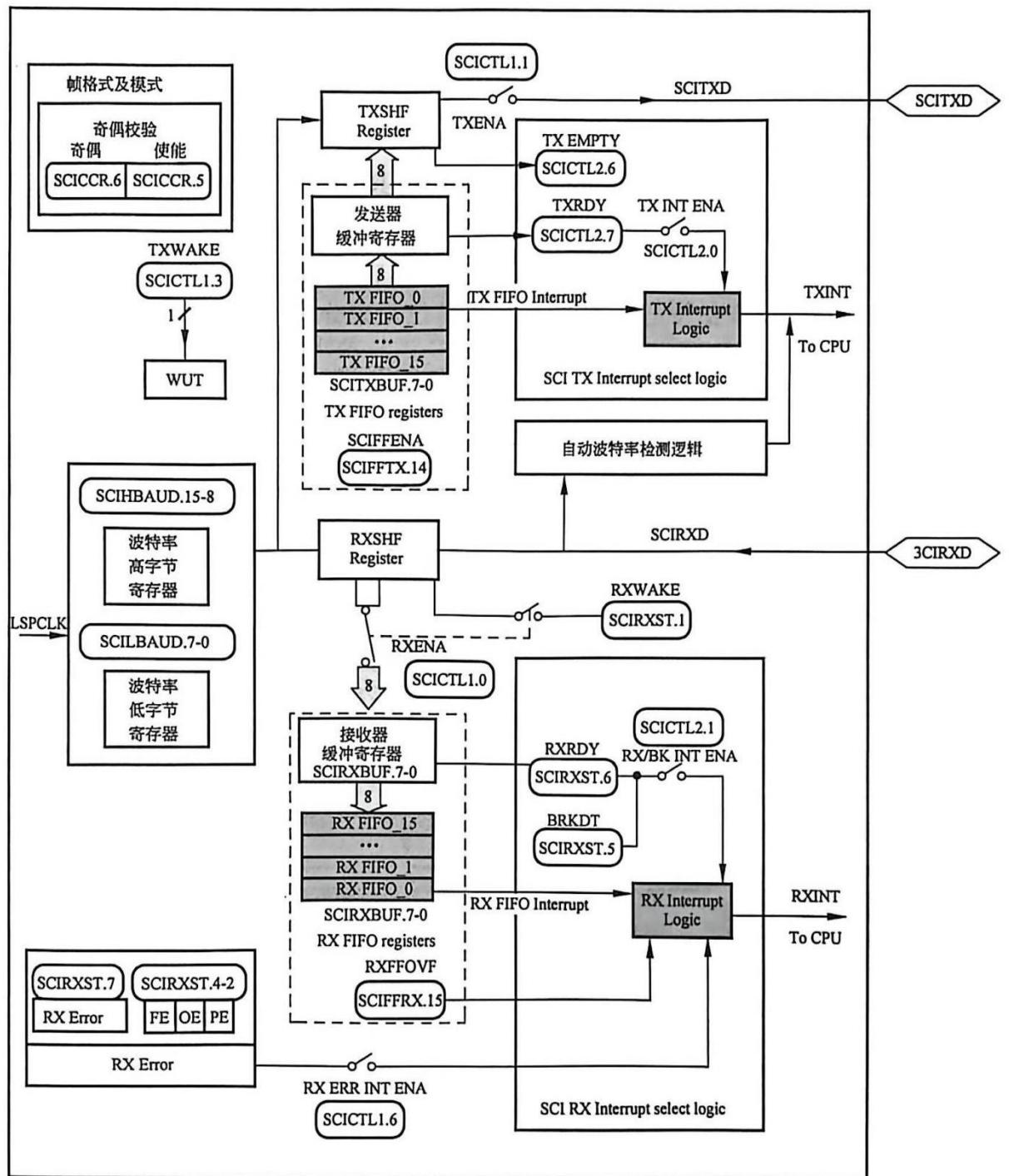


图 10-2 SCI 接口内部结构

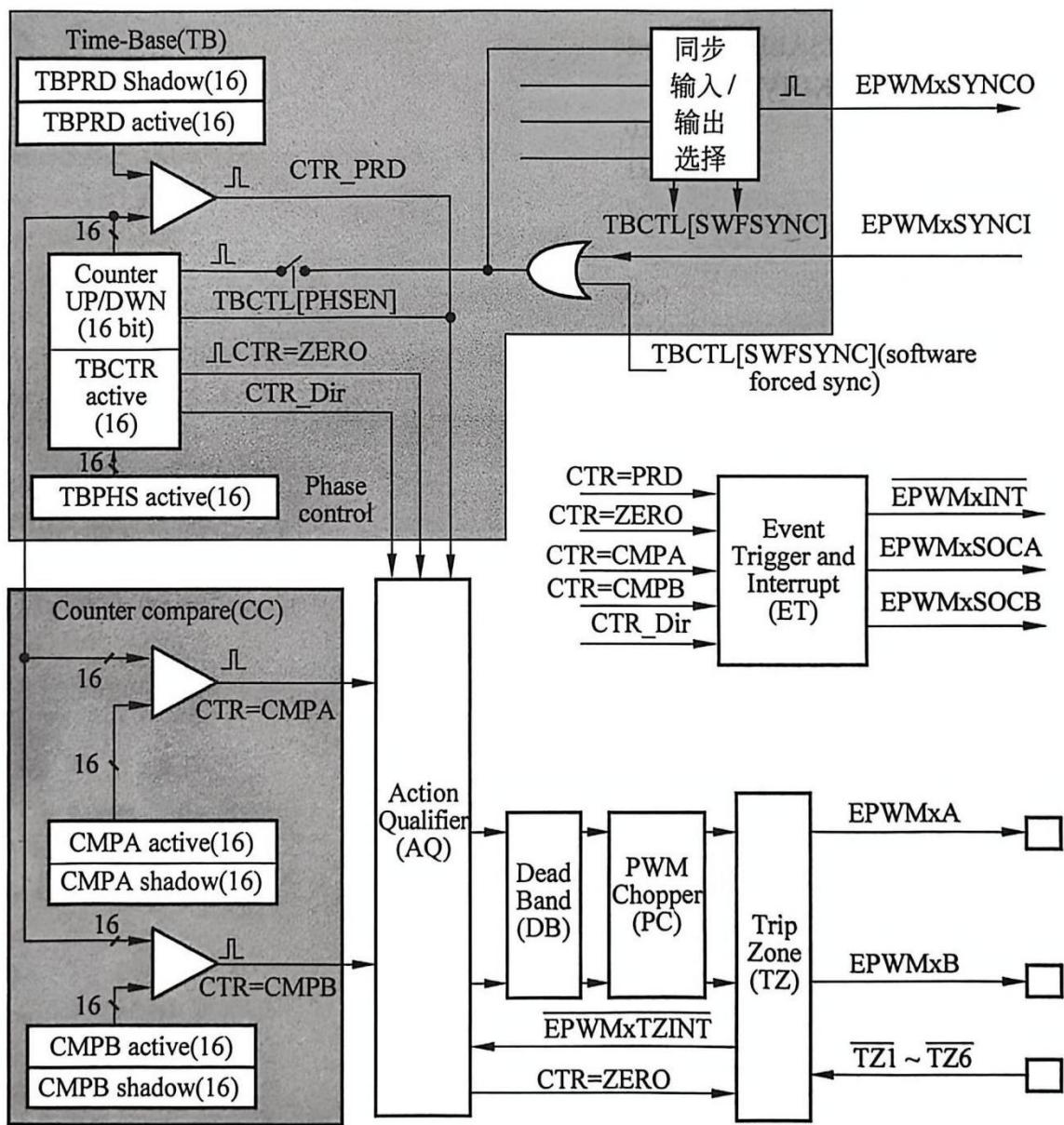
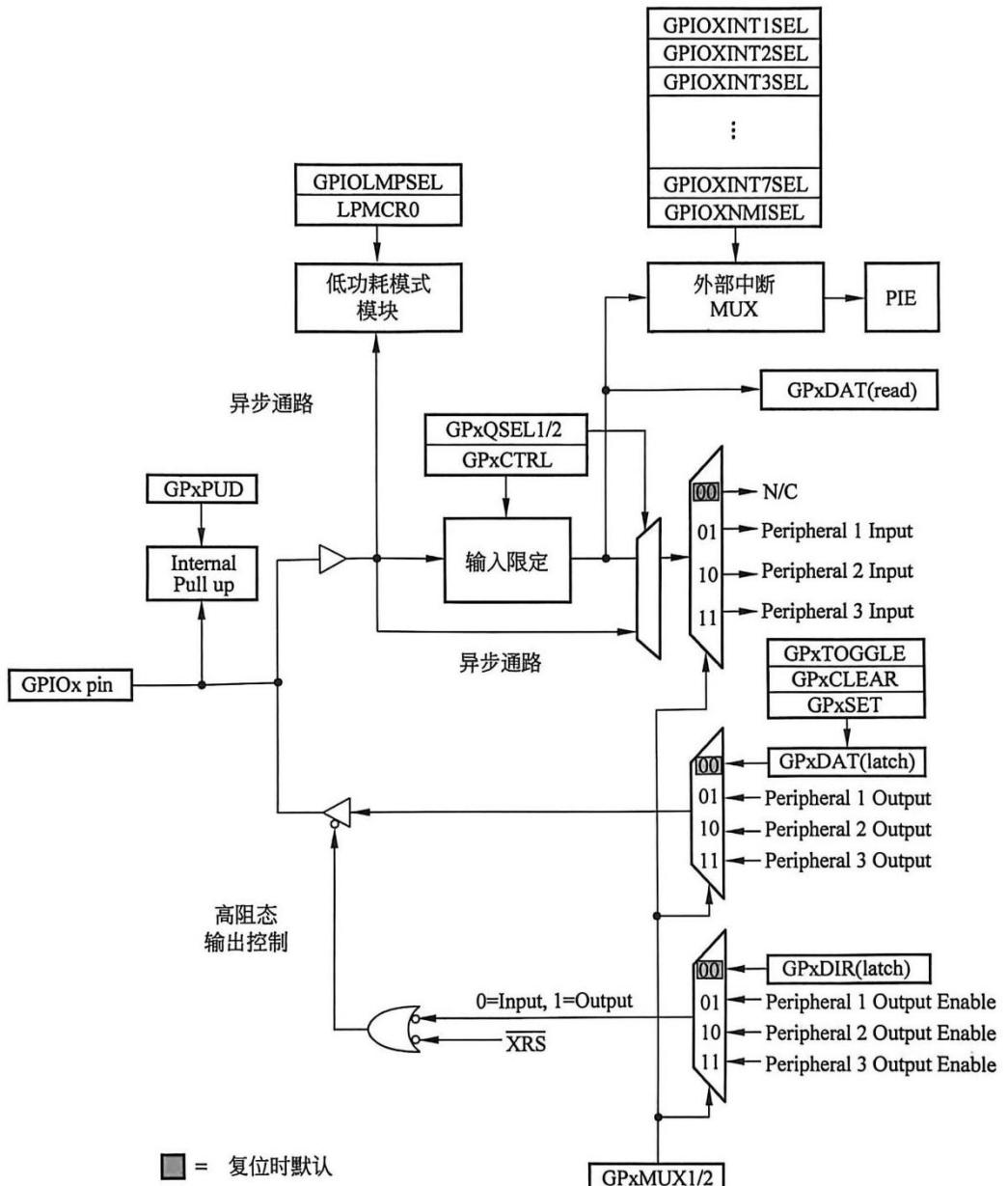


图 7-3 ePWM 模块内部结构框图



注：(1) x用来表示端口A、B或C，例如GPxDIR代表GPADIR、GPBDIR及GPCDIR。
(2) GPxDAT的锁存和读取，访问相同的存储单元。

图 5-1 GPIO 复用原理框图

名称	地址	大小(×16位)
GPACTRL	0x6F80	2
GPAQSEL1	0x6F82	2
GPAQSEL2	0x6F84	2
GPAMUX1	0x6F86	2
GPAMUX2	0x6F88	2
GPADIR	0x6F8A	2
GPAPUD	0x6F8C	2
GPBCTRL	0x6F90	2
GPBQSEL1	0x6F92	2

名称	地址	大小(×16位)
GPBQSEL2	0x6F94	2
GPBMUX1	0x6F96	2
GPBMUX2	0x6F98	2
GPBDIR	0x6F9A	2
GPBPUD	0x6F9C	2
GPMUX1	0x6FA6	2
GPMUX2	0x6FA8	2
GPCDIR	0x6FAA	2
GPCPUD	0x6FAC	2