

数字逻辑设计

实验1 Vivado使用与组合电路



HITSZ 实验与创新实践教育中心
Education Center of Experiments and Innovations, HITSZ

课程介绍

- ❑ 深入理解数字逻辑设计的理论知识
- ❑ 掌握Verilog数字设计基础知识
- ❑ 具备基于FPGA设计数字系统的能力
- ❑ 为后续课程打好基础



实验安排

□ 学时：20学时

□ 成绩：30分

序号	实验项目	学时	分值 (30分制)	分值 (100分制)	说明
1	Vivado使用与组合电路	2	3	10	检查5分，报告5分
2	寄存器	2	3	10	检查5分，报告5分
3	计数器	2	3	10	检查5分，报告5分
4	数码管控制器	4	6	20	检查12分，报告8分
5	状态机	4	6	20	检查12分，报告8分
6	综合实验	6	9	30	检查18分，报告12分



实验课程资料

- ❑ 实验指导书

<https://diglogic.p.cs-lab.top/>

- ❑ 课件等下载地址

<http://10.249.12.89:8080/>

- ❑ 作业提交网址

<https://grader.cs-lab.top/>



AI助手与AI工具使用规范

❑ HiAgent平台AI助手: <http://zhiwen.hitsz.edu.cn:32300/>

❑ 导入了实验指导书进行检索增强



❑ **禁止**将实验需求直接给到AI生成代码

❑ **禁止**在实验报告中大段地粘贴AI生成的文字，若发现将酌情扣分



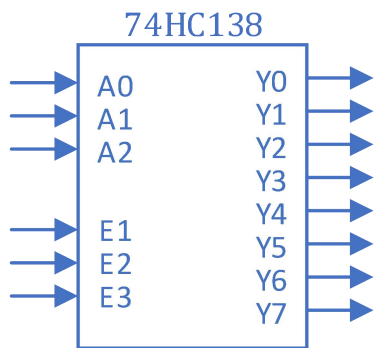
实验目的

- ❑ 熟悉MINISYS实验板的功能和使用方法;
- ❑ 掌握 Vivado 的开发环境及开发流程;
- ❑ 掌握Verilog语言描述组合逻辑电路, 掌握约束文件编写, 理解仿真波形



实验内容

- 1、以3-8译码器为例，在Vivado中建立工程，添加代码，运行综合、实现、生成比特流文件，下载到Minisys开发板，自行验证功能。



Input			Output							
A2	A1	A0	Y7	Y6	Y5	Y4	Y3	Y2	Y1	Y0
0	0	0	1	1	1	1	1	1	1	0
0	0	1	1	1	1	1	1	1	0	1
0	1	0	1	1	1	1	1	0	1	1
0	1	1	1	1	1	1	0	1	1	1
1	0	0	1	1	1	0	1	1	1	1
1	0	1	1	1	0	1	1	1	1	1
1	1	0	1	0	1	1	1	1	1	1
1	1	1	0	1	1	1	1	1	1	1

使能信号 $E3E2E1 = 3'b100$ 有效，
否则输出高电平

实验内容

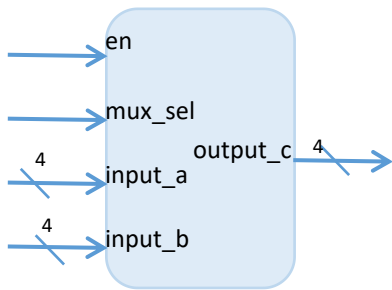
□ 3-8译码器接口定义

信号名	属性	位宽	备注
en	input	3	译码器使能信号
data_in	input	3	译码器输入信号
data_out	output	8	译码输出，驱动LED显示



实验内容

2、使用Verilog实现2输入4位多路复用器，拨码开关作为输入，输出驱动LED显示，运行仿真、上板验证。



详细要求:

- 拨码开关SW23作为使能信号en输入;
- 拨码开关SW22作为功能选择信号mux_sel输入;
- 拨码开关SW3-SW0作为input_a输入, SW7-SW4作为input_b输入;
- 输出信号需连接到开发板的GLED3-GLED0。



实验内容

详细要求:

e.使能 $en=0$ 时, 输出全1。 $en=1$ 时, 若 mux_sel 为1, 计算 $a-b$ 作为输出; 若 mux_sel 为0, 计算 $a+b$ 作为输出。直接用+、-运算符实现, 无需考虑正负, 无需考虑溢出。

Input				Output
en	mux_sel	input_a	input_b	output_c[3:0]
1	1	xxxx	xxxx	input_a - input_b
1	0	xxxx	xxxx	input_a + input_b
0	1	xxxx	xxxx	1111
0	0	xxxx	xxxx	1111



实验内容

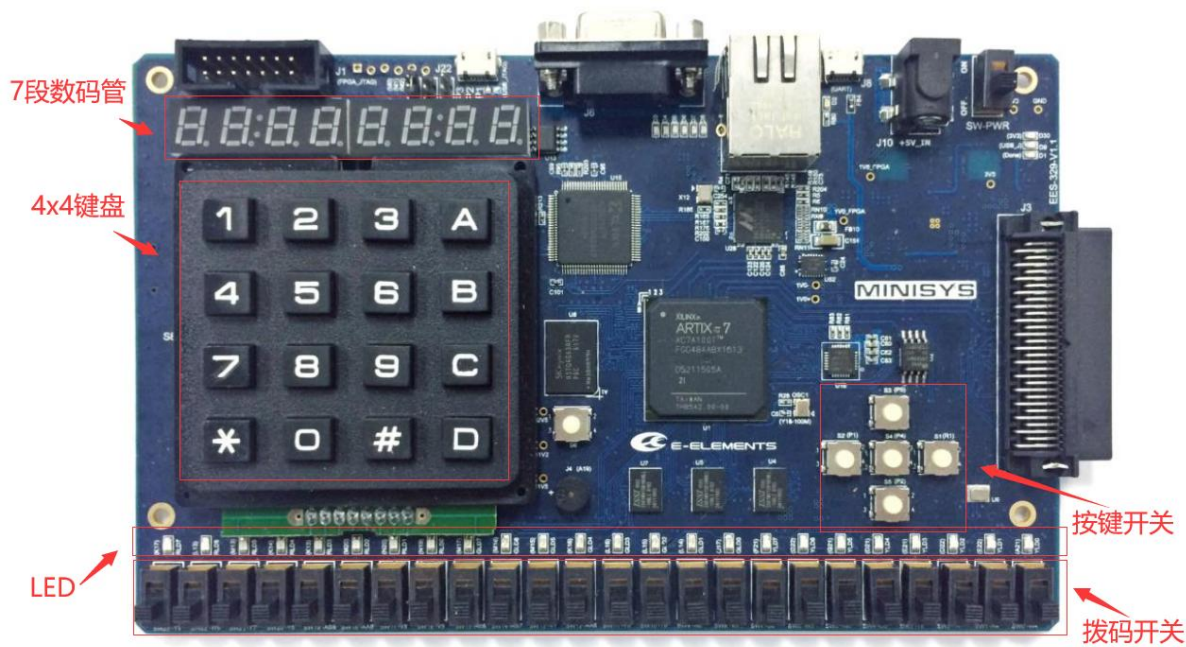
□ 多路复用器接口定义

信号名	属性	位宽	备注
en	input	1	使能信号
mux_sel	input	1	选择信号
input_a	input	4	输入数据a
input_b	input	4	输入数据b
output_c	output	4	输出数据，驱动LED显示



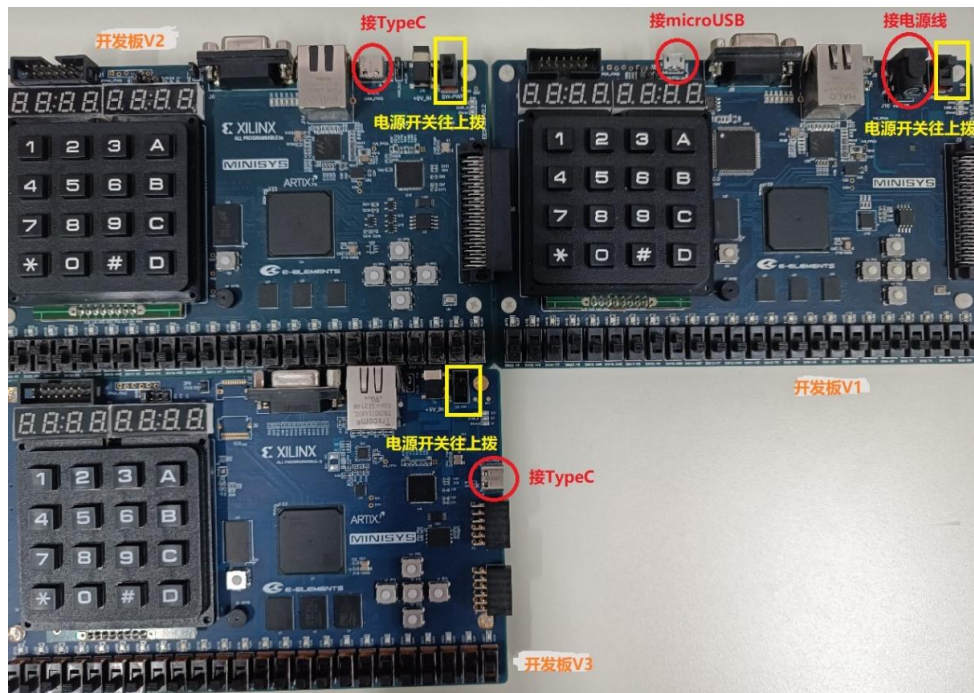
Minisys开发板介绍

- 开发板在实验桌的抽屉里
- 主芯片型号：**xc7a100tfgg484-1**



开发板连接

- ❑ 3个版本，V1需接电源线和MicroUSB，V2和V3只需接TypeC
- ❑ 接线后打开电源开关，指示灯亮表示上电成功



开发板输入

➤ 拨码开关

- 数量：24个
- 板上标注：SW23 ~ 0
- 作用：作为数据输入
- 取值：向下拨为0

➤ 按键开关

- 数量：5个
- 板上标注：S5 ~ 1
- 作用：作为数据输入
- 取值：默认为0，按下为1



开发板输出

➤ LED灯

- 数量：24个（红、黄、绿各8个）
- 板上标注：RLD7~0、YLD7~0、GLD7~0
- 作用：显示信号值
- 取值：输入1点亮



约束文件编写

❑ 将顶层模块输入输出信号与FPGA芯片引脚绑定

❑ Minisys开发板管脚映射

❑ port_name列是外设名字，**不要**写到约束文件

❑ pin列是FPGA芯片的引脚，**需要**写到约束文件

❑ 详见指导书“添加约束文件”一节

port_name	pin	description
CLK	Y18	晶振的输出, 100MHz
SW0	W4	拨码开关0
SW1	R4	拨码开关1
SW2	T4	拨码开关2
SW3	T5	拨码开关3



开发板使用注意事项

- ❑ 插拔接插件前请关闭电路总开关，否则容易损坏器件！！
- ❑ 严禁将开发板带出实验室，一经发现，将登记并扣分！！
- ❑ 如果故意损坏开发板、拿走开发板不还，需照价赔偿！！
- ❑ 防止静电：不要用手摸芯片、使用完毕装回防静电袋
- ❑ 保持电路板清洁；小心轻放，避免不必要的硬件损伤
- ❑ 插拔USB线务必先对准，再稍稍用力插拔即可，禁止过度用力从而损坏Micro USB接口！



实验室注意事项

- ❑ 不要在实验室饮食，若饮料洒落导致线路损坏、主机损坏
需照价赔偿！！
- ❑ 不要大幅调整显示器、键盘、连接线的位置，如果损坏显示器，需照价赔偿！！
- ❑ 课后将桌上的个人物品带走，先关闭开发板电源，再拔出USB线，收好放抽屉，把电脑关机



实验步骤：3-8译码器

❑ Vivado开发流程

❑ 详细步骤参考指导书，已提供完整的代码

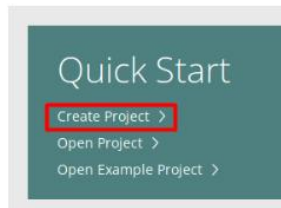
❑ Vivado双击启动需要等待10秒左右才打开界面

- ① 建立工程
- ② 添加设计文件
- ③ 添加仿真文件、运行仿真
- ④ 添加约束文件
- ⑤ 综合、实现和生成比特流
- ⑥ 开发板上板操作验证

- 1、课程概况
- 2、Minisys开发板
- 3、Vivado使用教程
Vivado下载与安装
建立工程
添加设计文件
添加仿真文件、运行仿真
添加约束文件
综合实现、生成比特流和上板
仿真实用功能
常见问题与错误信息
进阶操作：Tcl命令、VScode
- 4、Verilog代码规范

不同版本的功能、使用方式基本一样，

双击桌面Vivado2023.2图标打开，实验右都没反应是正常现象，多等一会才会的界面中选择Next，进行下一步。



根据需要修改工程名和工程所在路径，

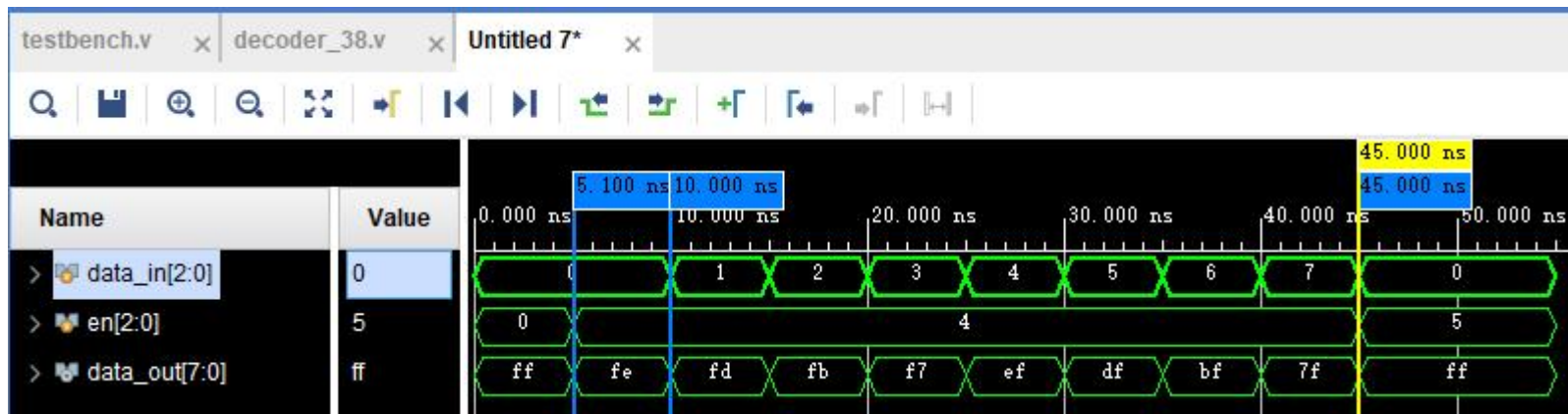


实验步骤：多路复用器

- ❑ 创建工程，工程名为mux；
- ❑ 编写并添加设计文件mux.v；
- ❑ 添加提供的仿真文件testbench.v，并完成仿真；
- ❑ 编写并添加约束文件，并综合实现，生成比特流；
- ❑ 将生成的比特流下载到开发板验证；



仿真分析



详细分析说明参看指导书

课上检查

❑ 多路复用器上板检查

❑ 实验1检查截止时间：第8周周五

❑ 通用要求，后续不再重复强调

❑ 提前将bit文件烧录到开发板，并自行验证一遍基础功能

❑ 超过截止检查会扣除一定分数



提交要求

- ❑ 课后提交内容：请参考在线指导书的要求
- ❑ 提交DDL：第9周周1晚23:00，通常为检查截止下个周一
- ❑ 通用要求，后续不再重复强调
 - ❑ 代码只提交自己写的文件，提交整个工程将酌情扣分
 - ❑ 截止时间后会继续开放作为补交
 - ❑ 注意：如有雷同，雷同者均0分！
 - ❑ 无出勤记录的同学提交作业不给分



开始实验



HITSZ 实验与创新实践教育中心
Education Center of Experiments and Innovations, HITSZ