

（深圳）

# 实验报告

开课学期： 2021夏季

课程名称： 计算机设计与实践

实验名称： CPU设计

实验性质： 综合设计型

实验学时： 52 地点：

学生班级：

学生学号：

学生姓名：

评阅教师：

报告成绩：

实验与创新实践教育中心制

2021年5月

注：本设计报告中各个部分如果页数不够，请大家自行扩页，原则是一定要把报告写详细，能说明设计的成果和特色。报告中应该叙述设计中的每个模块。设计报告将是评定每个人成绩的重要组成部分（**设计内容及报告写作**都作为评分依据）。

|  |
| --- |
| 设计的功能描述（含所有实现的指令描述，以及单周期/流水线CPU频率） |
|  |
| 设计的主要特色（除基本要求以外的设计） |
|  |
| 资源使用情况、功耗数据截图（实现后） |
| 以下是示例，请贴自己的图。 |

1 单周期CPU设计与实现

1.1 单周期CPU整体框图

|  |
| --- |
| （要求：无需画出模块内的逻辑，但要标出模块之间信号线的信号名和位宽，以及说明每个模块的功能含义） |
|  |

1.2 单周期CPU模块详细设计

|  |
| --- |
| （要求：各个模块的详细设计图，要包含内部的子模块，以及关键性逻辑，标出信号名和位宽，并有详细说明） |
|  |

1.3 单周期CPU仿真及结果分析

|  |
| --- |
| （要求：包含逻辑运算指令、访存指令、跳转指令的仿真截图，以及结果分析） |
|  |

2 流水线CPU设计与实现

2.1 流水线的划分

|  |
| --- |
| （要求：画出流水线的划分，并标明每个阶段CPU完成的功能） |
|  |

2.2 流水线CPU整体框图

|  |
| --- |
| （要求：无需画出模块内的逻辑，但要标出模块之间信号线的信号名和位宽，以及说明每个模块的功能含义） |
|  |

2.3 流水线CPU模块详细设计

|  |
| --- |
| （要求：各个模块的详细设计图，要包含内部的子模块，以及关键性逻辑，标出信号名和位宽，并有详细说明；数据冒险与控制冒险的解决方法必须要详细说明） |
|  |

2.4 流水线CPU仿真及结果分析

|  |
| --- |
| （要求：包含数据冒险、控制冒险的仿真截图，以及结果分析） |
|  |

3 设计过程中遇到的问题及解决方法

|  |
| --- |
| （包括设计过程中的错误及测试过程中遇到的问题） |

4 总结

|  |
| --- |
| （要求：个人收获以及对课程的建议） |
|  |