

计算机组成原理

第七讲

刘松波

哈工大计算学部

模式识别与智能系统研究中心

第4章 存储器

4.1 概述

4.2 主存储器

4.3 高速缓冲存储器

4.4 辅助存储器

4.2 主存储器

一、概述

二、半导体芯片简介

三、随机存取存储器 (RAM)

1. 静态 RAM (SRAM)

2. 动态 RAM (DRAM)

3. 动态RAM和静态RAM的比较

3. 动态 RAM 和静态 RAM 的比较

	<div>主存</div> DRAM	SRAM <div>缓存</div>
存储原理	电容	触发器
集成度	高	低
芯片引脚	少	多
功耗	小	大
价格	低	高
速度	慢	快
刷新	有	无

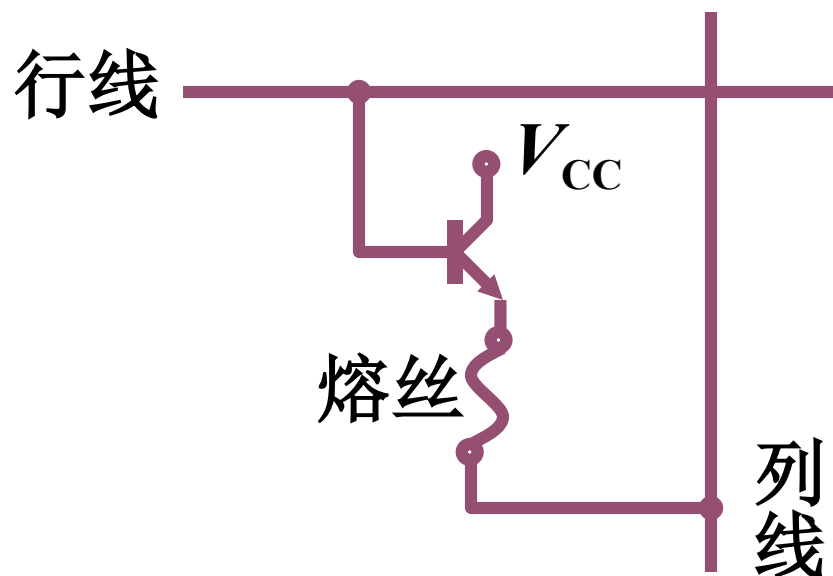
四、只读存储器（ROM）

1. 掩模 ROM (MROM)

行列选择线交叉处有 MOS 管为 “1”

行列选择线交叉处无 MOS 管为 “0”

2. PROM (一次性编程)

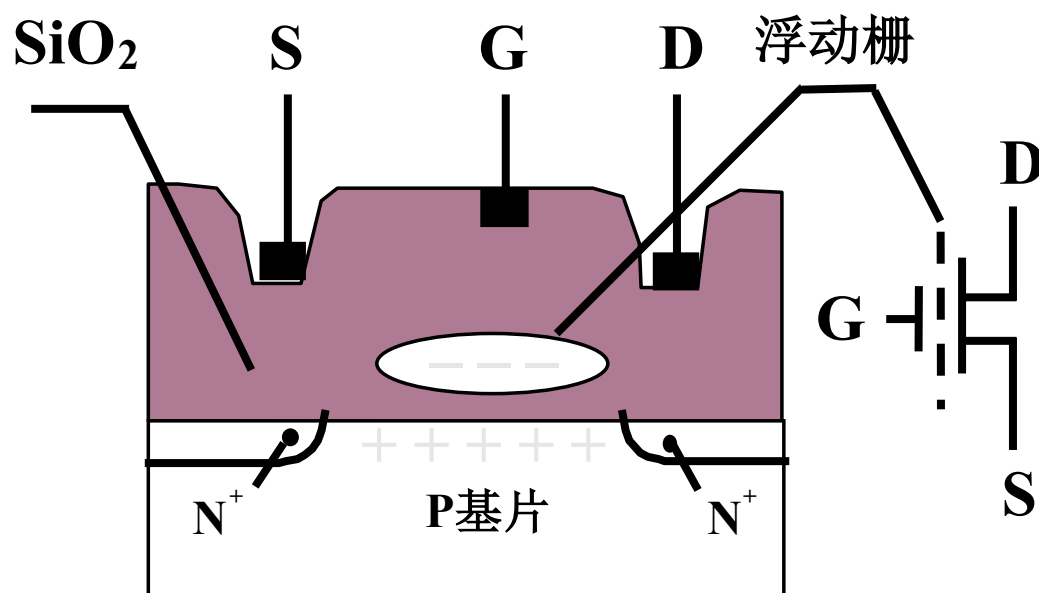


熔丝断 为 “0”

熔丝未断 为 “1”

3. EPROM (多次性编程)

(1) N型沟道浮动栅 MOS 电路



G 栅极

S 源

D 漏

紫外线全部擦洗

D 端加正电压

形成浮动栅

S 与 D 不导通为 “0”

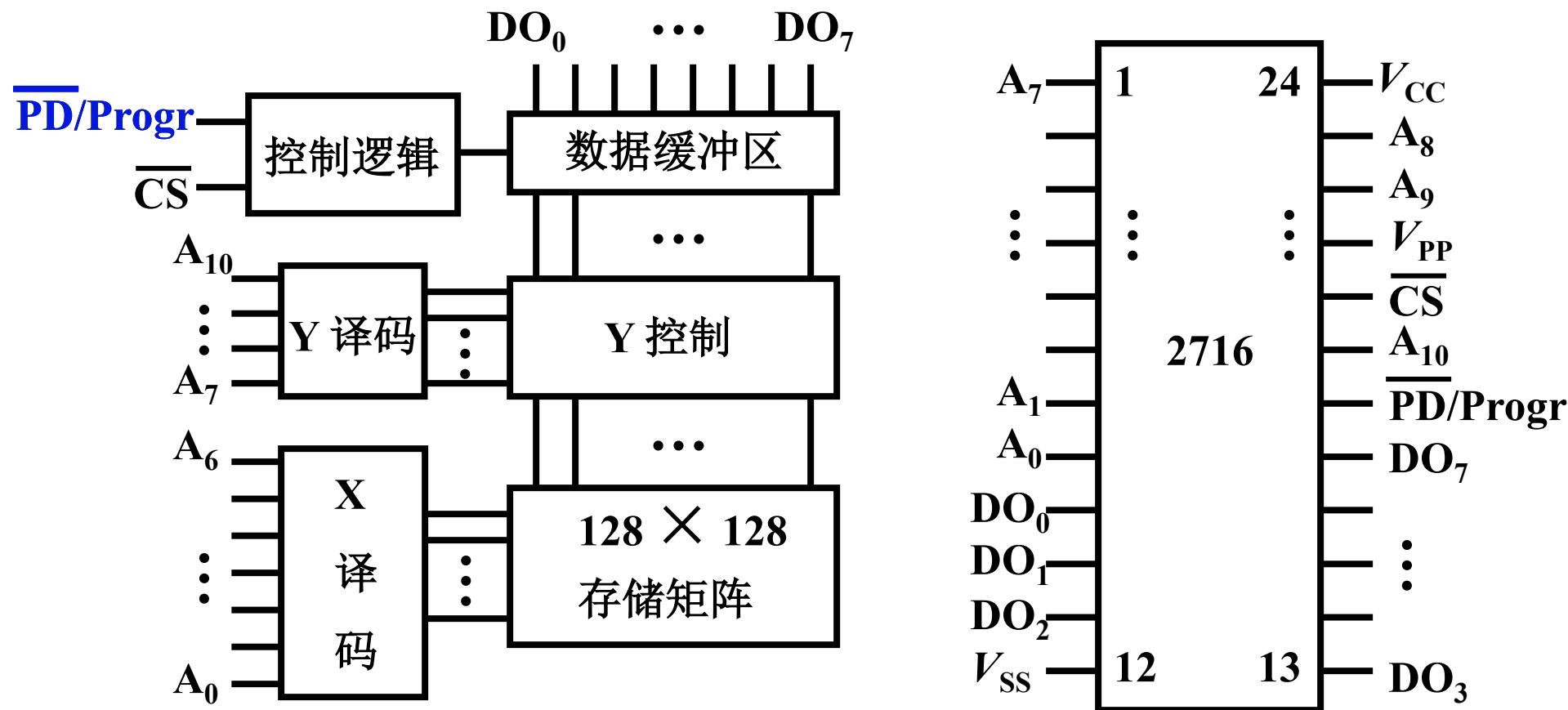
D 端不加正电压

不形成浮动栅

S 与 D 导通为 “1”

(2) 2716 EPROM 的逻辑图和引脚

4.2



$\overline{\text{PD/Progr}}$ 功率下降 / 编程输入端 读出时为低电平

4. EEPROM (多次性编程)

电可擦写

局部擦写

全部擦写

5. Flash Memory (闪速型存储器)

EPROM

价格便宜 集成度高

EEPROM

电可擦写重写

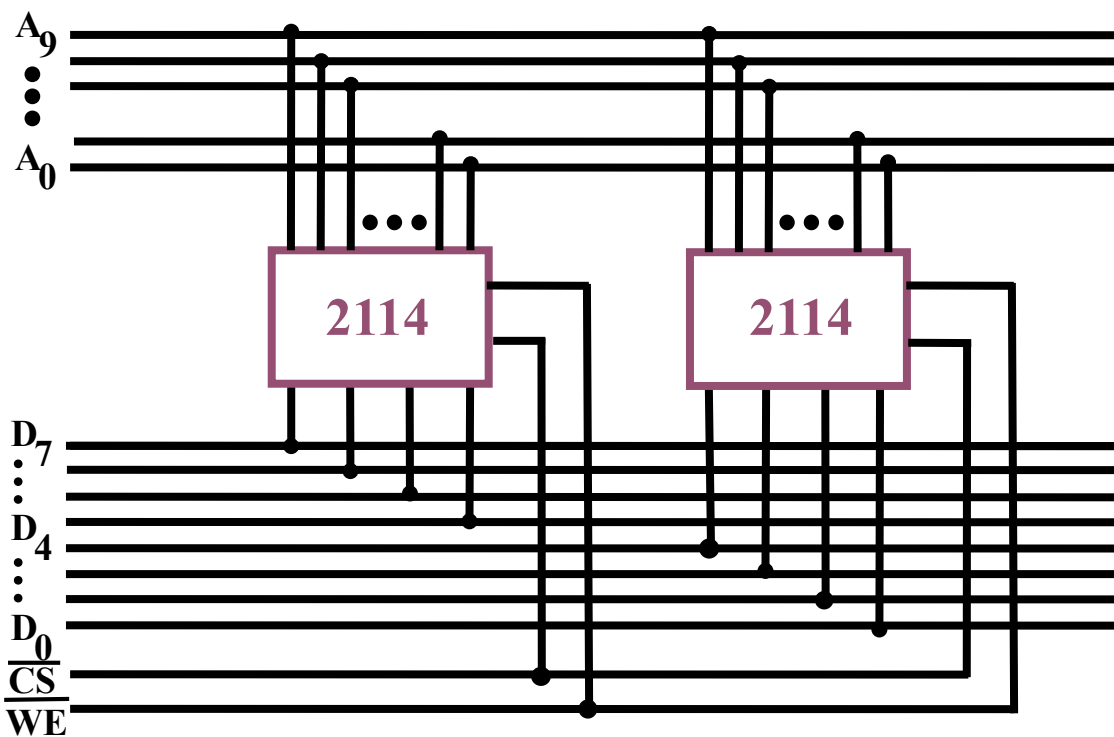
比 EEPROM 快 具备 RAM 功能

五、存储器与 CPU 的连接

1. 存储器容量的扩展

(1) 位扩展（增加存储字长）

用 2 片 $1K \times 4$ 位 存储芯片组成 $1K \times 8$ 位的存储器



10根地址线

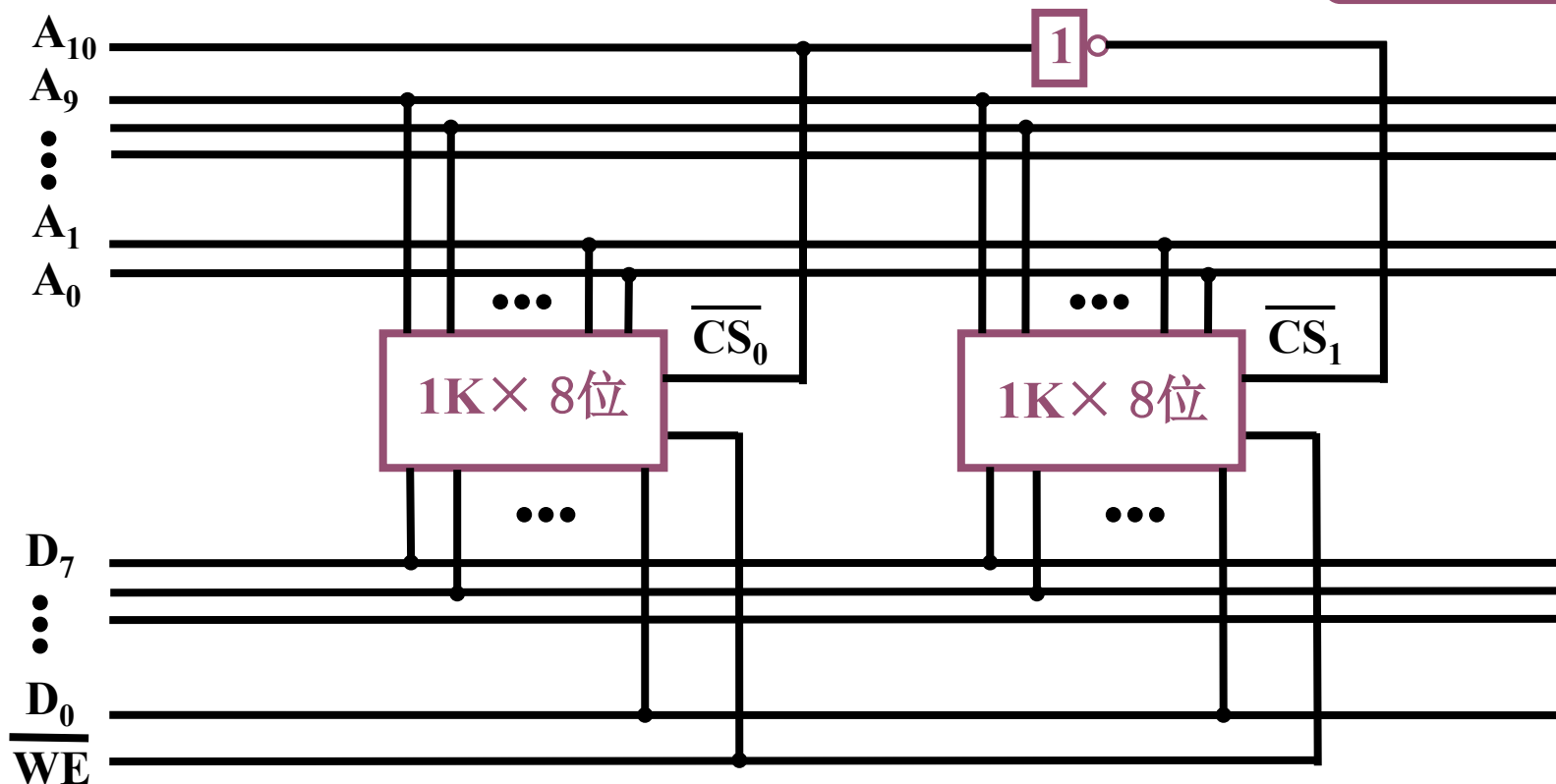
8根数据线

(2) 字扩展（增加存储字的数量）

11根地址线

用 2 片 $1\text{K} \times 8$ 位 存储芯片组成 $2\text{K} \times 8$ 位的存储器

8根数据线



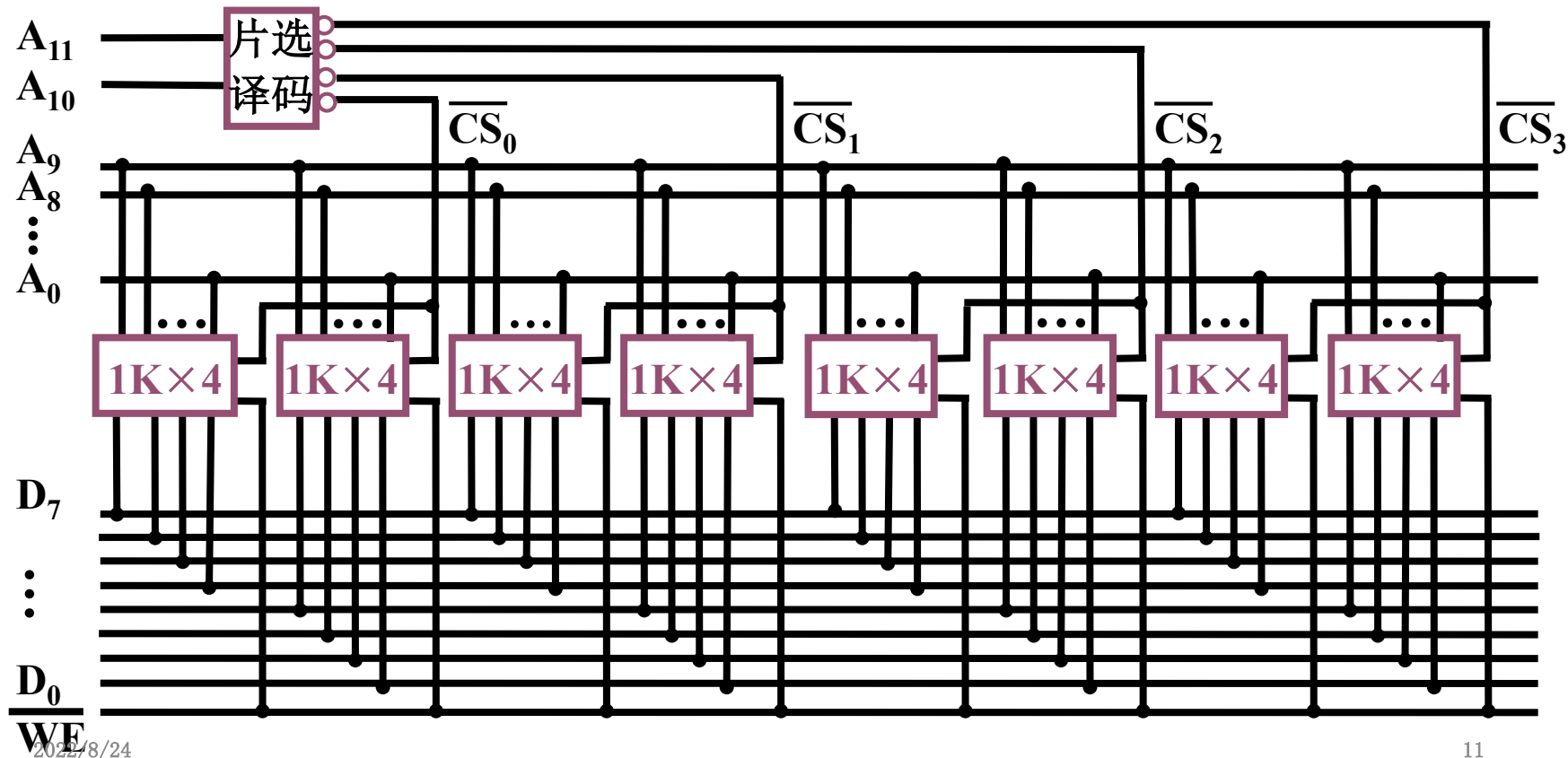
(3) 字、位扩展

4.2

用 8 片 $1\text{K} \times 4$ 位 存储芯片组成 $4\text{K} \times 8$ 位的存储器

12根地址线

8根数据线



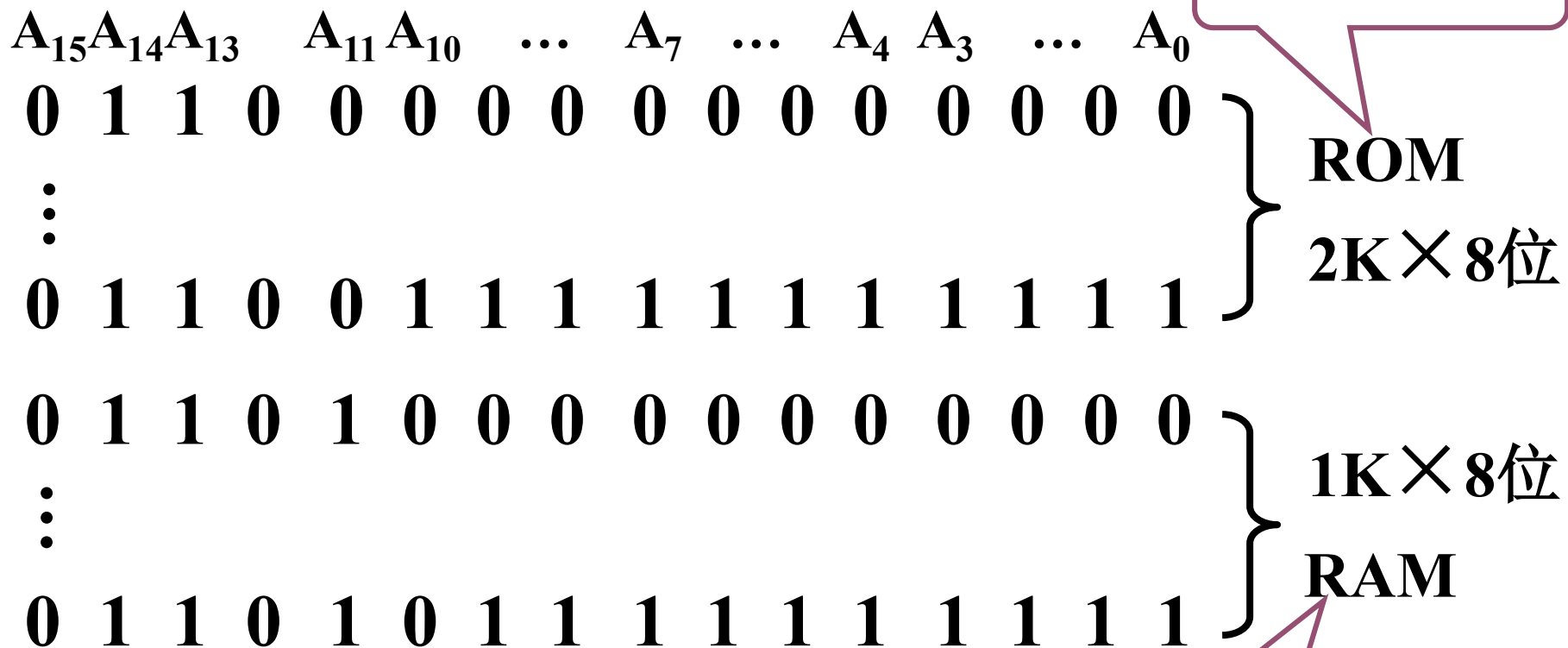
2. 存储器与 CPU 的连接

- (1) 地址线的连接
- (2) 数据线的连接
- (3) 读/写命令线的连接
- (4) 片选线的连接
- (5) 合理选择存储芯片
- (6) 其他 时序、负载

例4.1 解:

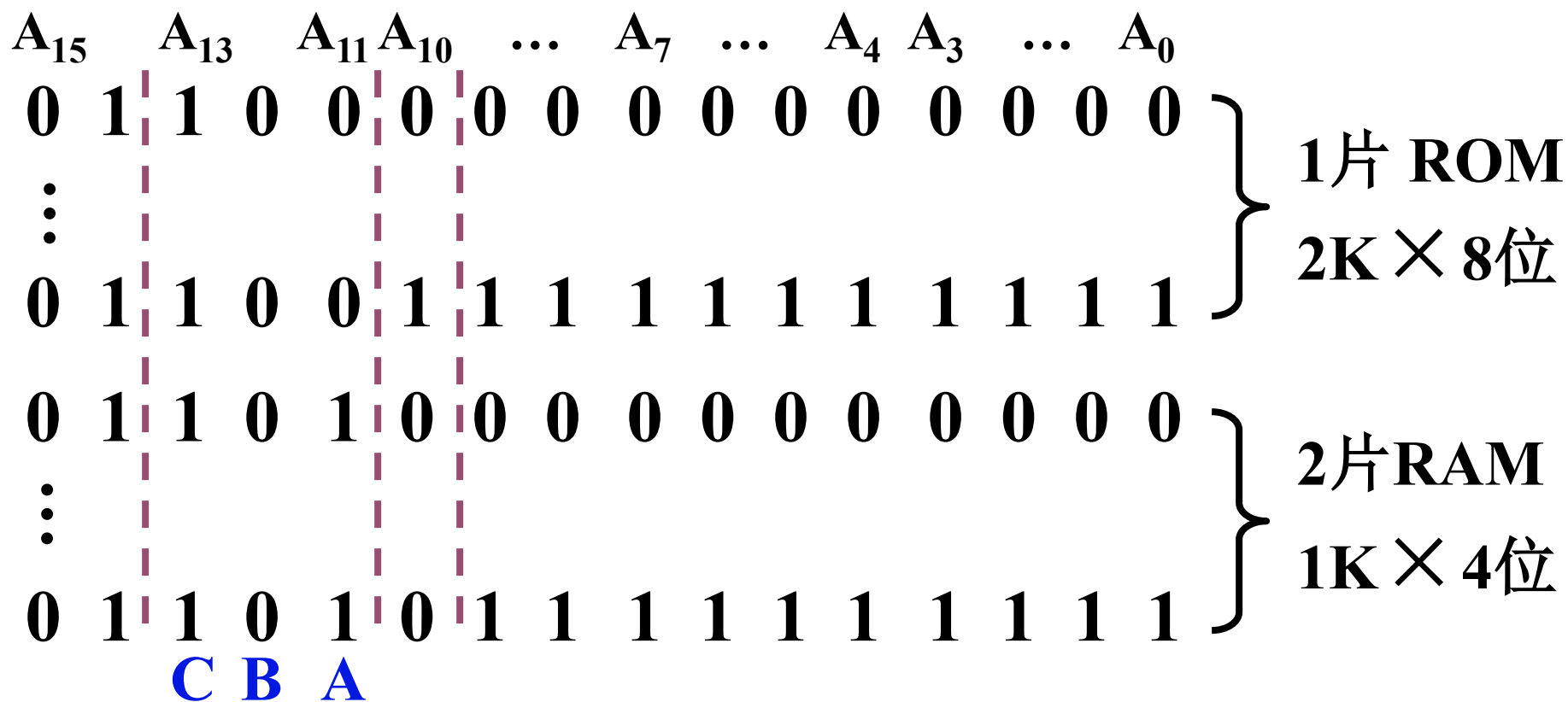
4.2

(1) 写出对应的二进制地址码



(2) 确定芯片的数量及类型

(3) 分配地址线



A₁₀~A₀ 接 2K × 8位 ROM 的地址线

A₉ ~ A₀ 接 1K × 4位 RAM 的地址线

(4) 确定片选信号

例 4.1 CPU 与存储器的连接图

4.2

