计算机组成原理

第六讲

张 展

哈尔滨工业大学

容错与移动计算研究中心

第 4 章 存 储 器

4.2 主存储器

一、概述

1. 主存的基本组成
2. 主存和CPU的联系
3. 主存中存储单元地址的分配
4. 主存的技术指标

二、半导体芯片简介概述

1. 半导体存储芯片的基本结构
2. 半导体存储芯片的译码驱动方式

三、随机存取存储器 (RAM)

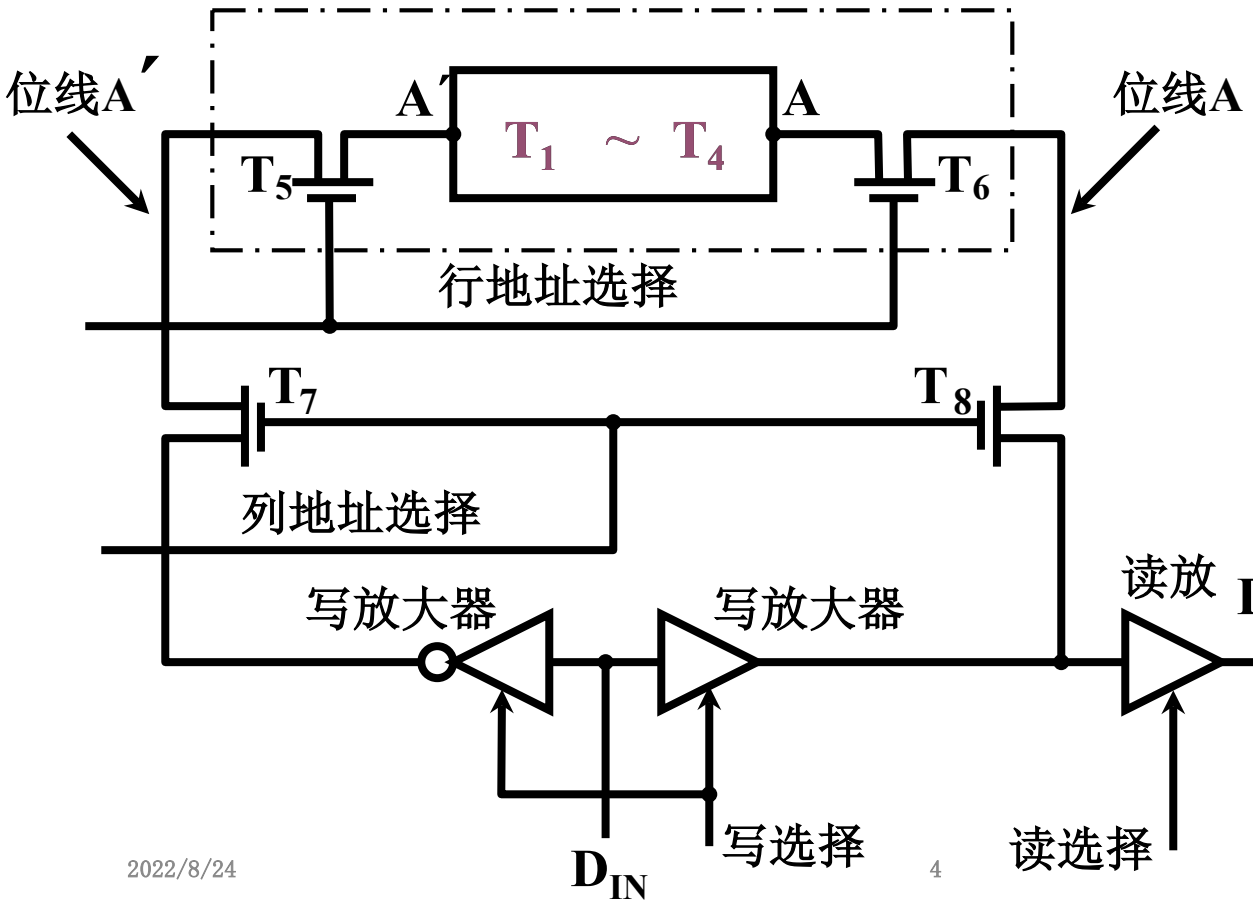
1. 静态 RAM (SRAM)

三、随机存取存储器 (RAM)

4.2

1. 静态 RAM (SRAM)

(1) 静态 RAM 基本电路



$T_1 \sim T_4$ 触发器

T_5 、T_6 行开关

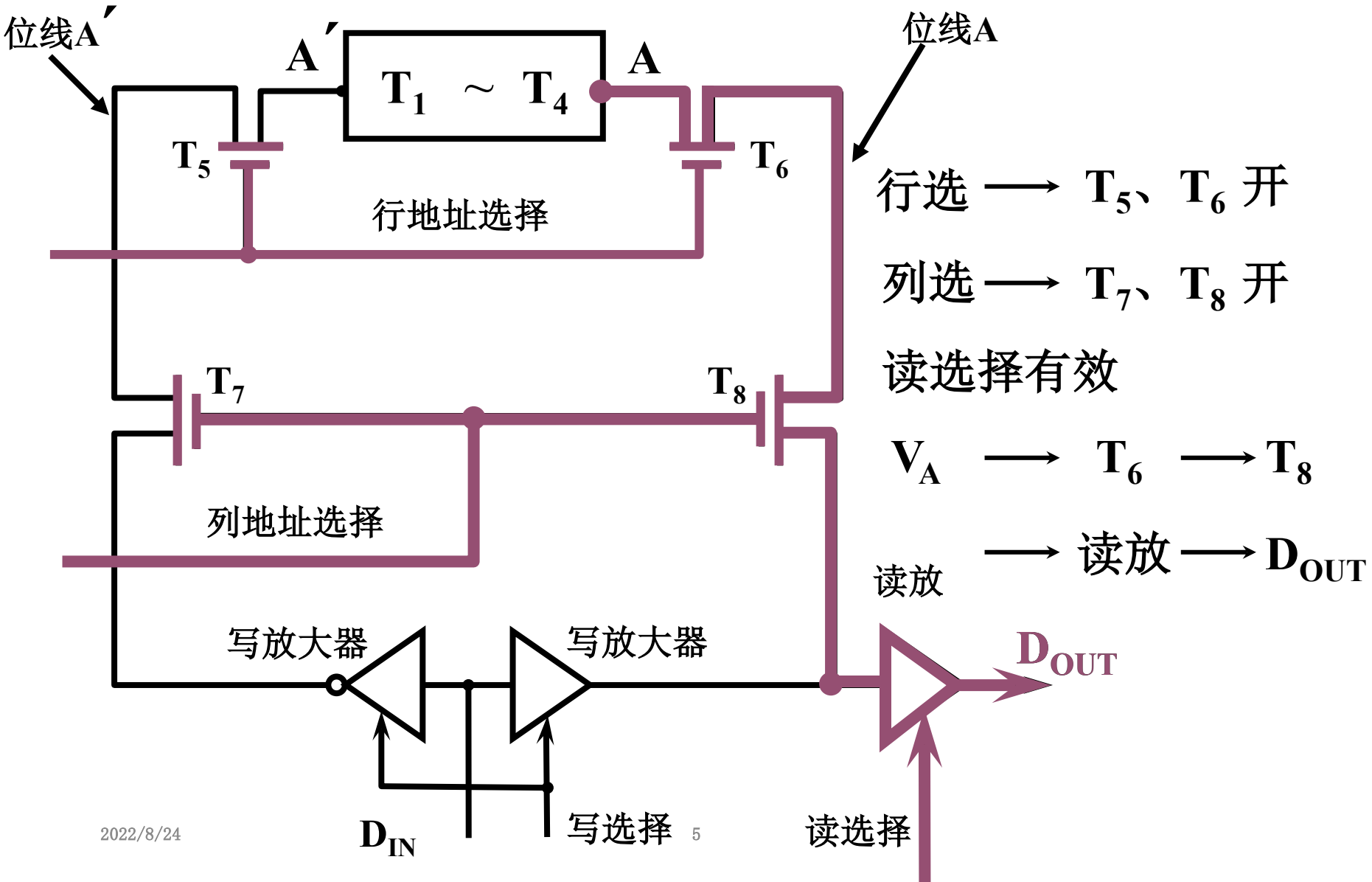
T_7 、T_8 列开关

T_7 、T_8 一列共用

A 触发器原端

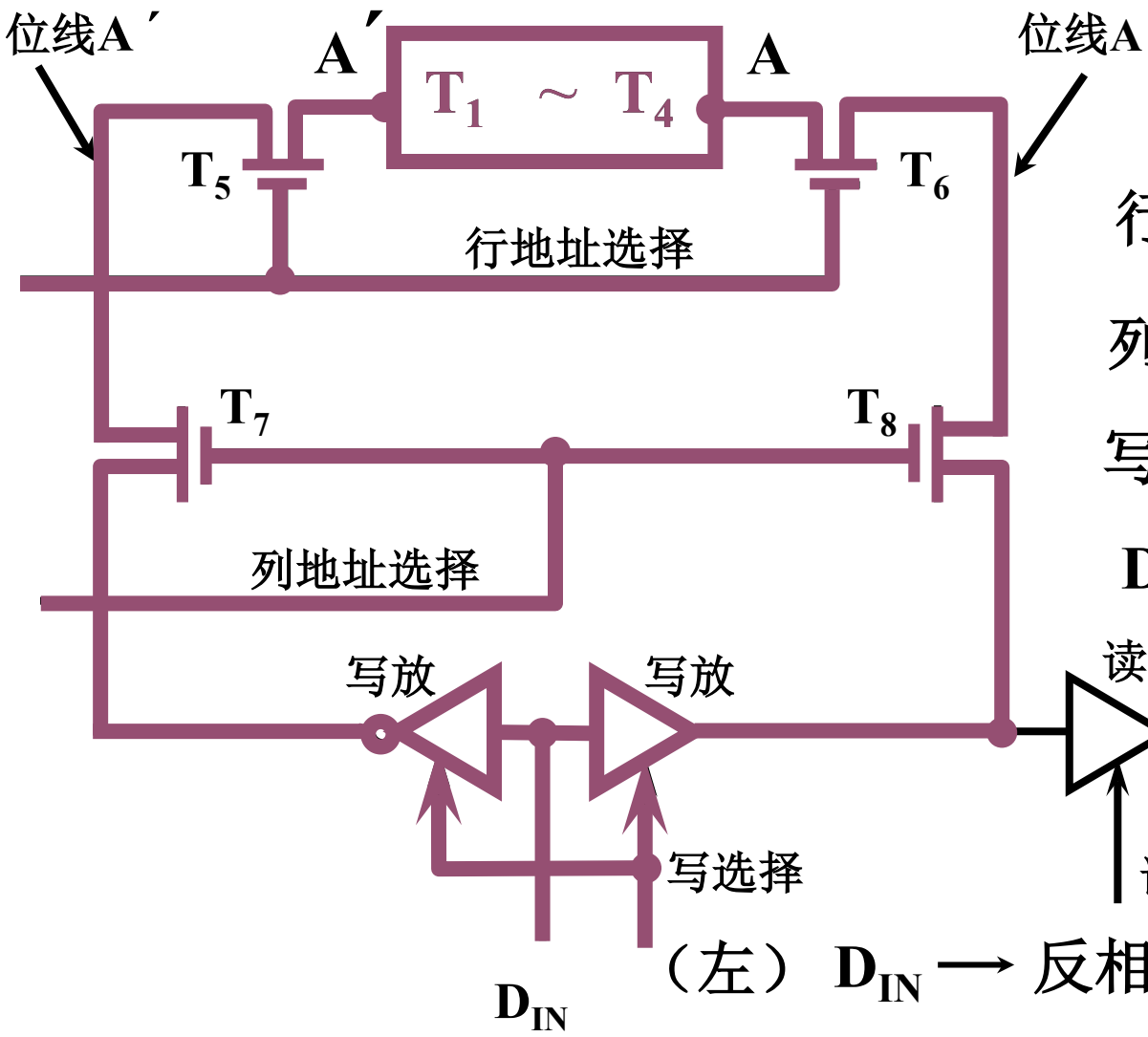
A′ 触发器非端

① 静态 RAM 基本电路的 读 操作



② 静态 RAM 基本电路的 写 操作

4.2



行选 ⟶ T_5、T_6 开

列选 ⟶ T_7、T_8 开

写选择有效

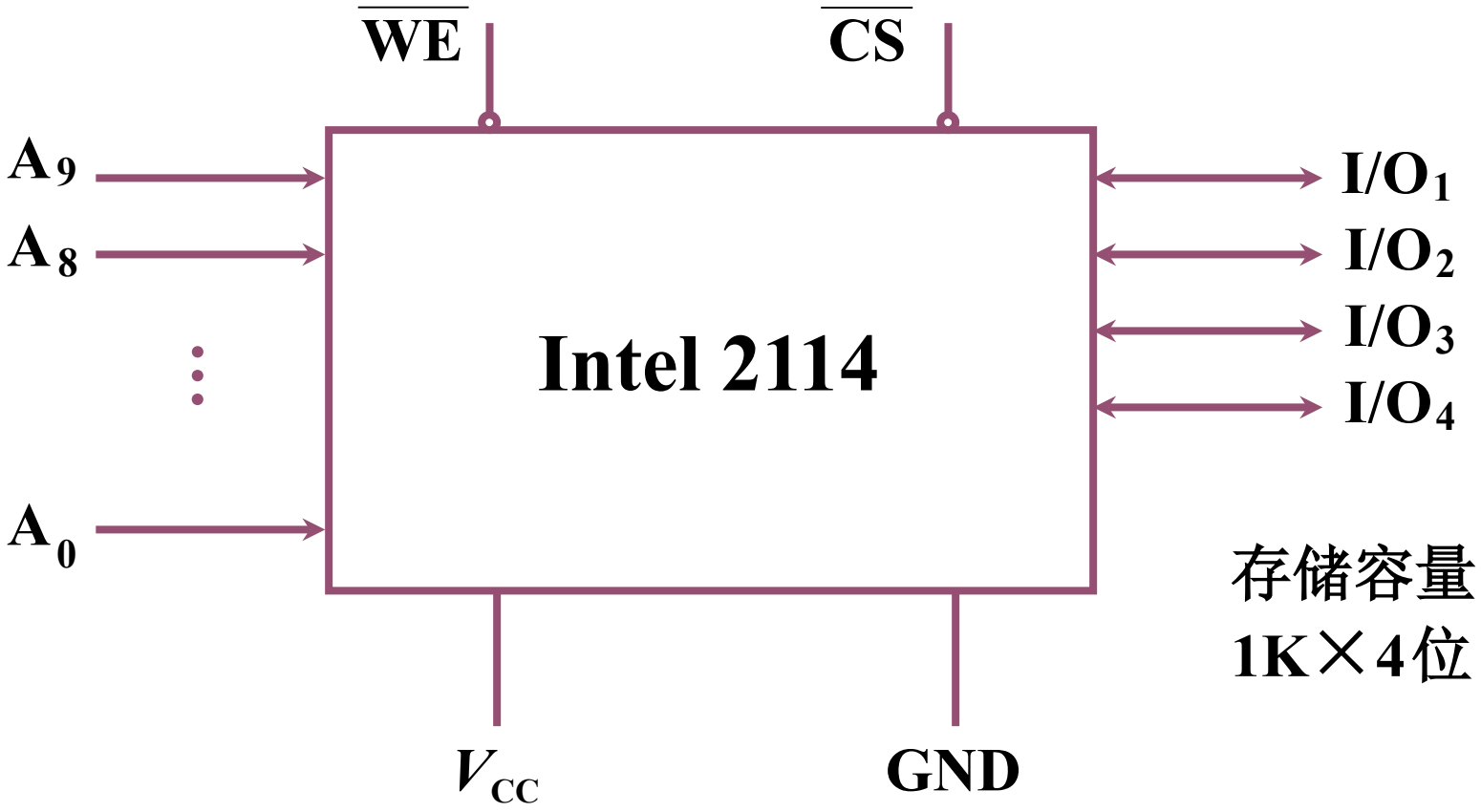
D_{IN} ⟶ 两个写放

（左） D_{IN} ⟶ 反相 ⟶ T_7 ⟶ T_5 ⟶ A′

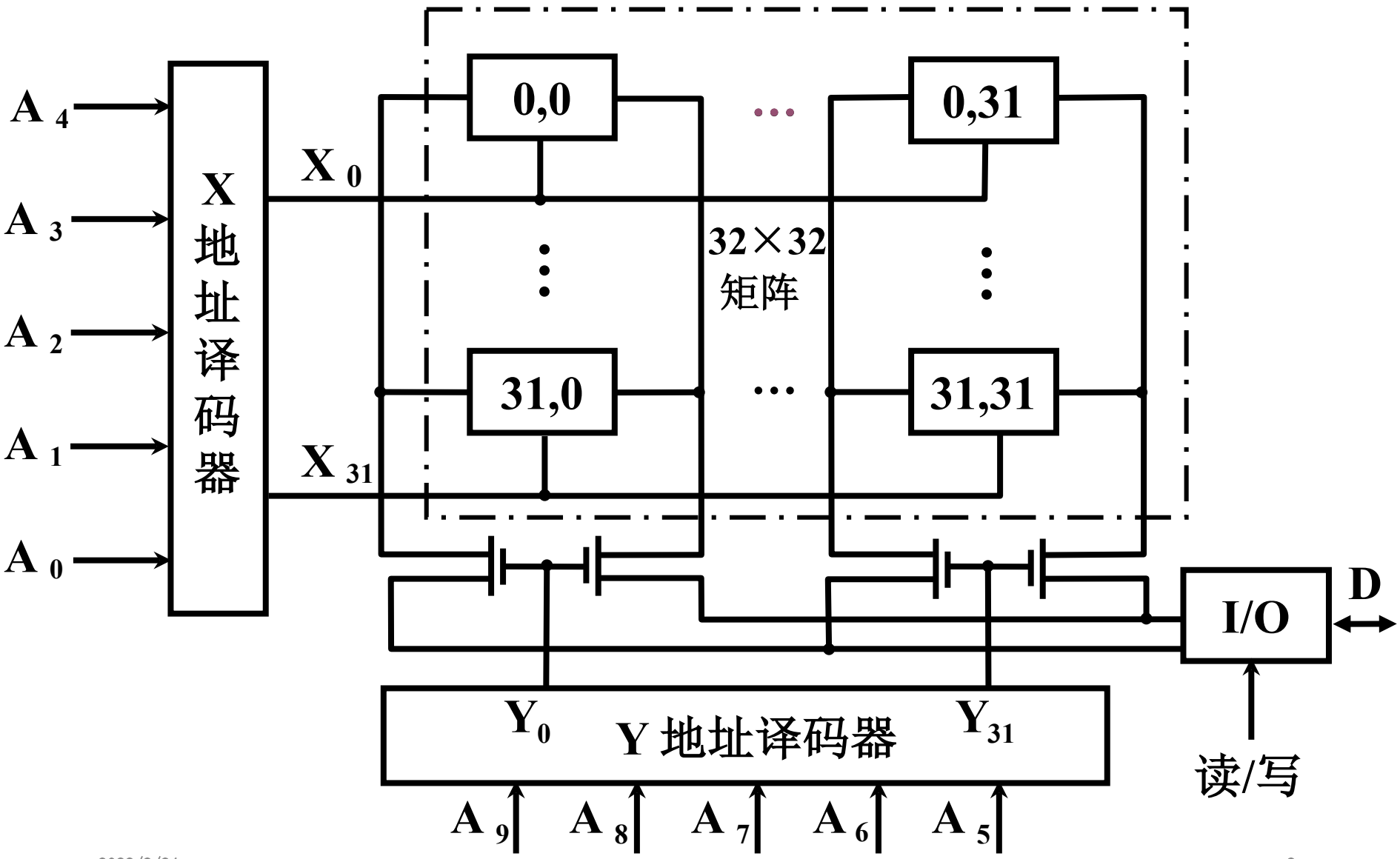
（右） D_{IN} ⟶ T_8 ⟶ T_6 ⟶ A

(2) 静态 RAM 芯片举例

① Intel 2114 外特性

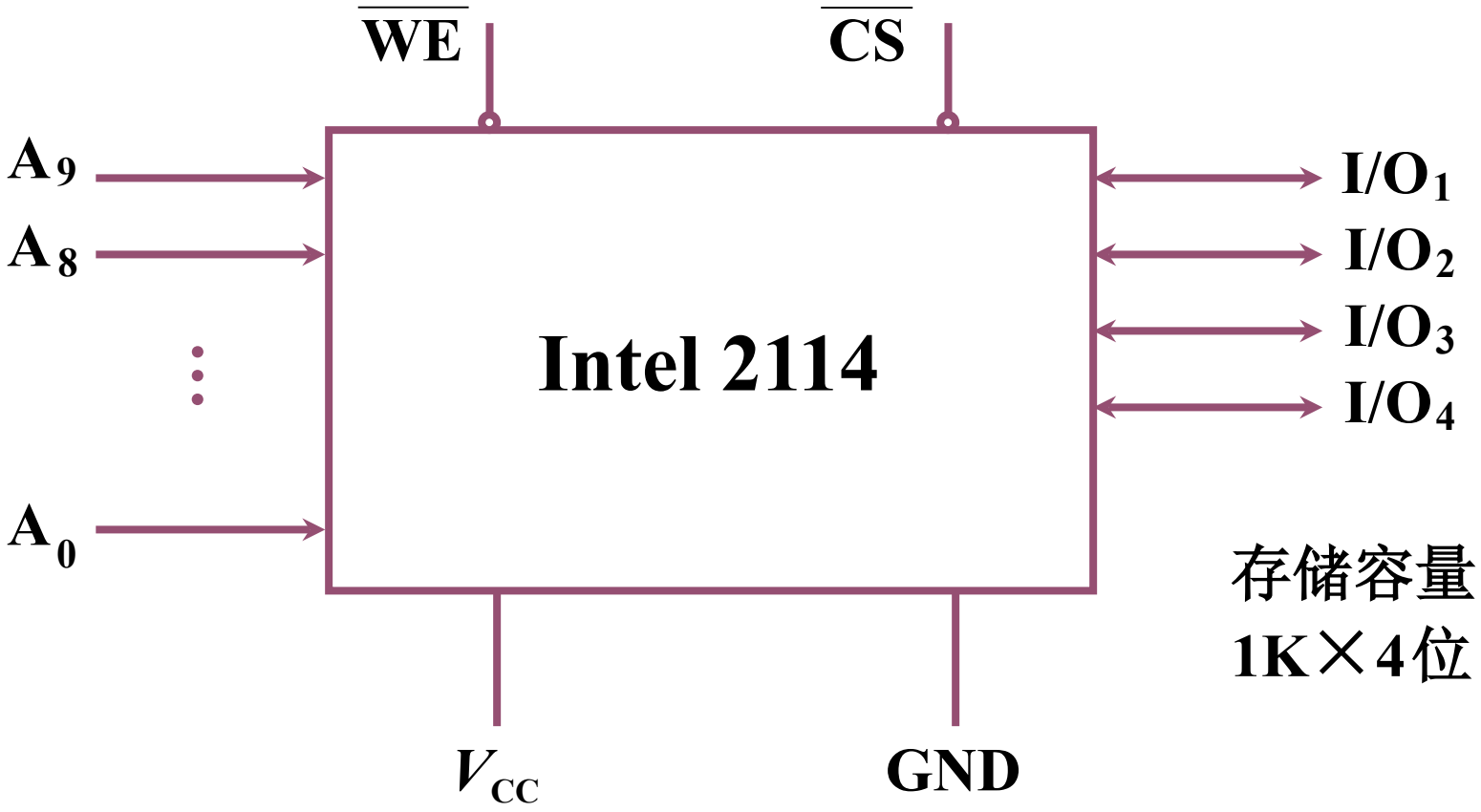


曾经讲到过的重合法，怎么实现选一次四列？



(2) 静态 RAM 芯片举例

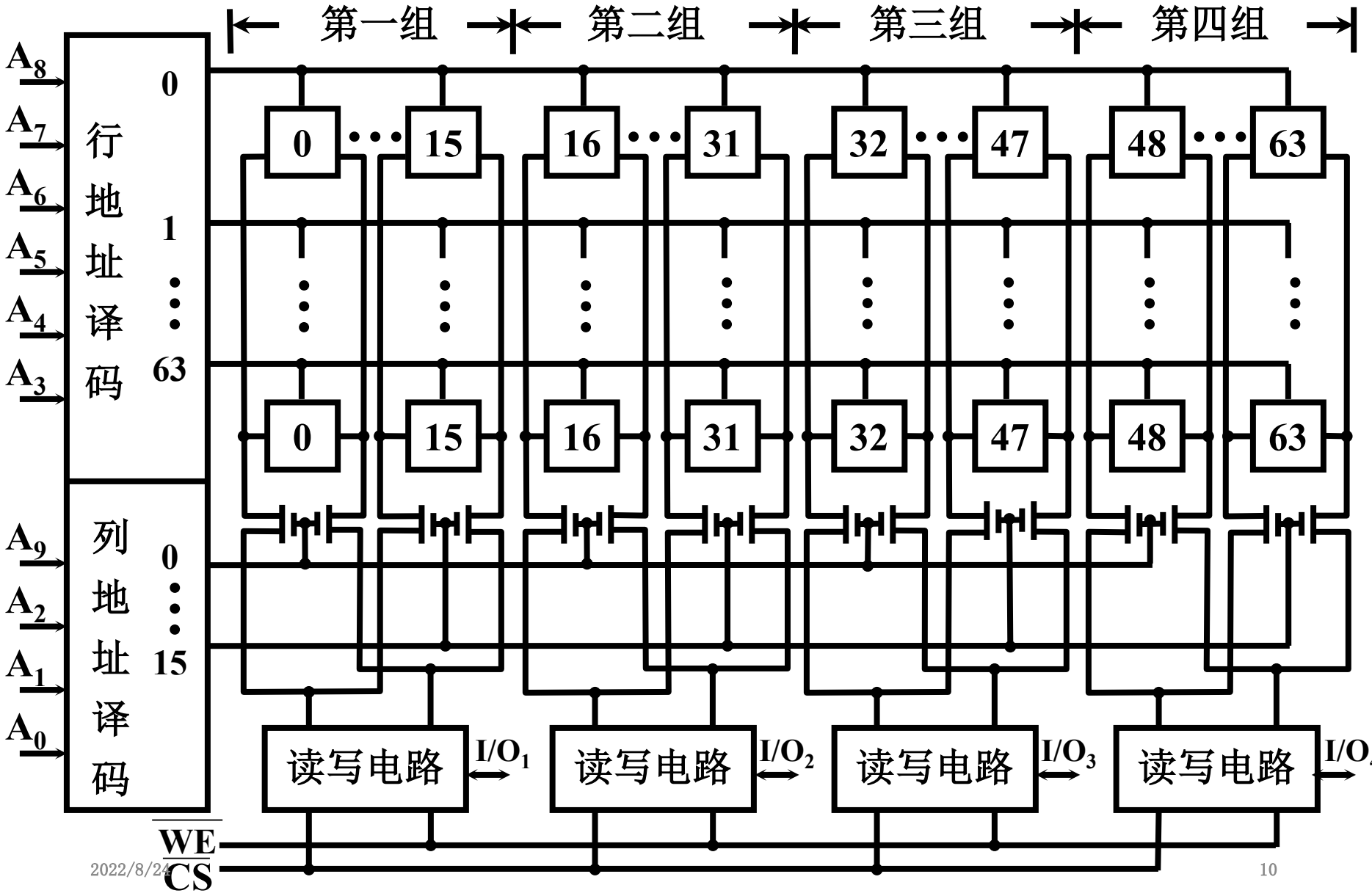
① Intel 2114 外特性



存储容量
1K×4位

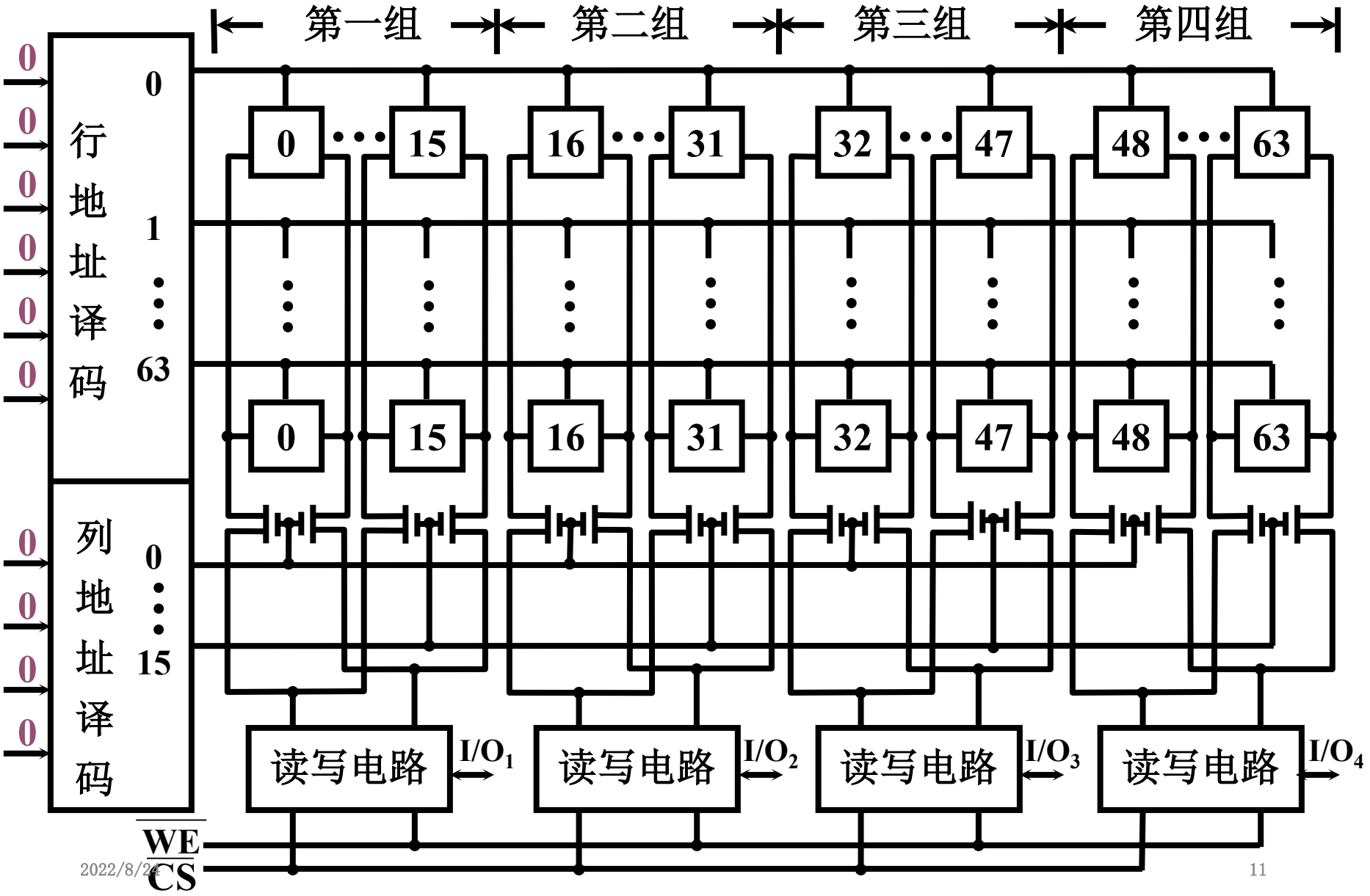
② Intel 2114 RAM 矩阵 (64 × 64) 读

4.2



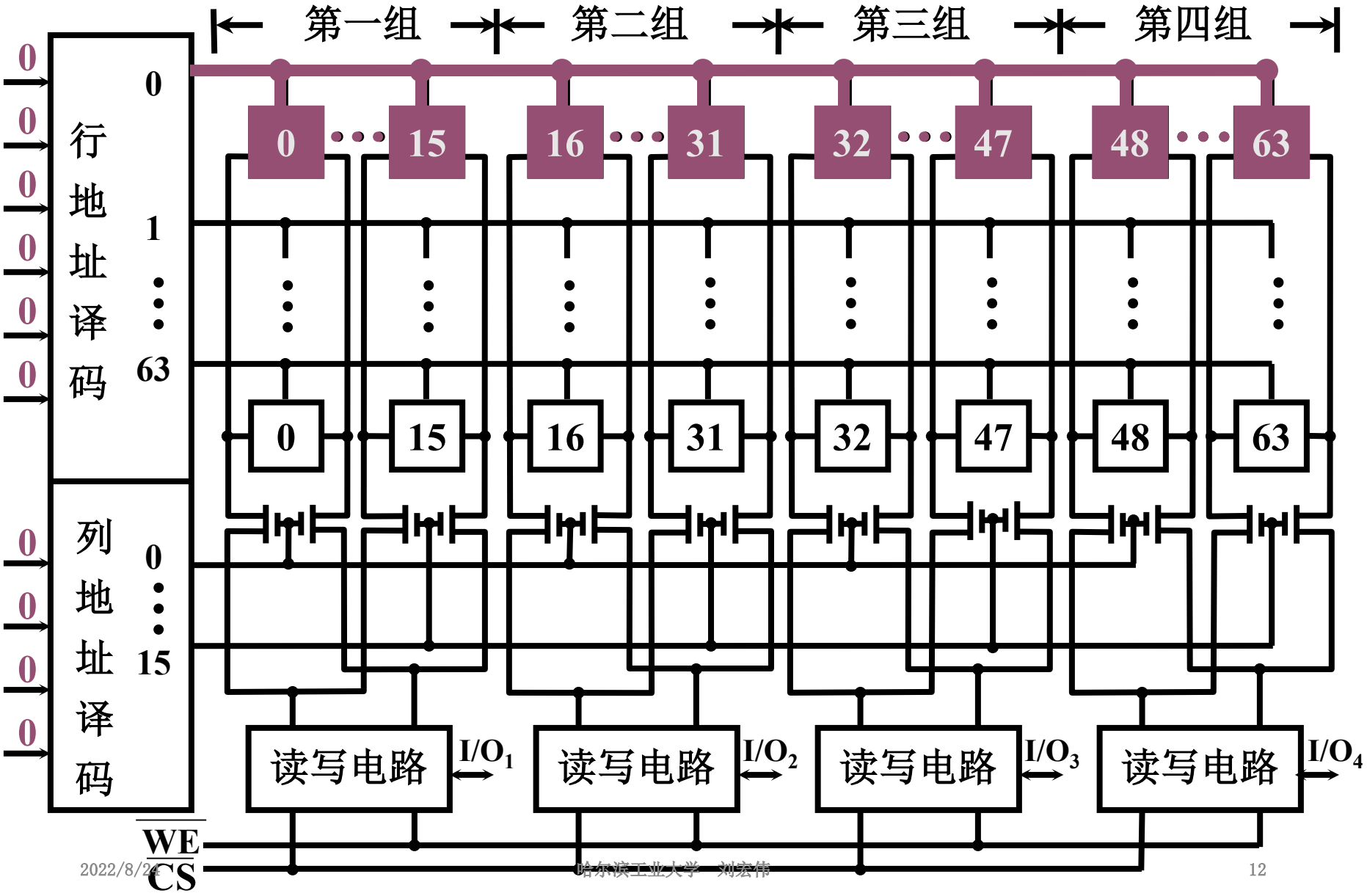
② Intel 2114 RAM 矩阵 (64 × 64) 读

4.2



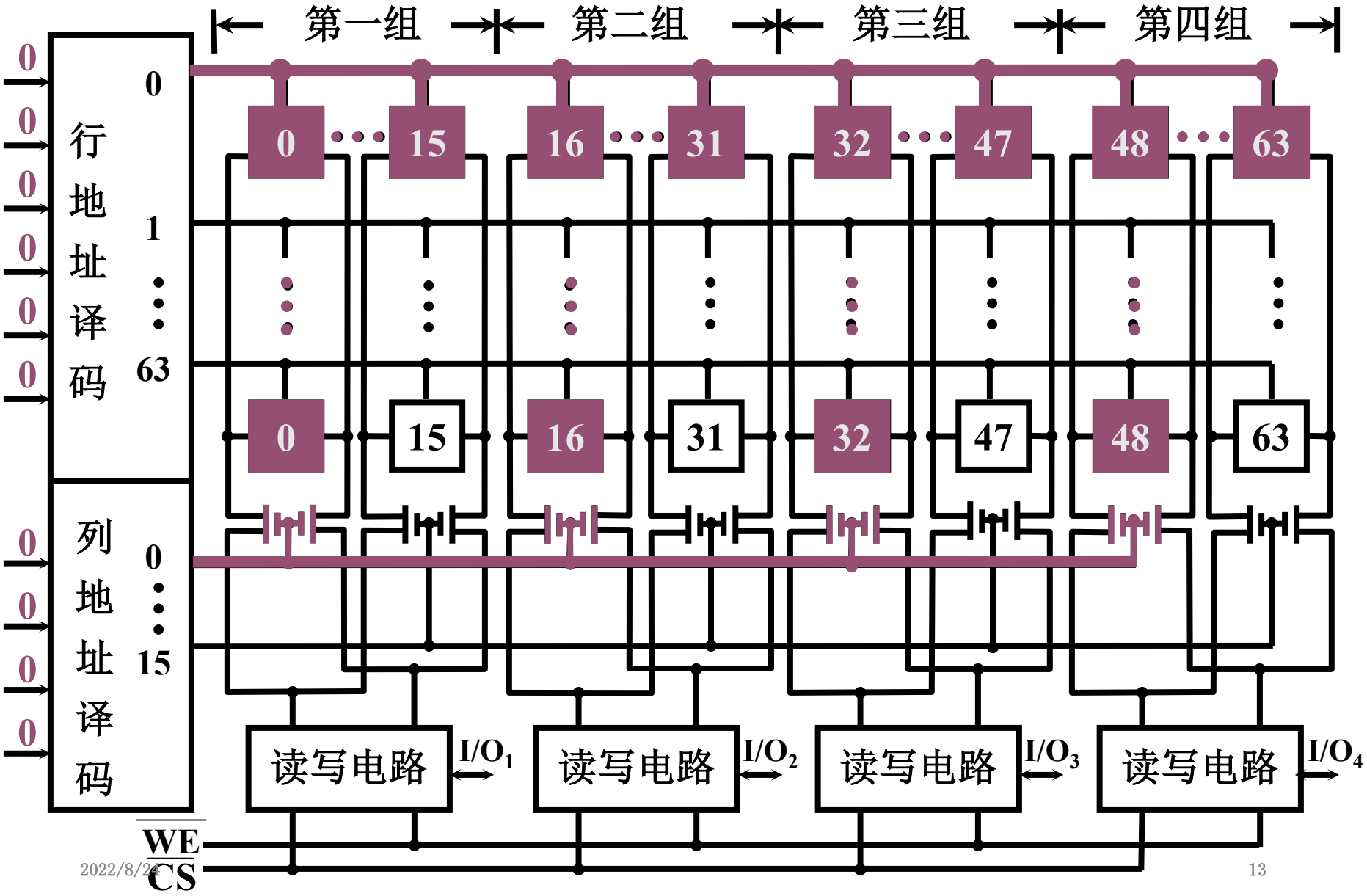
② Intel 2114 RAM 矩阵 (64 × 64) 读

4.2



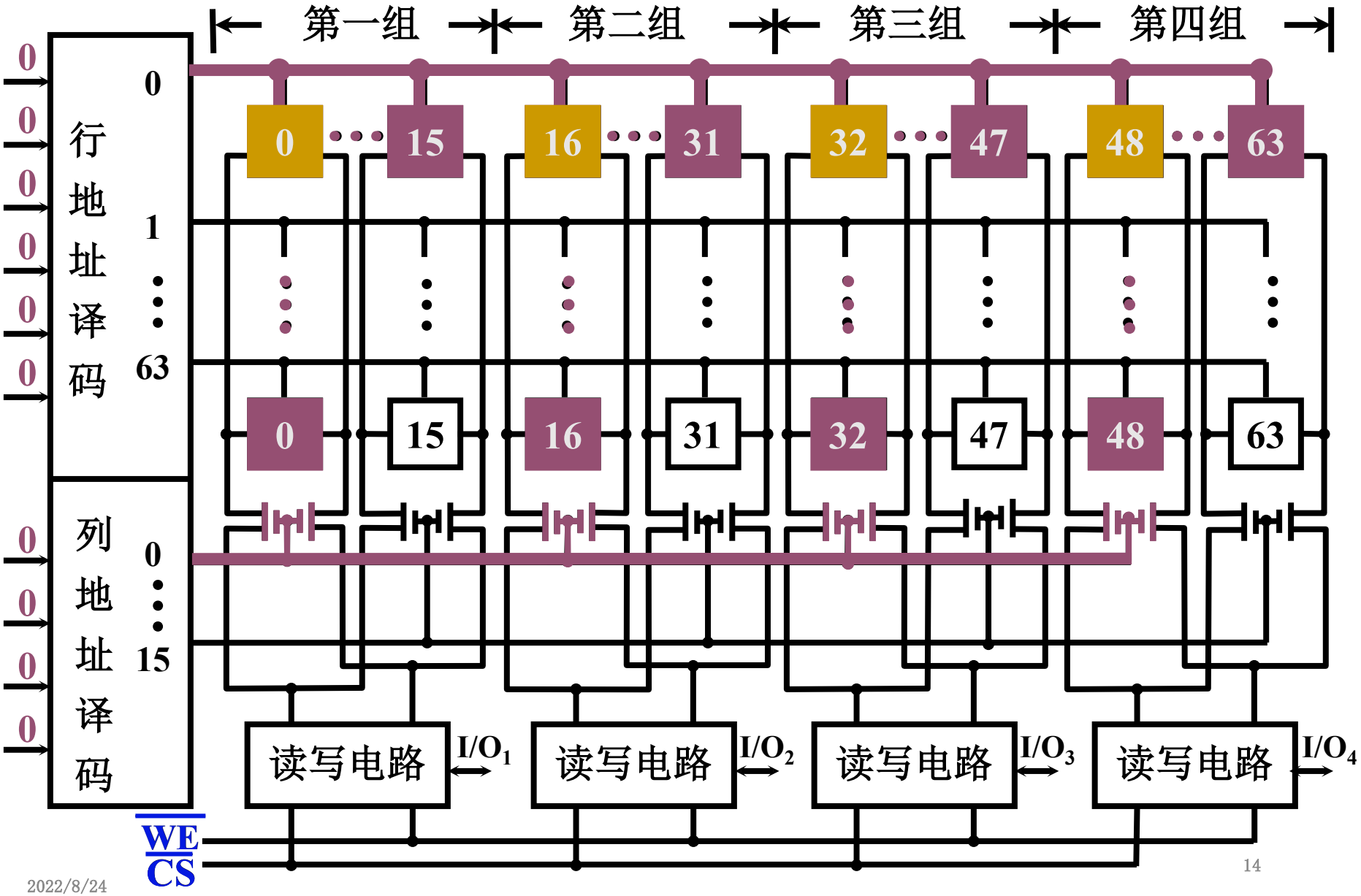
② Intel 2114 RAM 矩阵 (64 × 64) 读

4.2



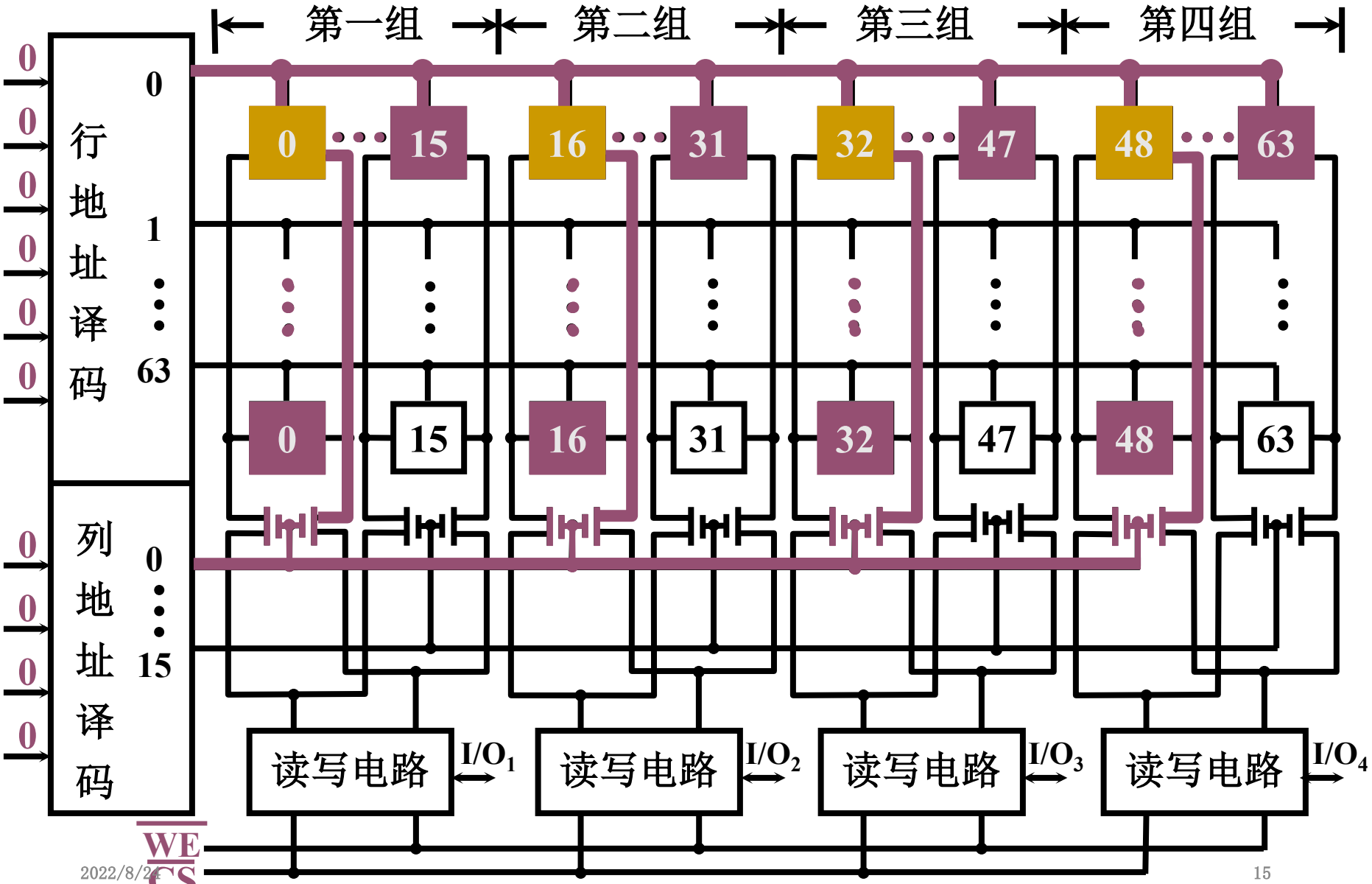
② Intel 2114 RAM 矩阵 (64 × 64) 读

4.2



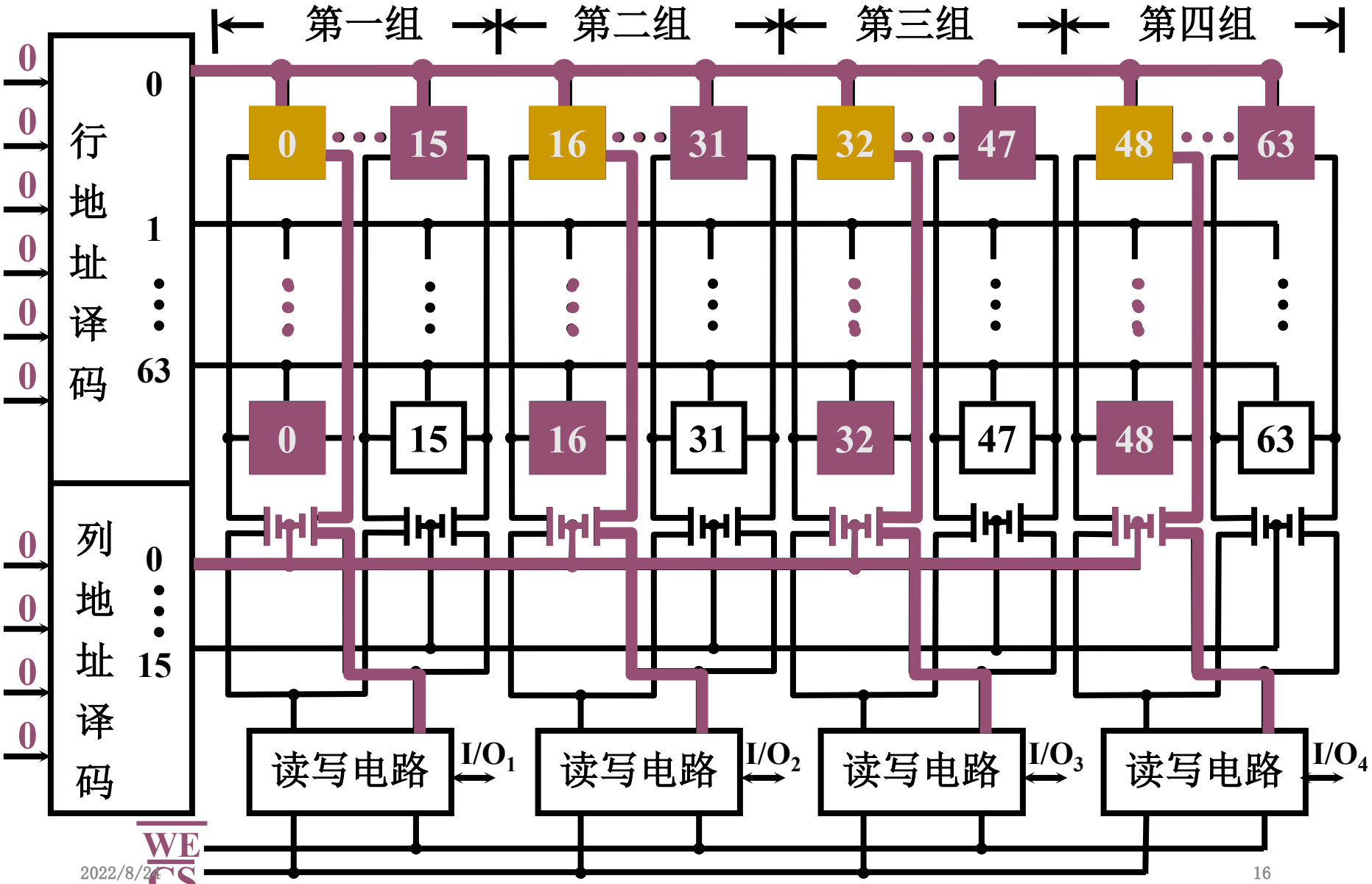
② Intel 2114 RAM 矩阵 (64 × 64) 读

4.2



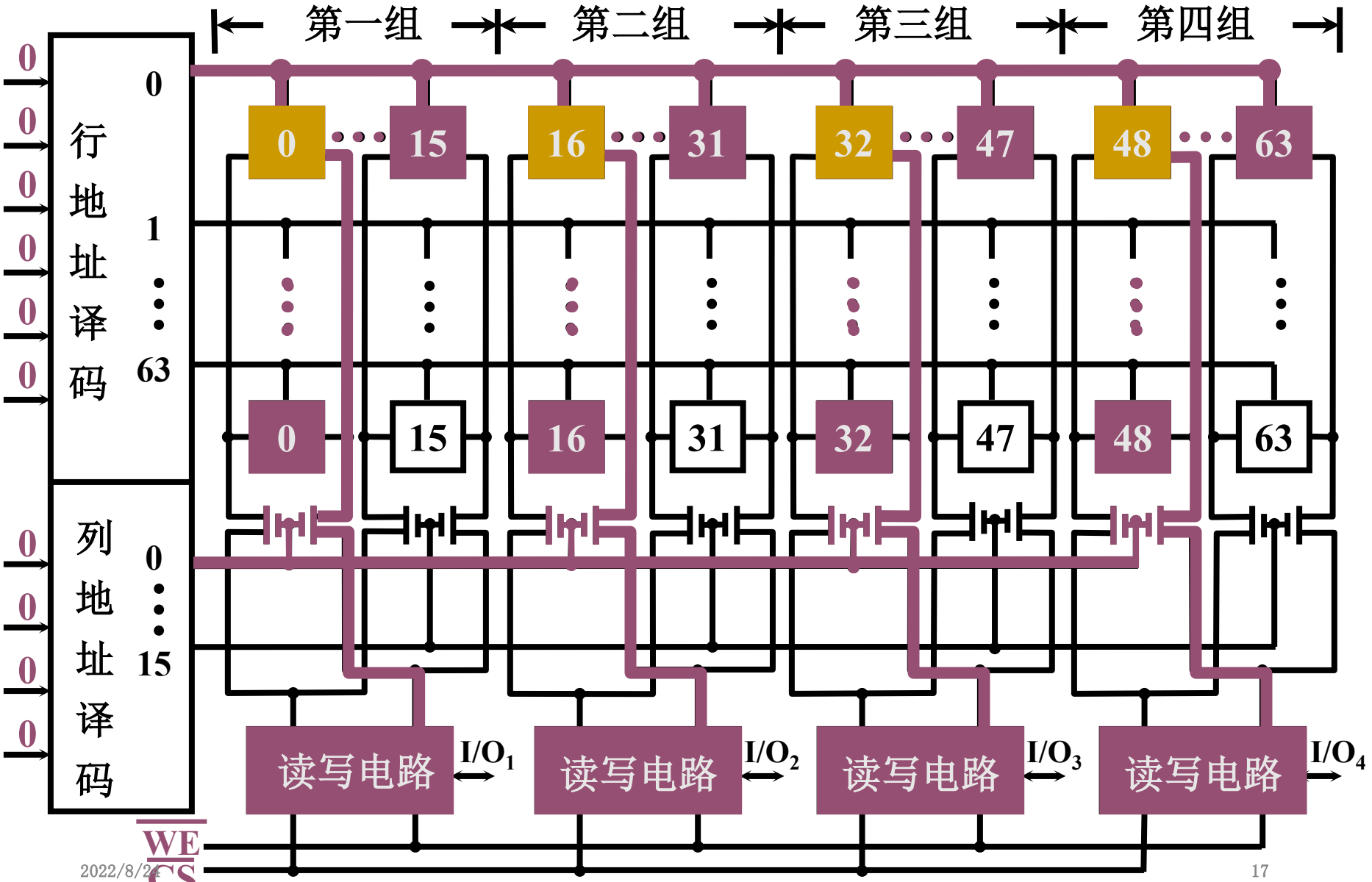
② Intel 2114 RAM 矩阵 (64 × 64) 读

4.2



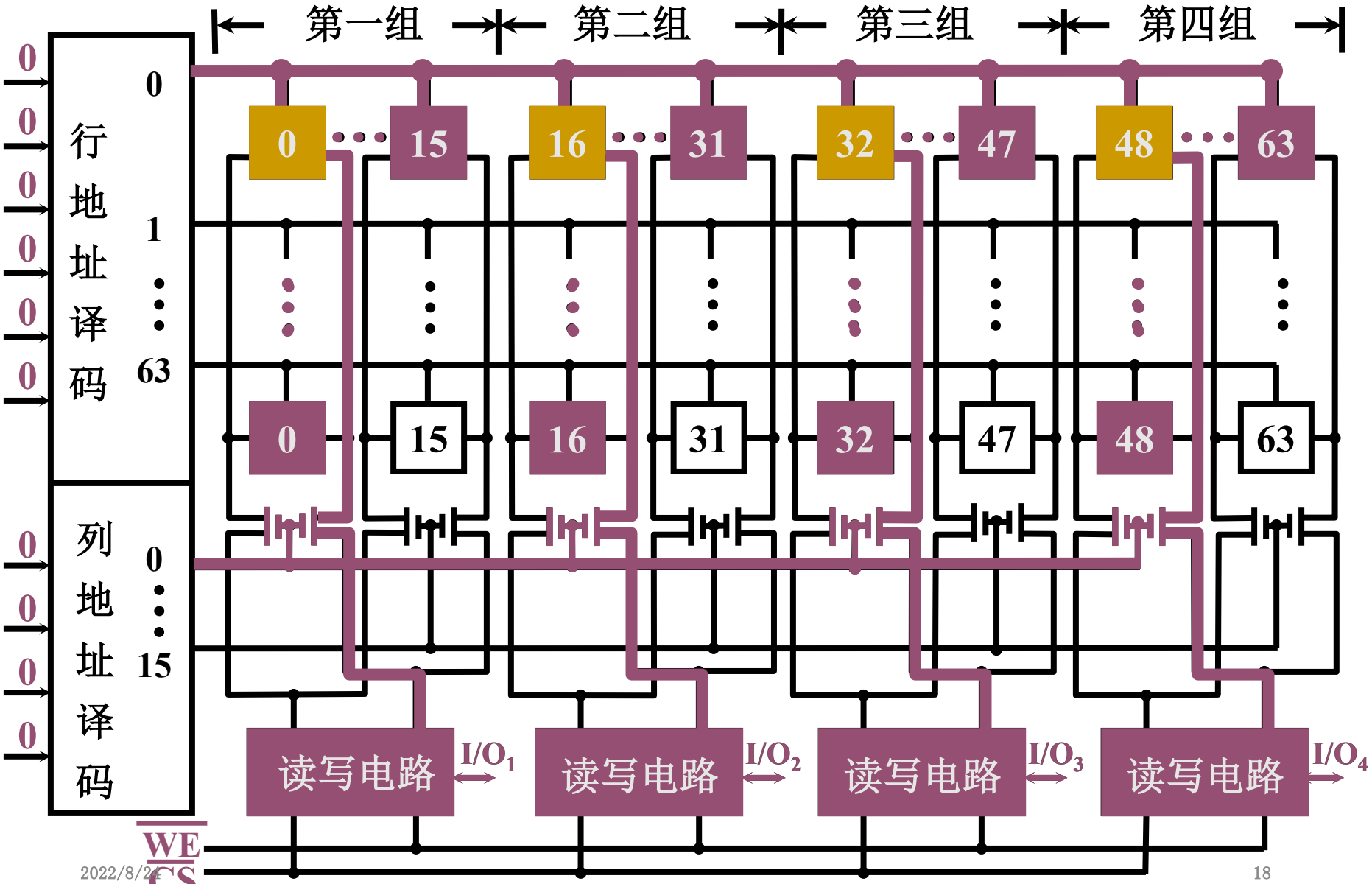
② Intel 2114 RAM 矩阵 (64 × 64) 读

4.2



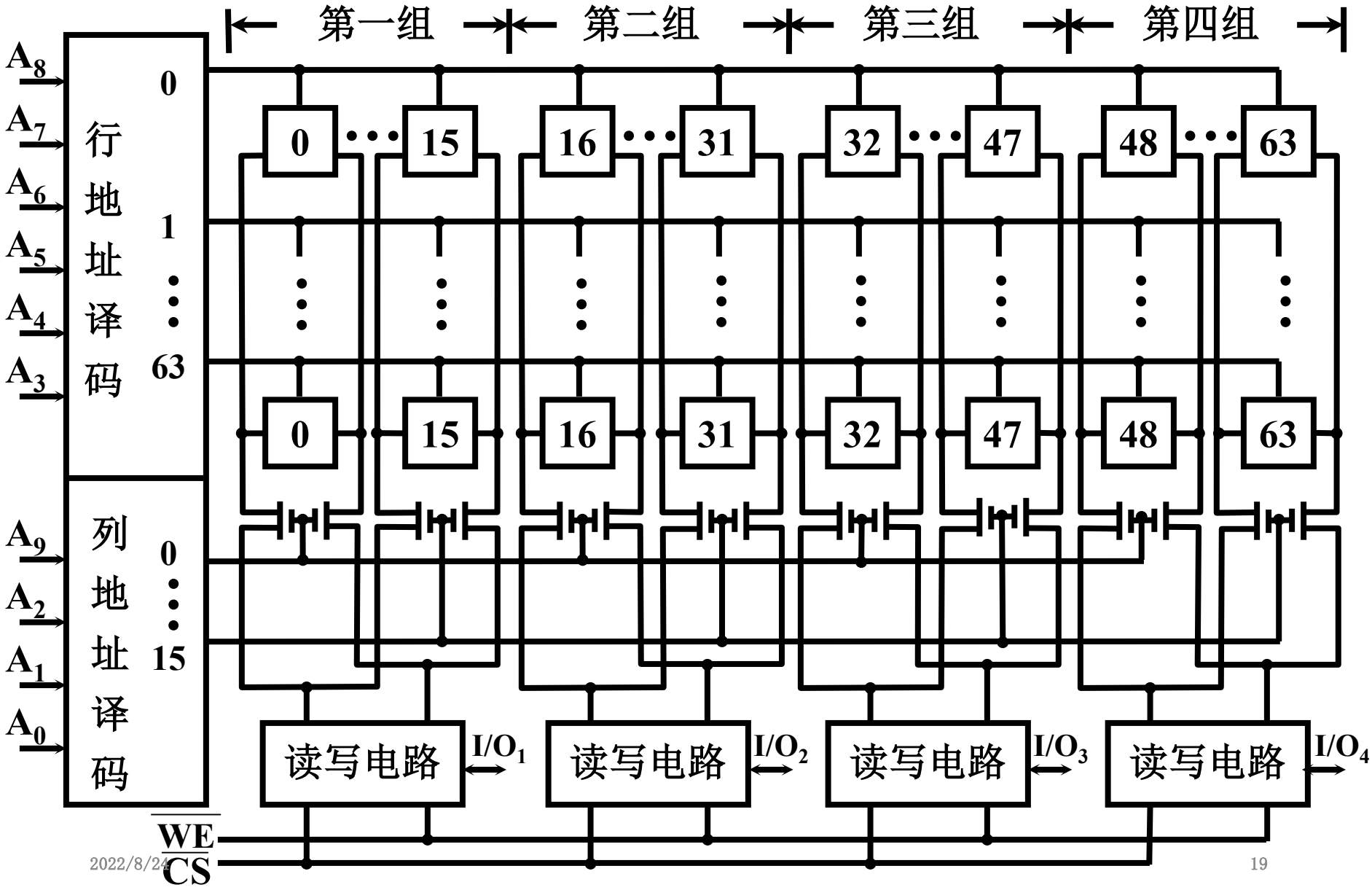
② Intel 2114 RAM 矩阵 (64 × 64) 读

4.2



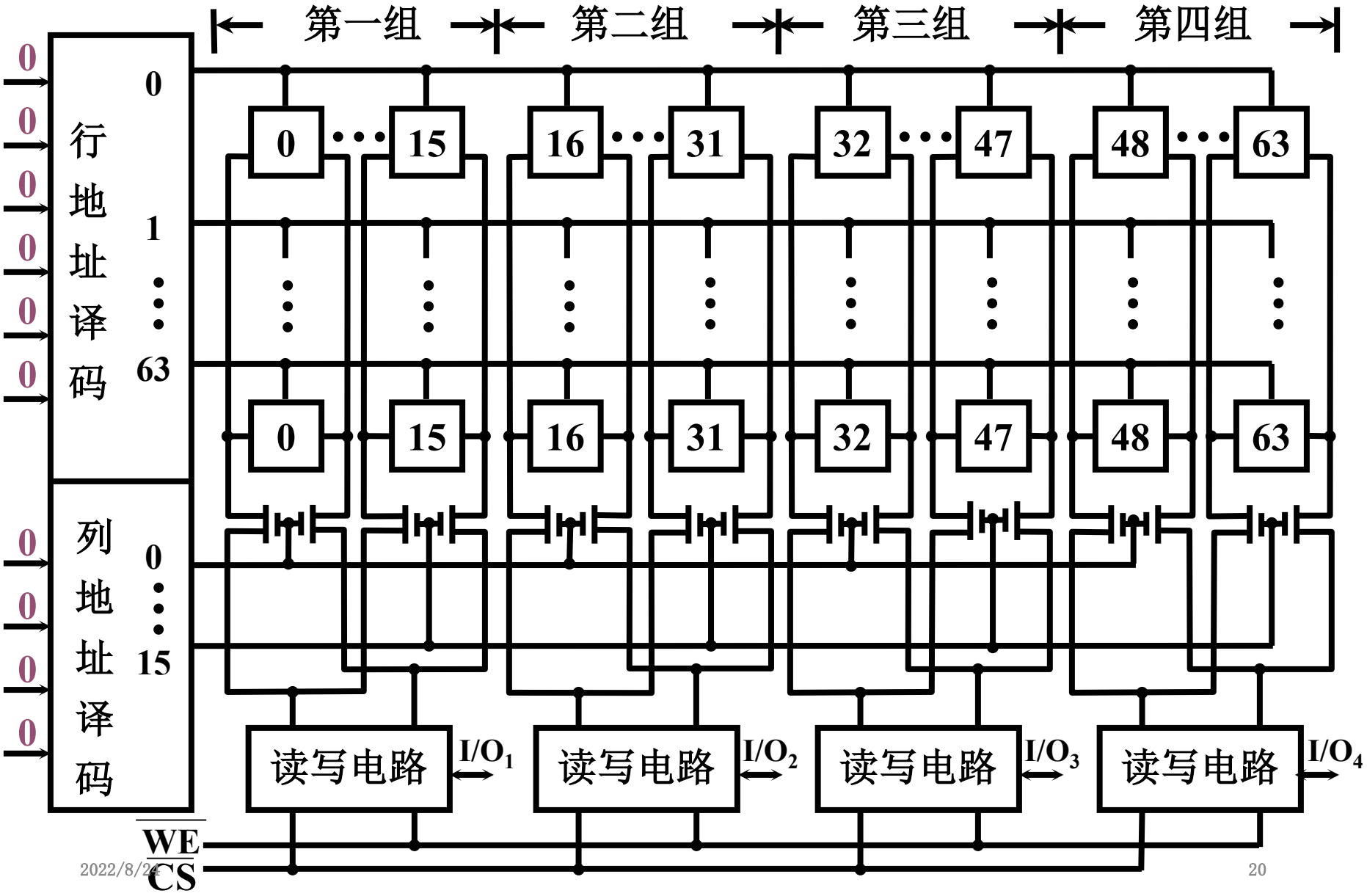
③ Intel 2114 RAM 矩阵 (64 × 64) 写

4.2



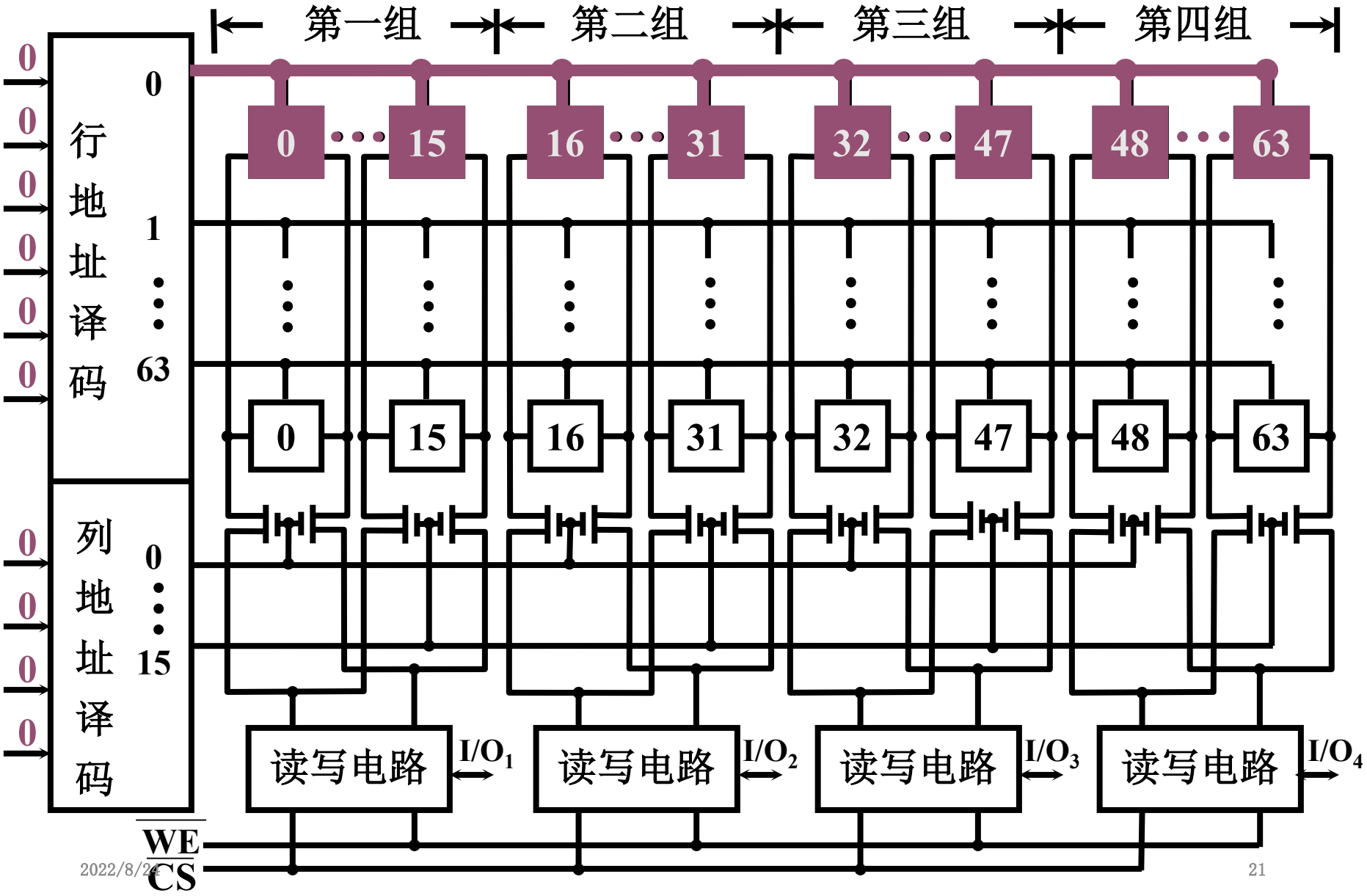
③ Intel 2114 RAM 矩阵 (64 × 64) 写

4.2



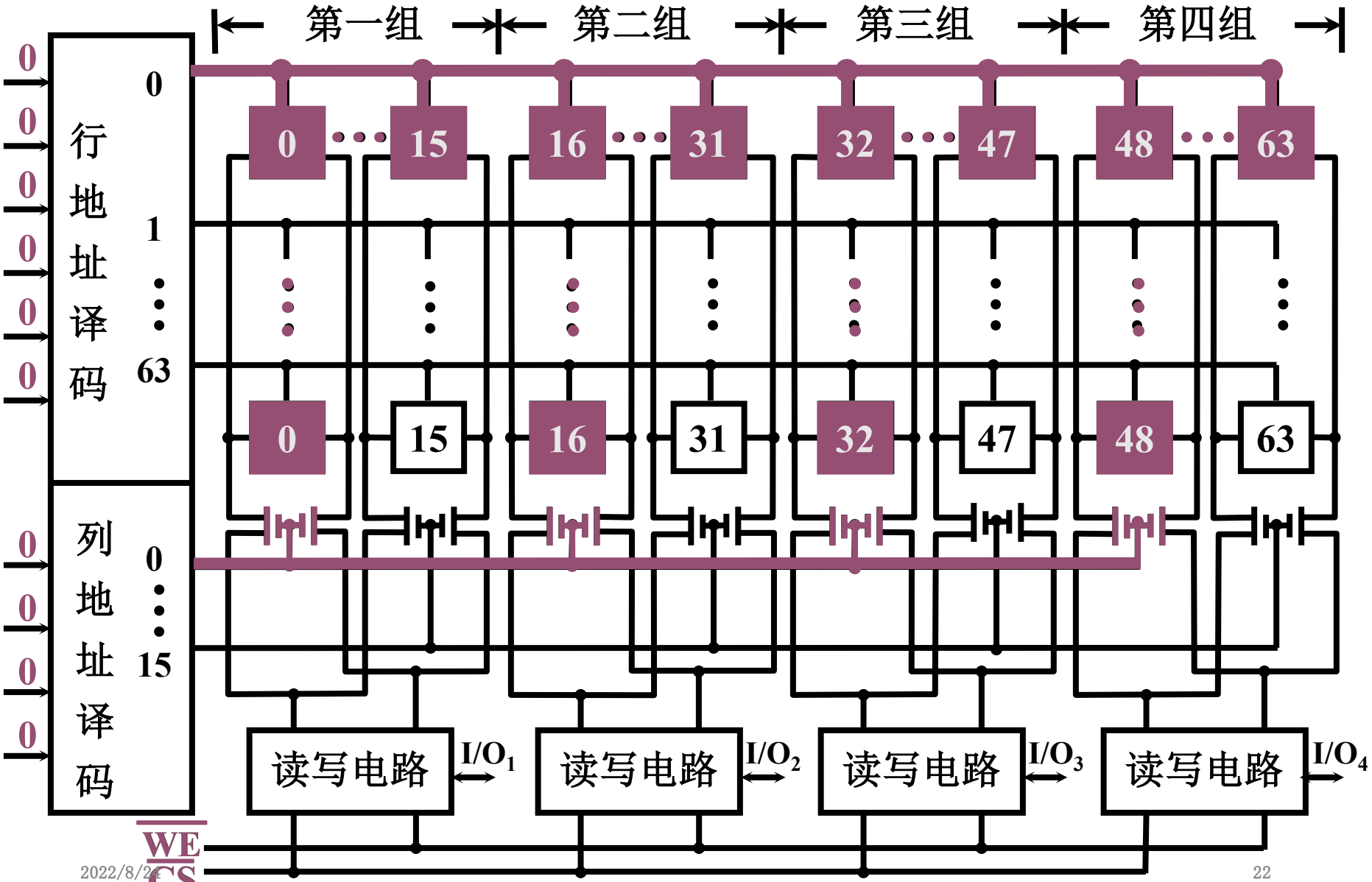
③ Intel 2114 RAM 矩阵 (64 × 64) 写

4.2



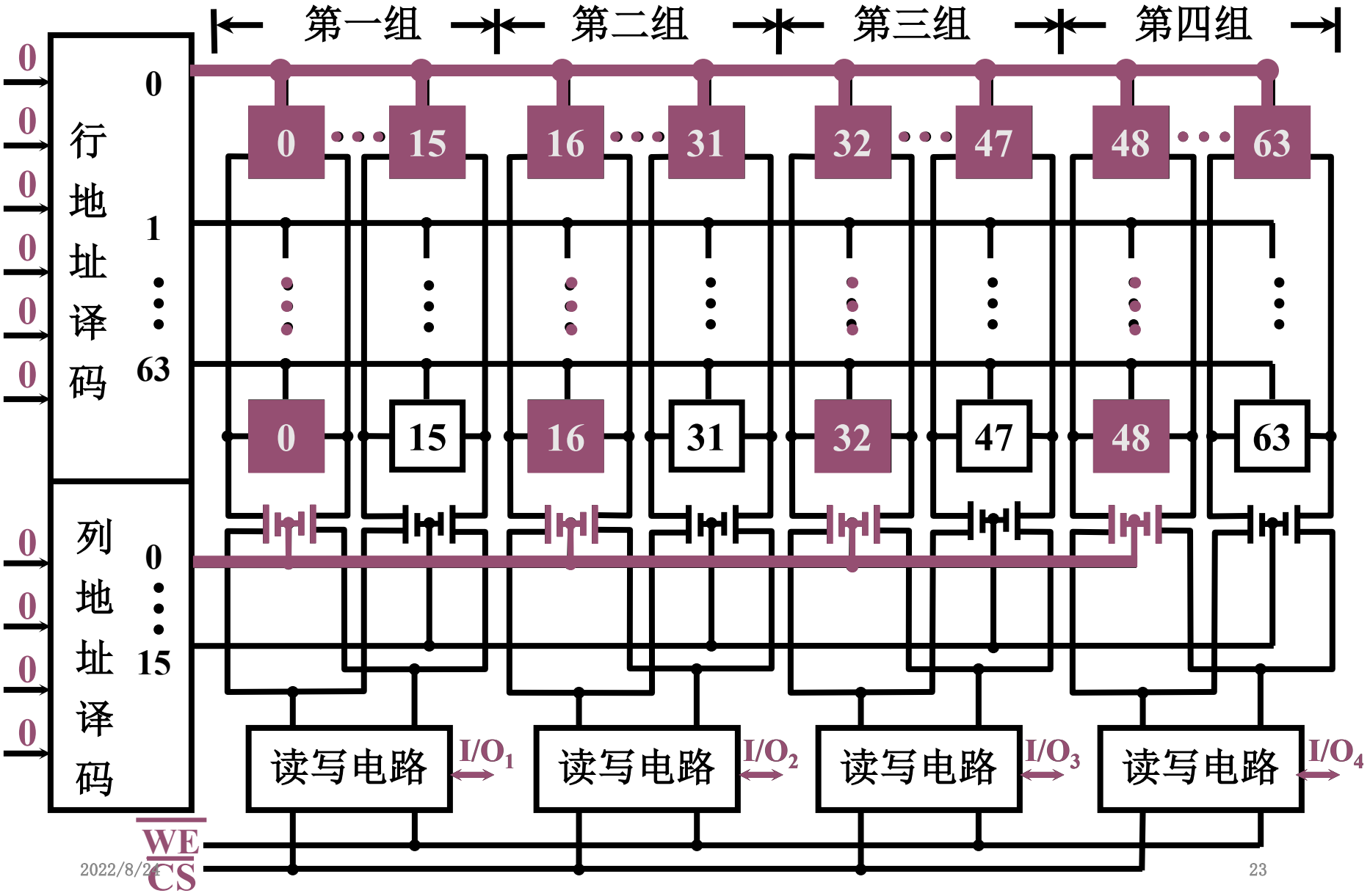
③ Intel 2114 RAM 矩阵 (64 × 64) 写

4.2



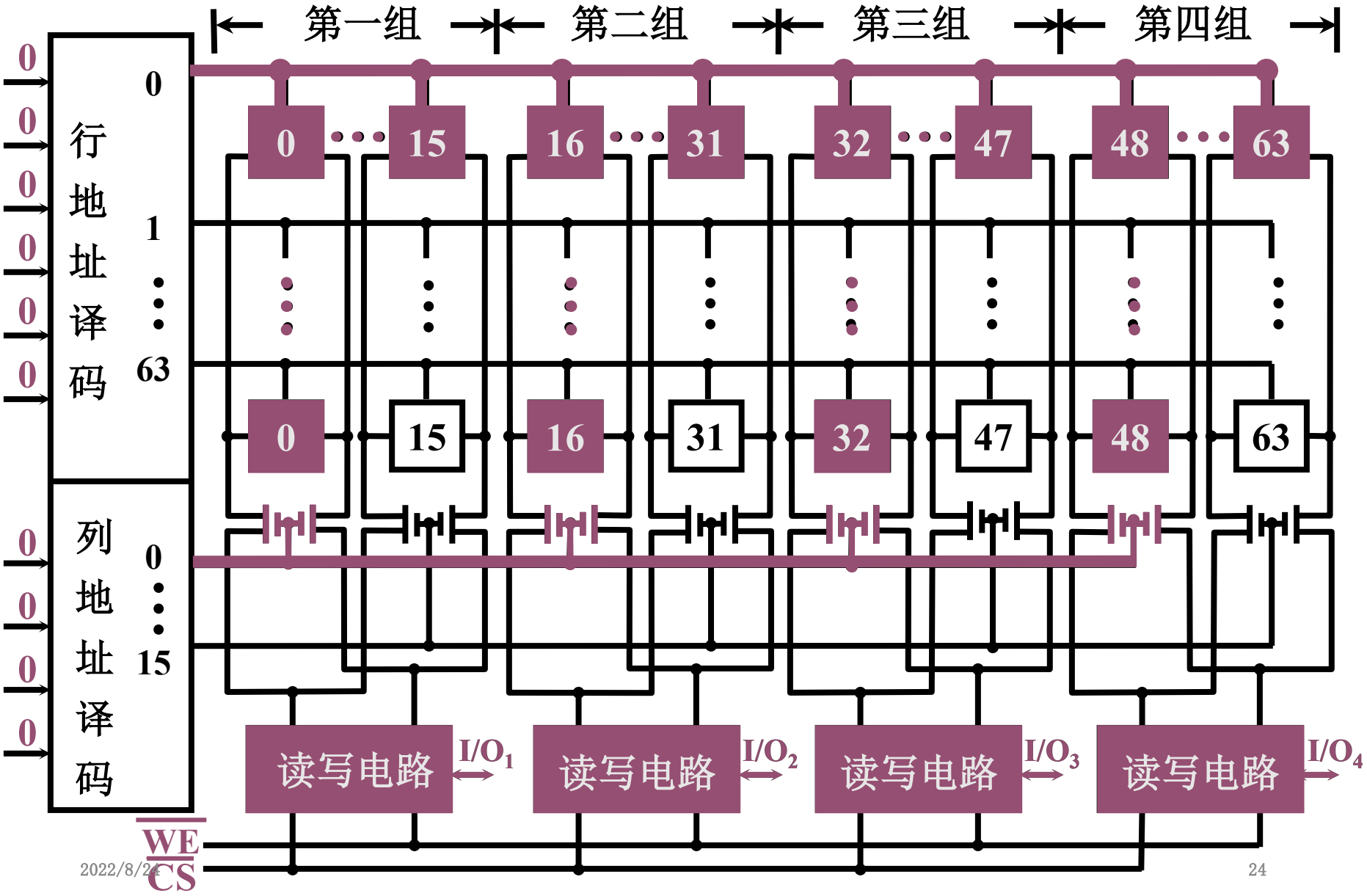
③ Intel 2114 RAM 矩阵 (64 × 64) 写

4.2



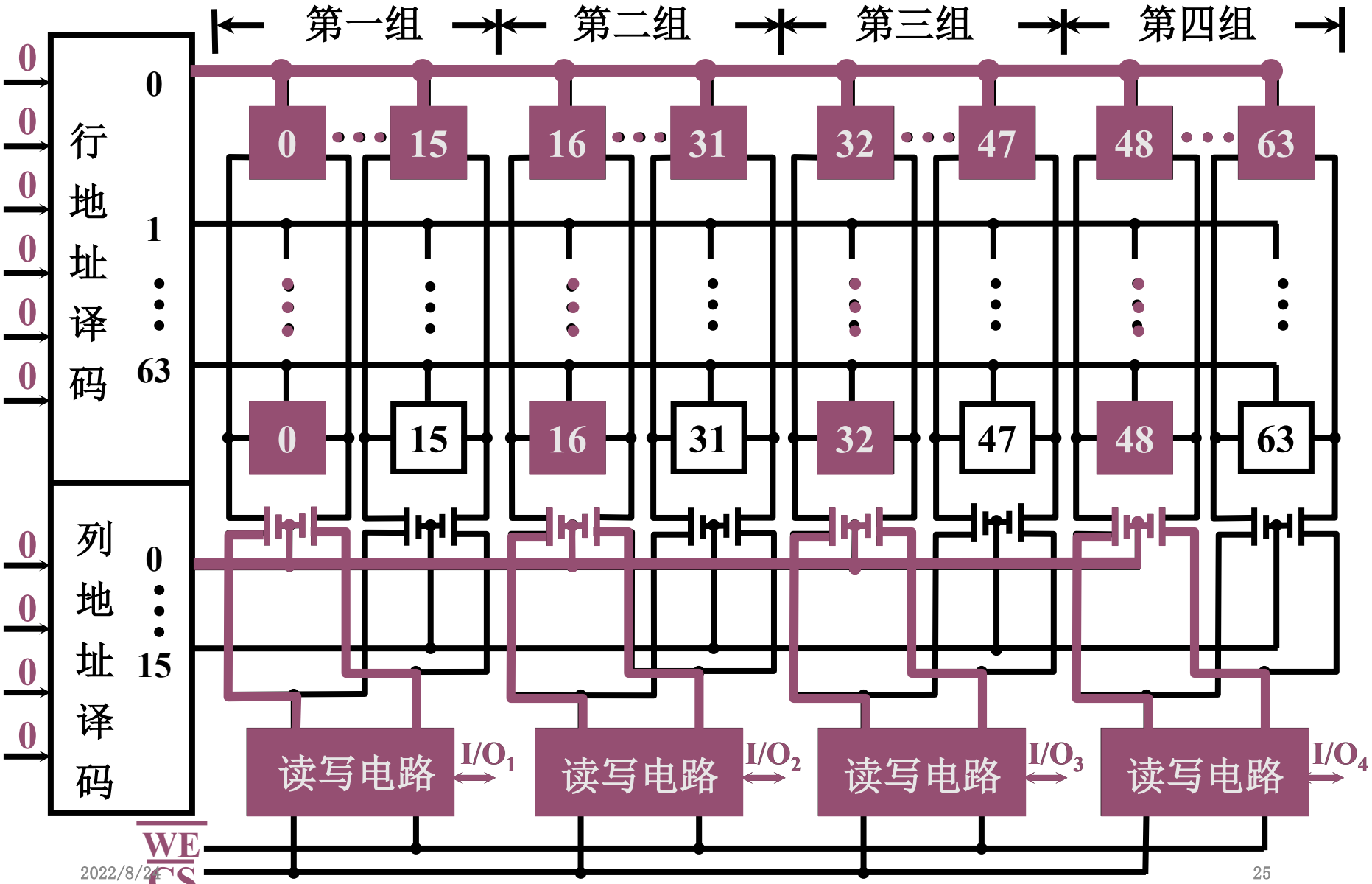
③ Intel 2114 RAM 矩阵 (64 × 64) 写

4.2



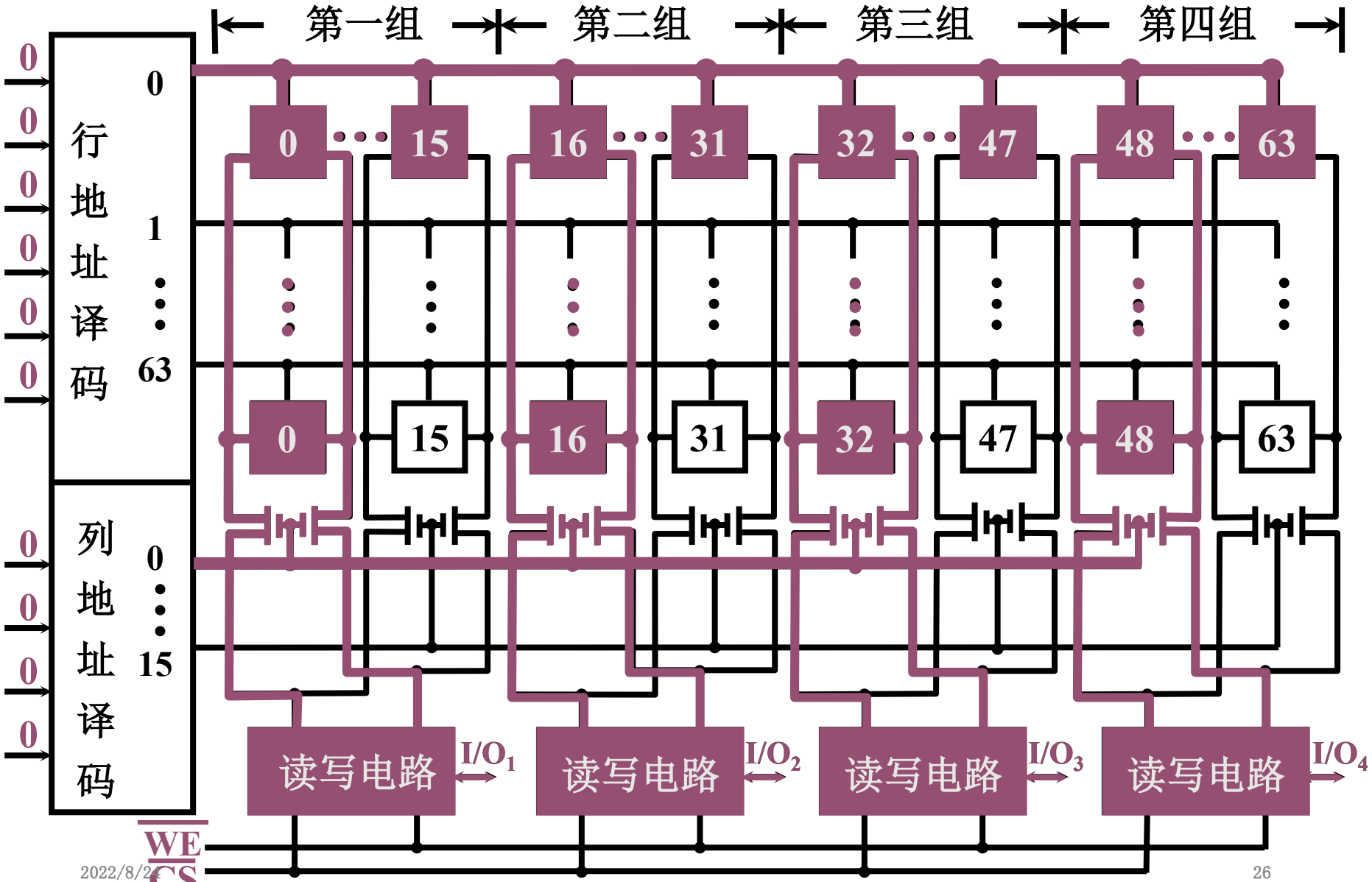
③ Intel 2114 RAM 矩阵 (64 × 64) 写

4.2



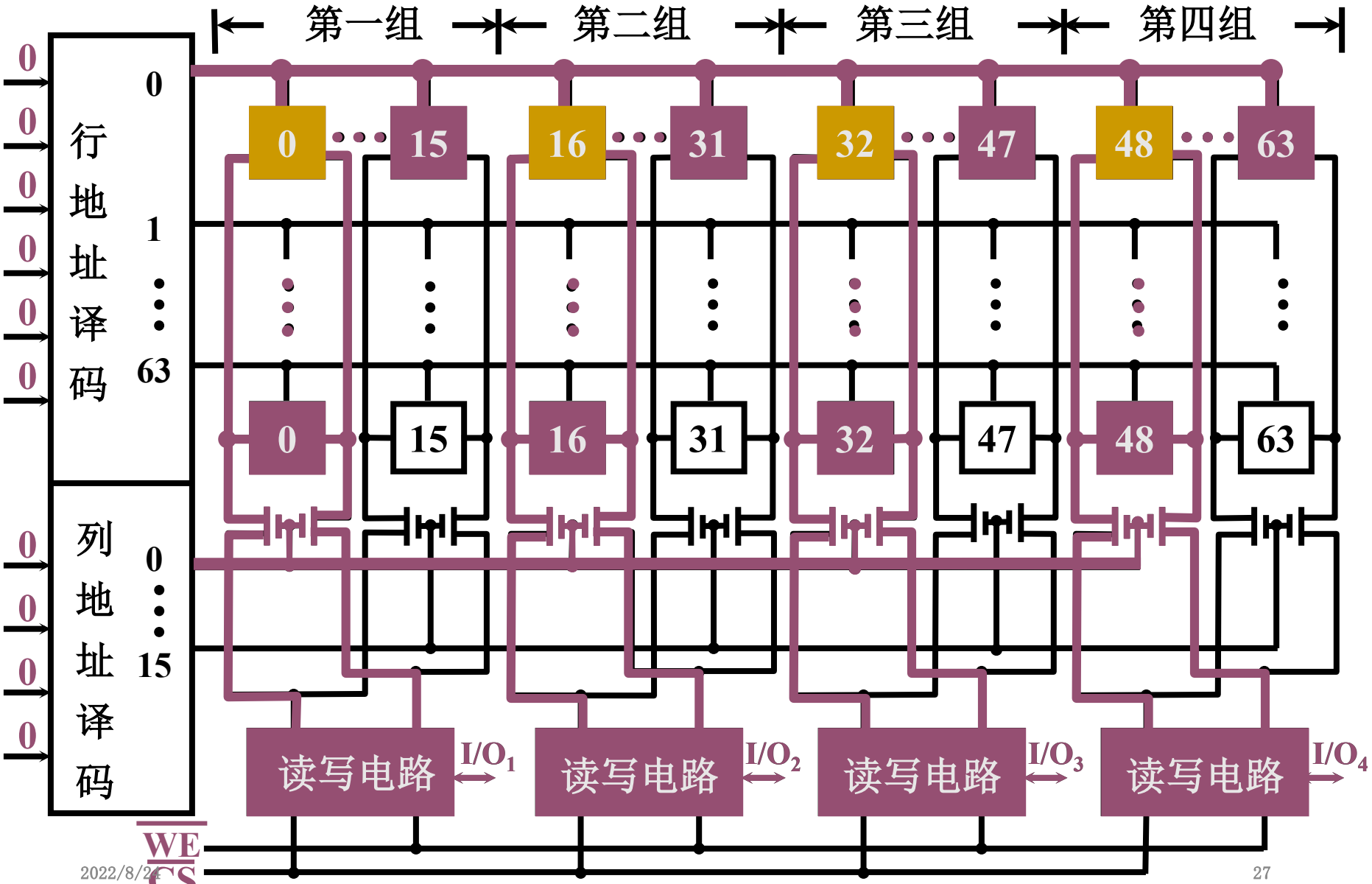
③ Intel 2114 RAM 矩阵 (64 × 64) 写

4.2



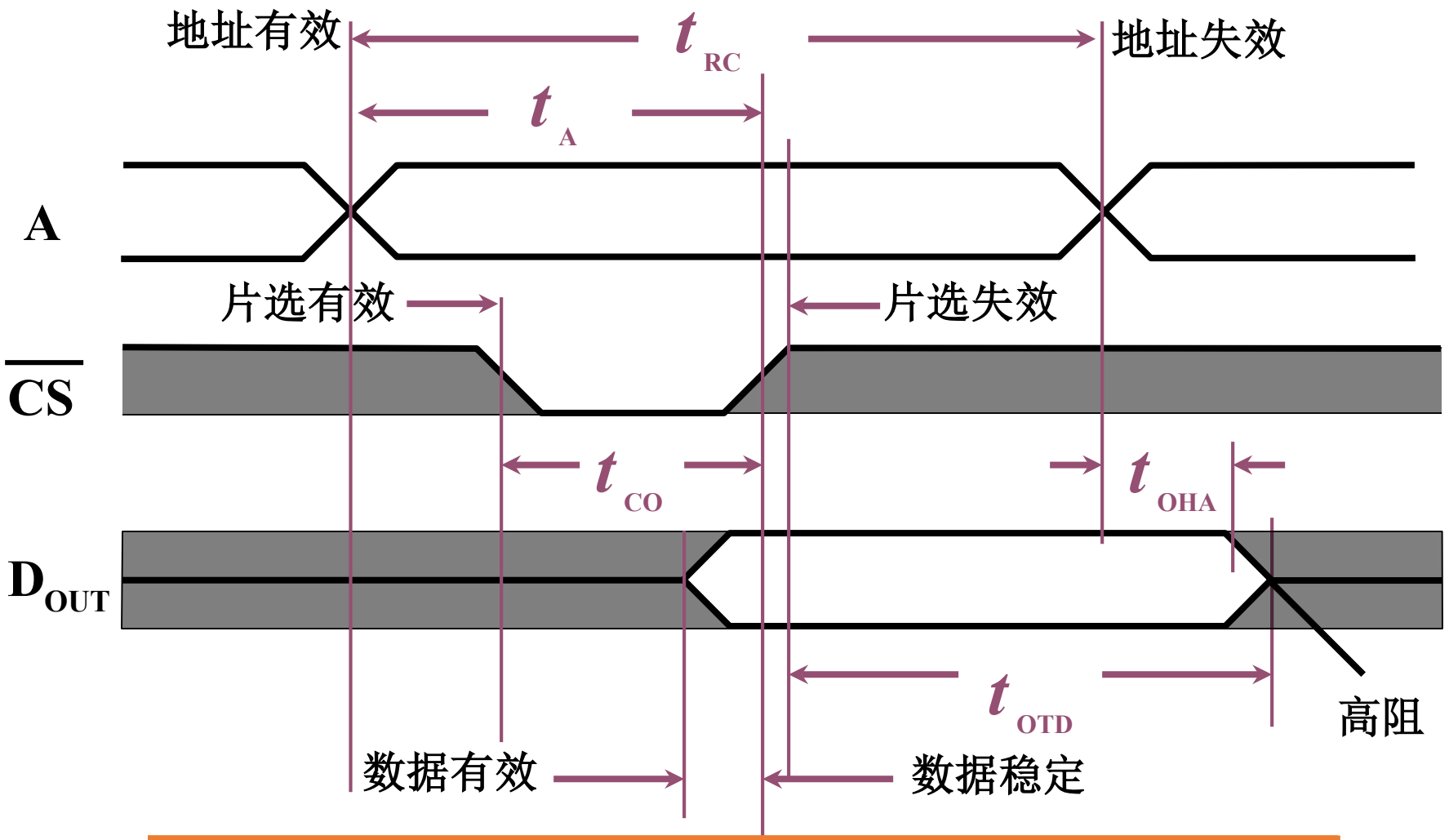
③ Intel 2114 RAM 矩阵 (64 × 64) 写

4.2



(3) 静态 RAM 读 时序

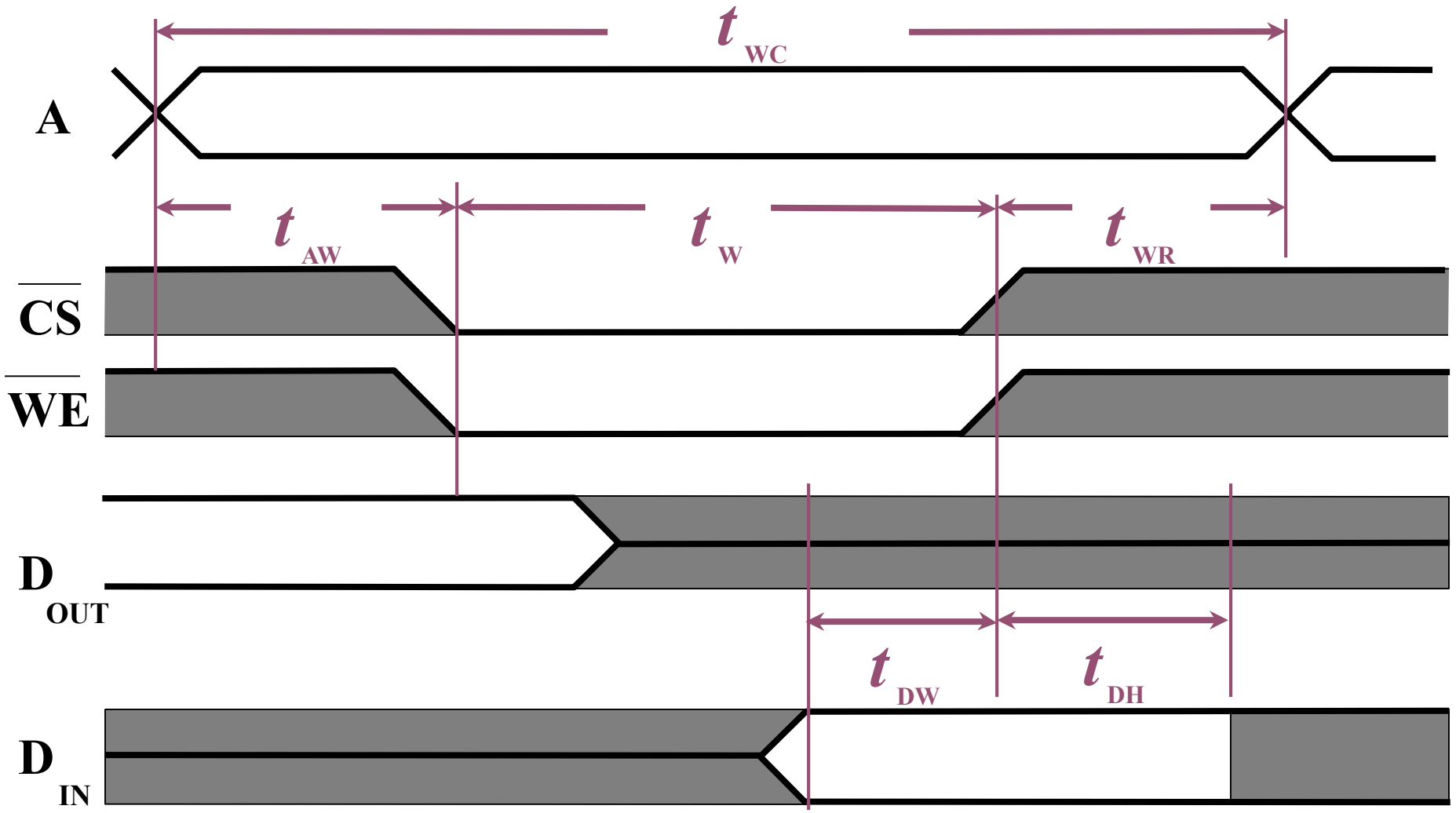
4.2



t_{OHA} 地址失效后的 数据维持时间

(4) 静态 RAM (2114) 写 时序

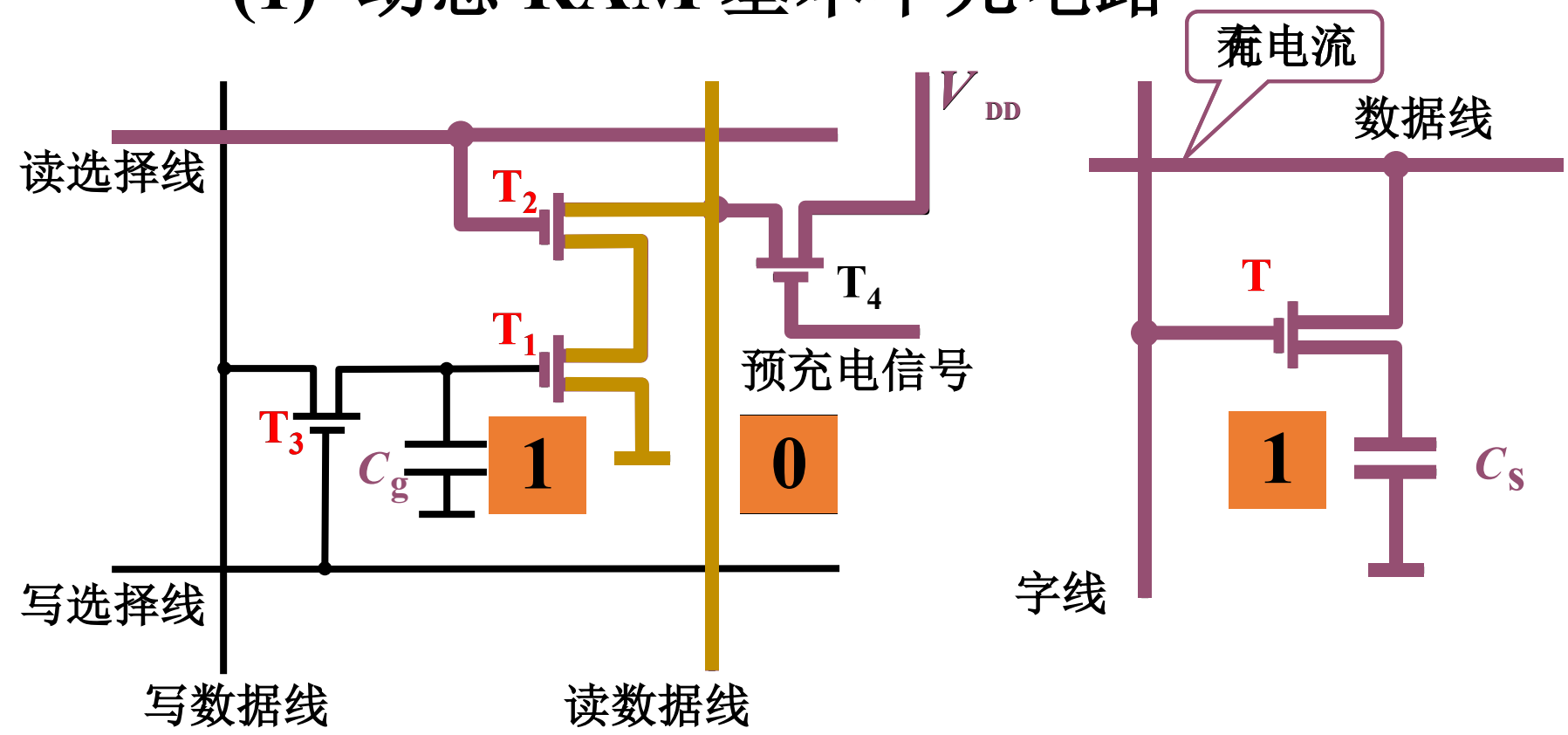
4.2



t_{DH} $\overline{WE}$ 失效后的数据维持时间

2. 动态 RAM (DRAM)

(1) 动态 RAM 基本单元电路



读出与原存信息相反

写入与输入信息相同

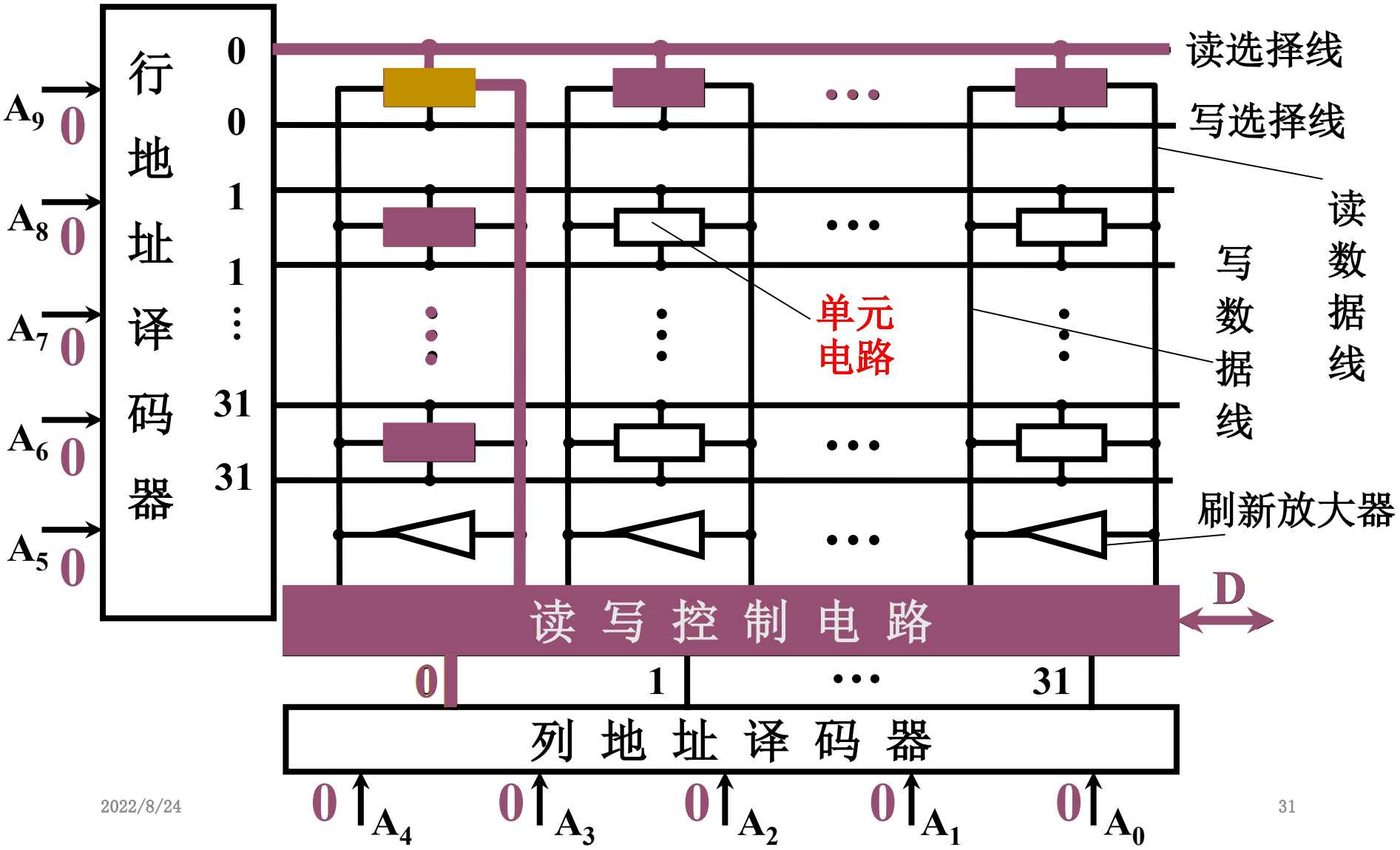
读出时数据线有电流 为 “1”

写入时 C_S 充电为 “1” 放电为 “0”

(2) 动态 RAM 芯片举例

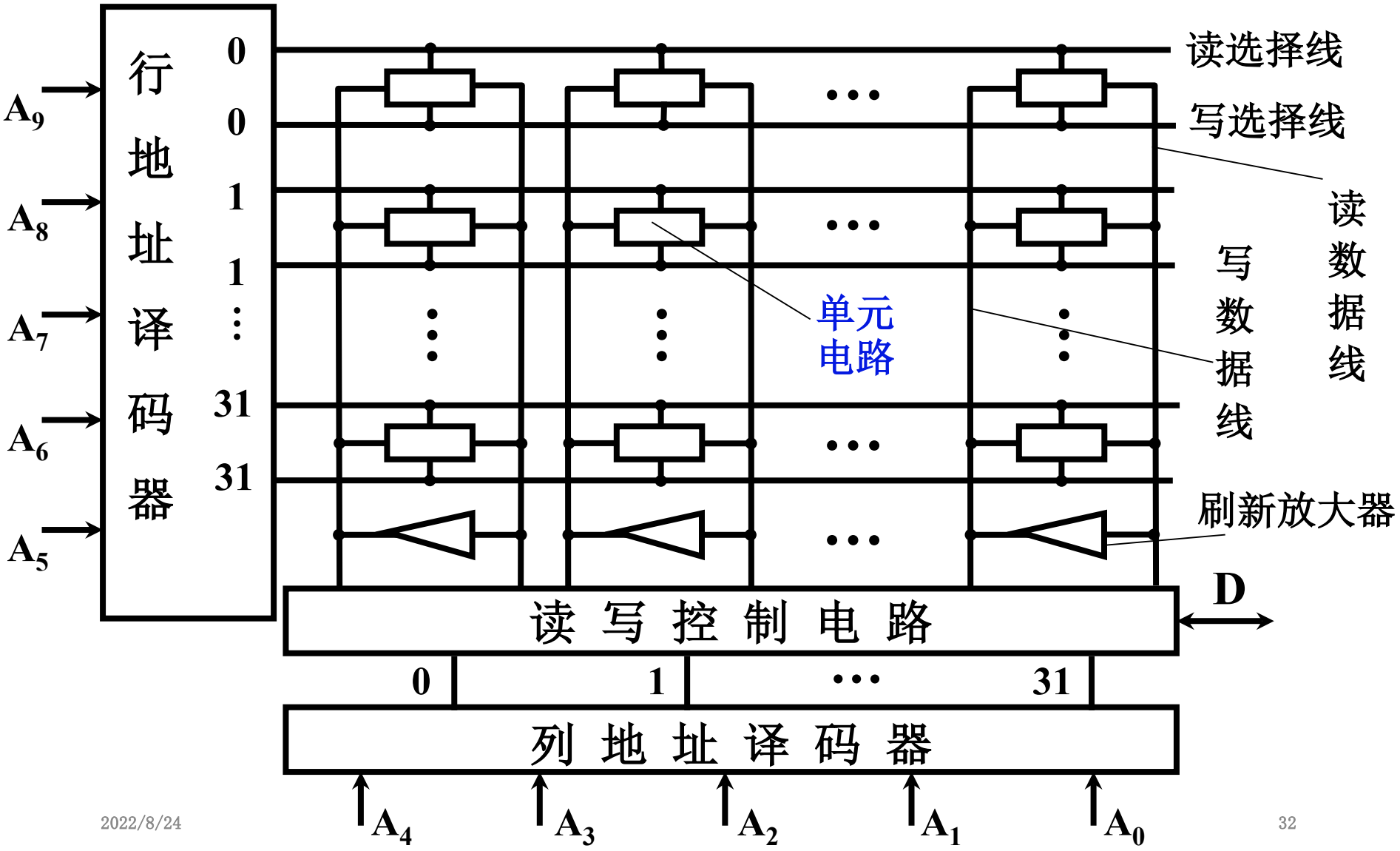
4.2

① 三管动态 RAM 芯片 (Intel 1103) 读



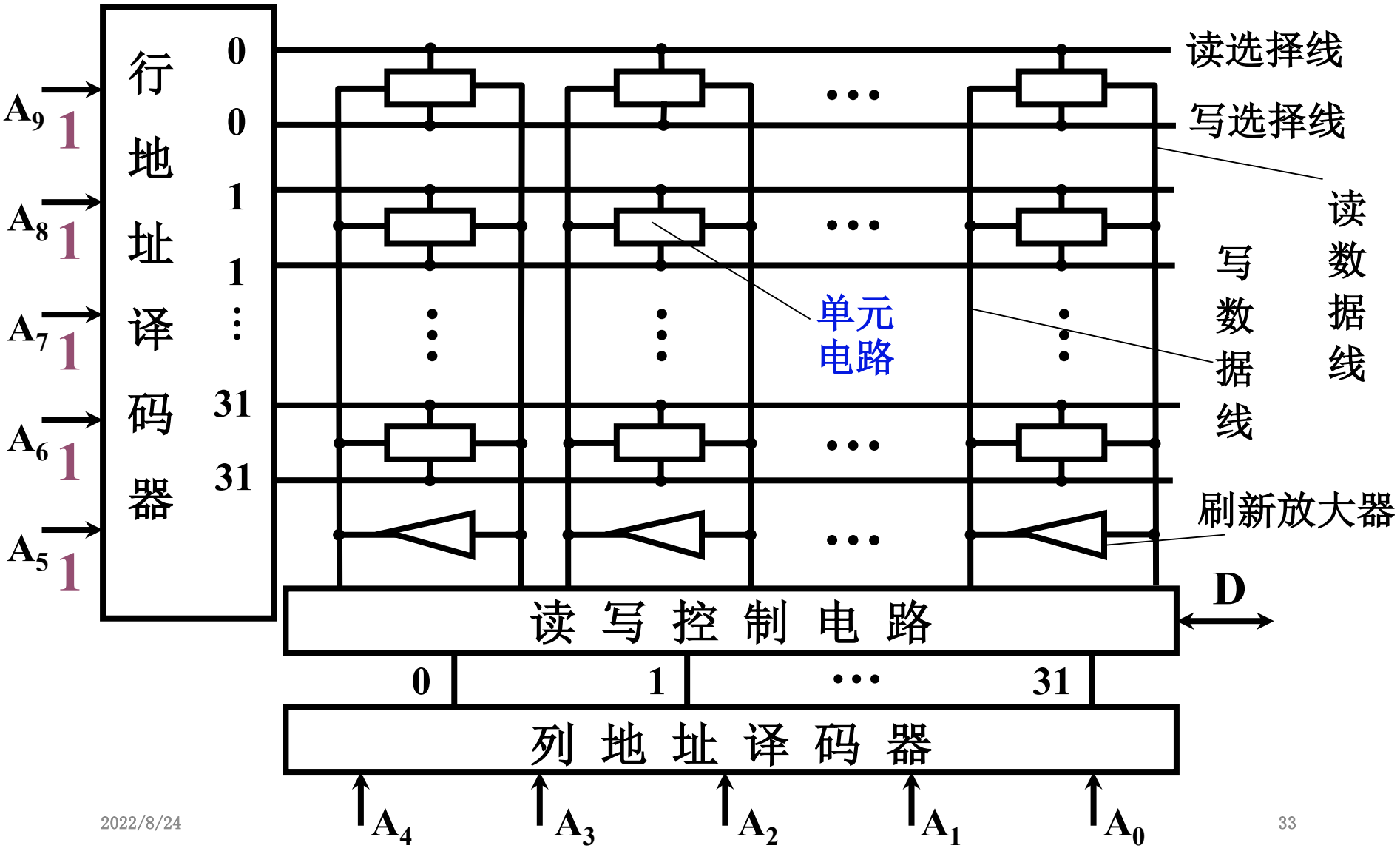
② 三管动态 RAM 芯片 (Intel 1103) 写

4.2



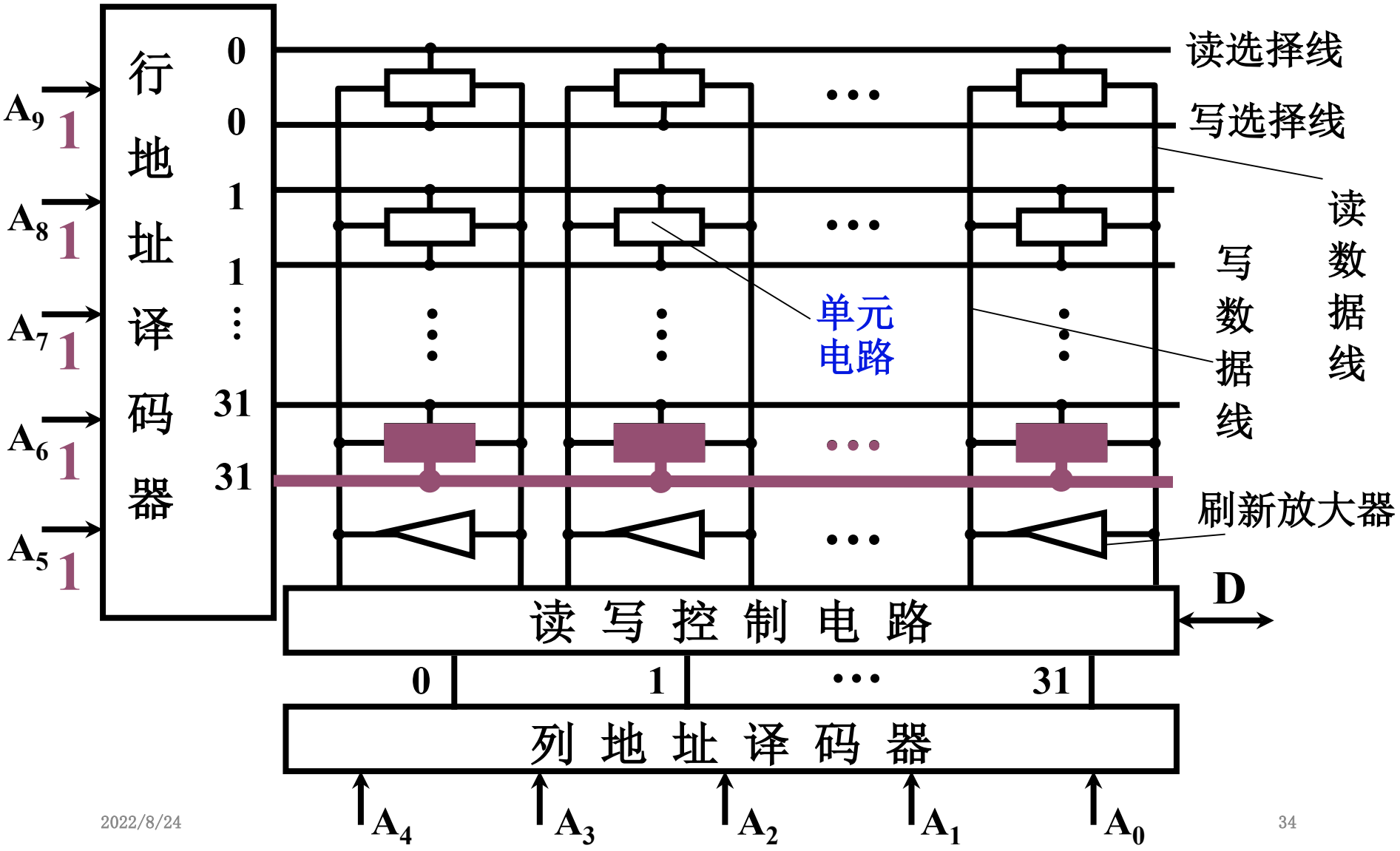
② 三管动态 RAM 芯片 (Intel 1103) 写

4.2



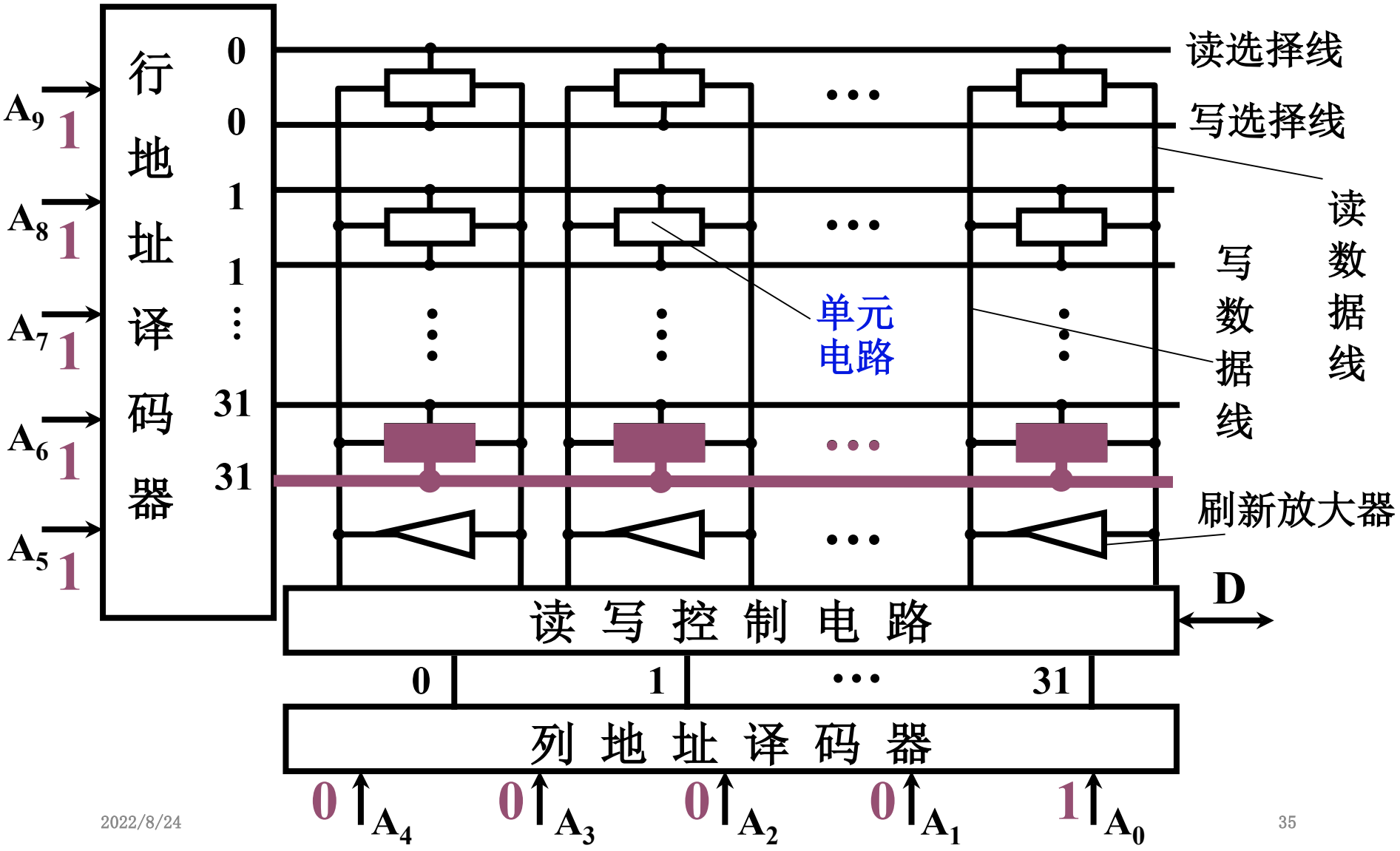
② 三管动态 RAM 芯片 (Intel 1103) 写

4.2



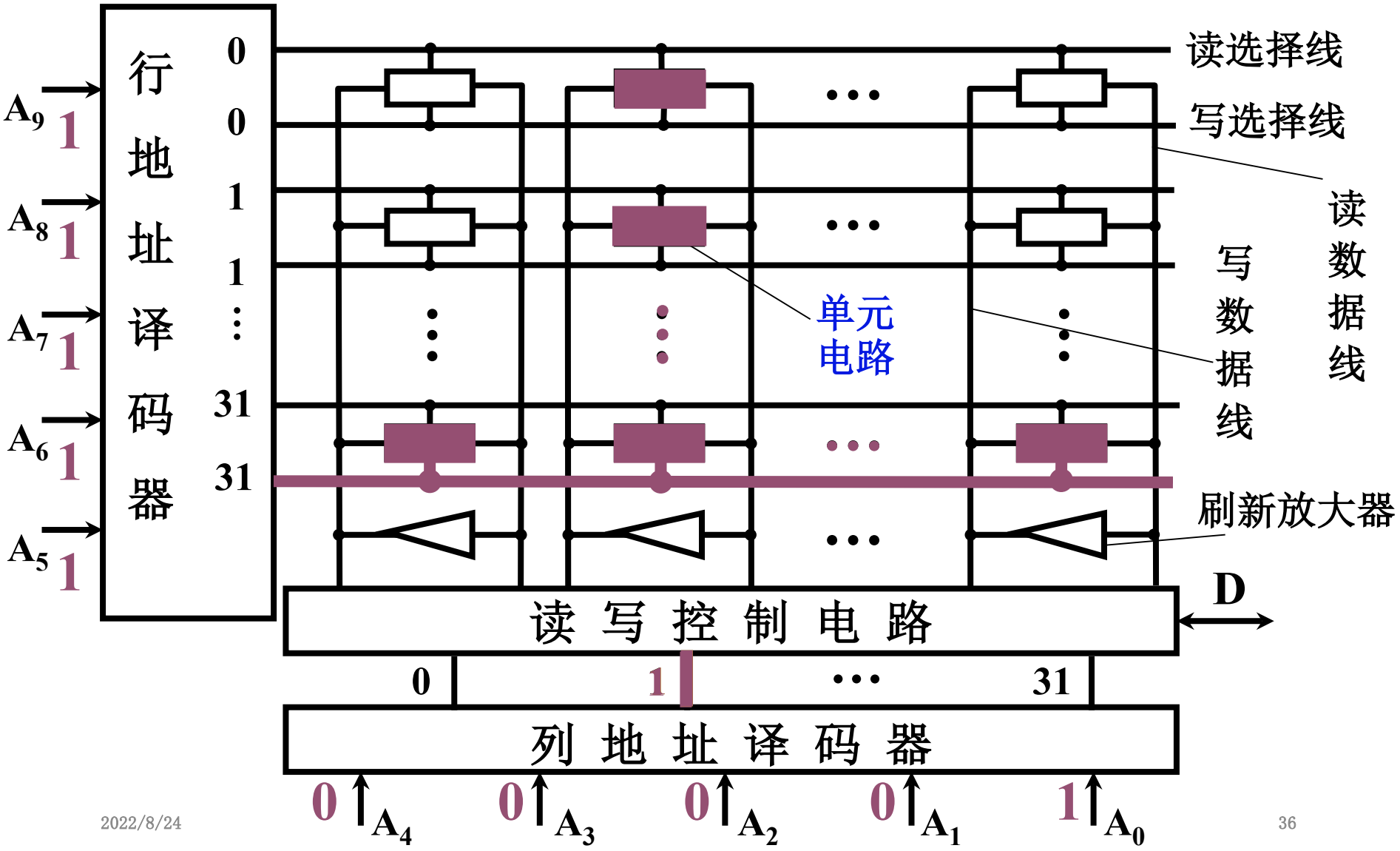
② 三管动态 RAM 芯片 (Intel 1103) 写

4.2



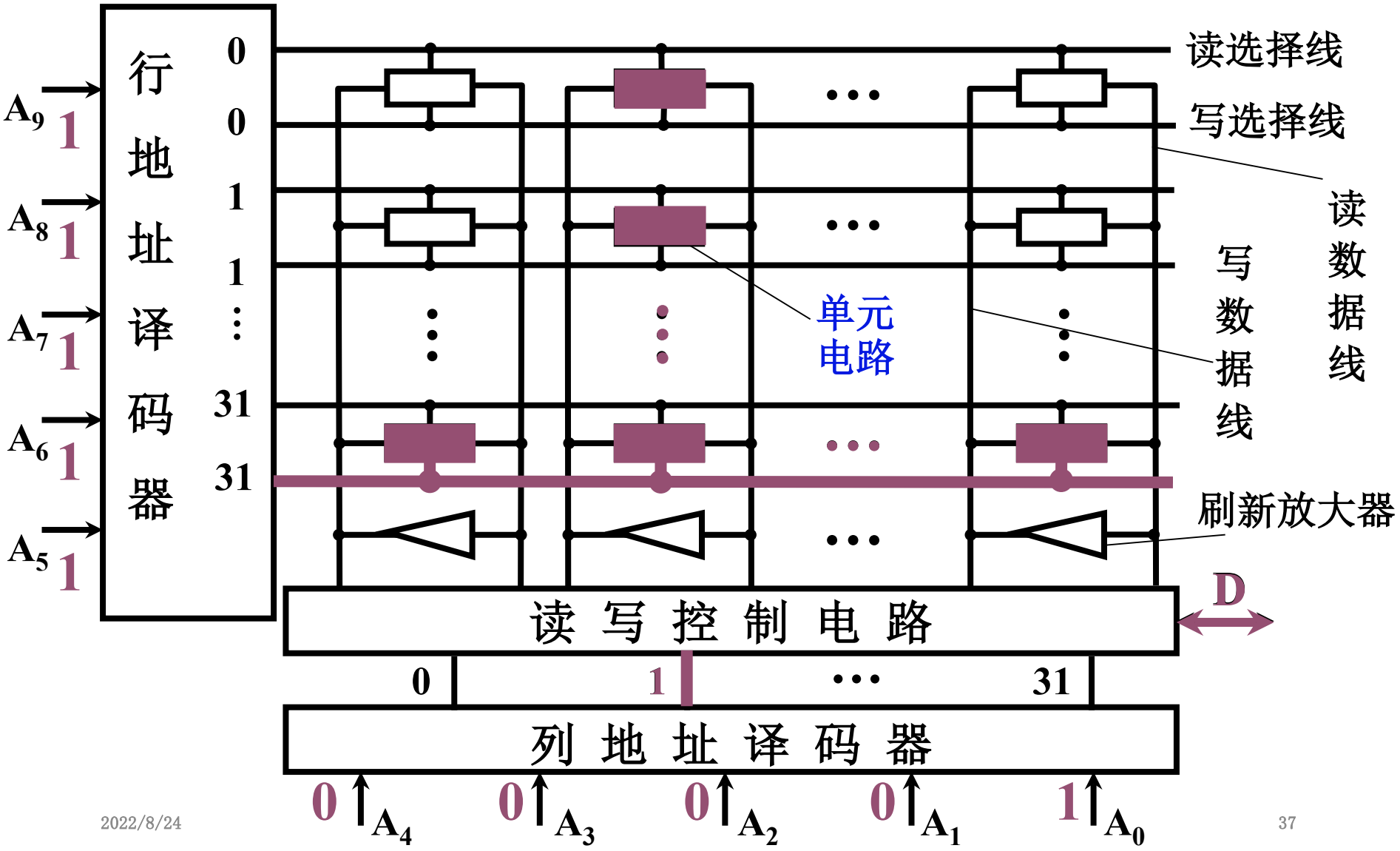
② 三管动态 RAM 芯片 (Intel 1103) 写

4.2



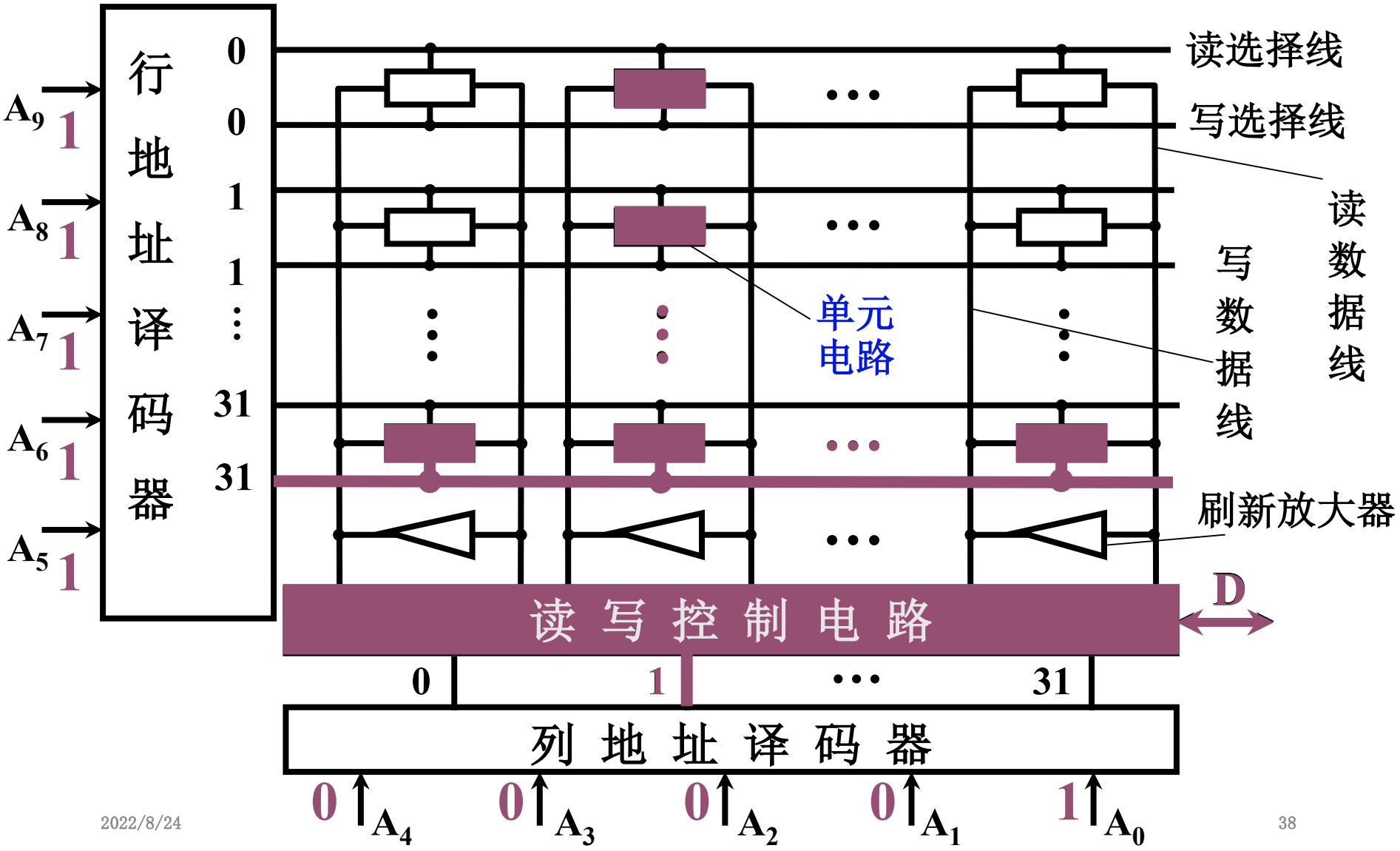
② 三管动态 RAM 芯片 (Intel 1103) 写

4.2



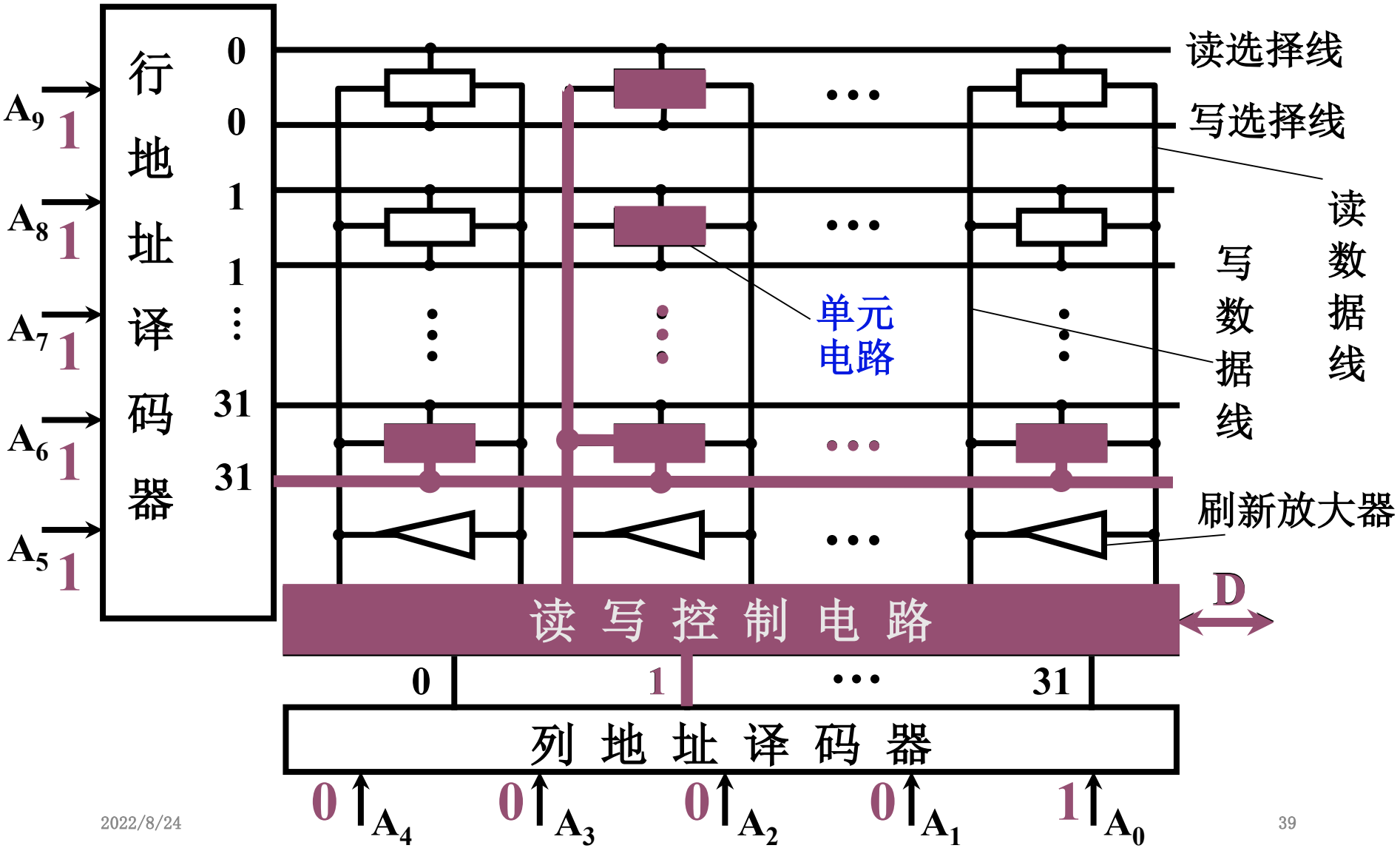
② 三管动态 RAM 芯片 (Intel 1103) 写

4.2



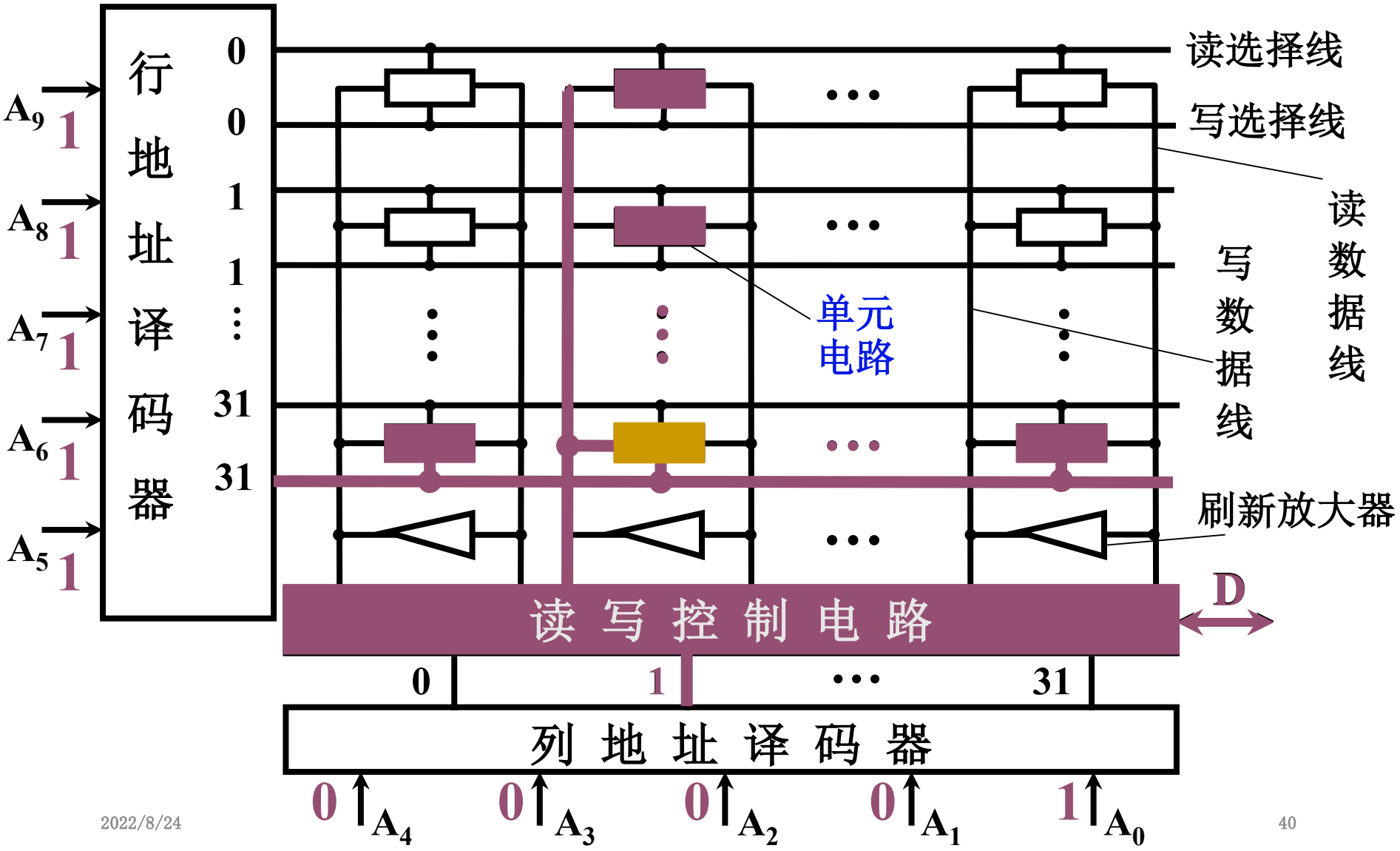
② 三管动态 RAM 芯片 (Intel 1103) 写

4.2

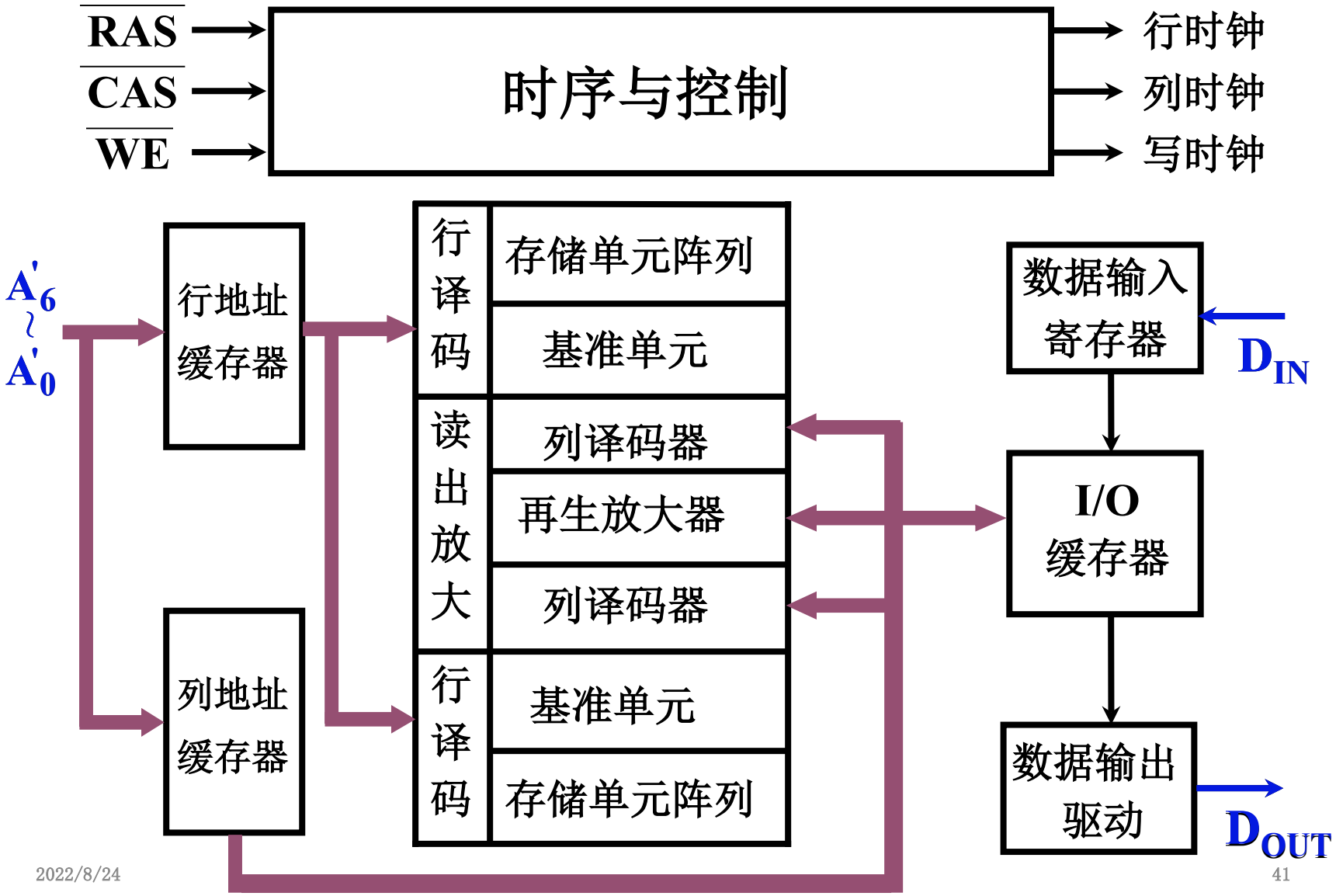


② 三管动态 RAM 芯片 (Intel 1103) 写

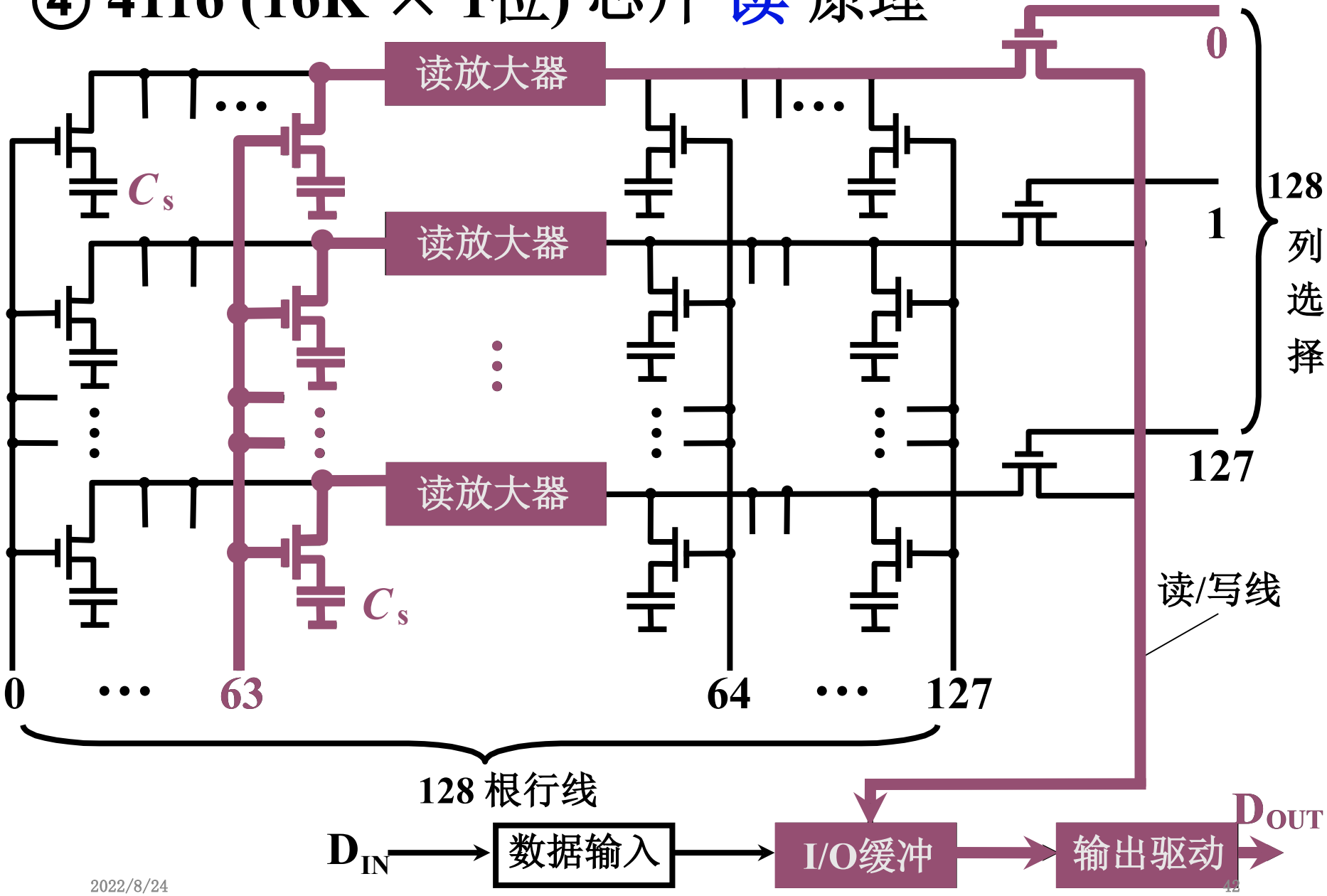
4.2



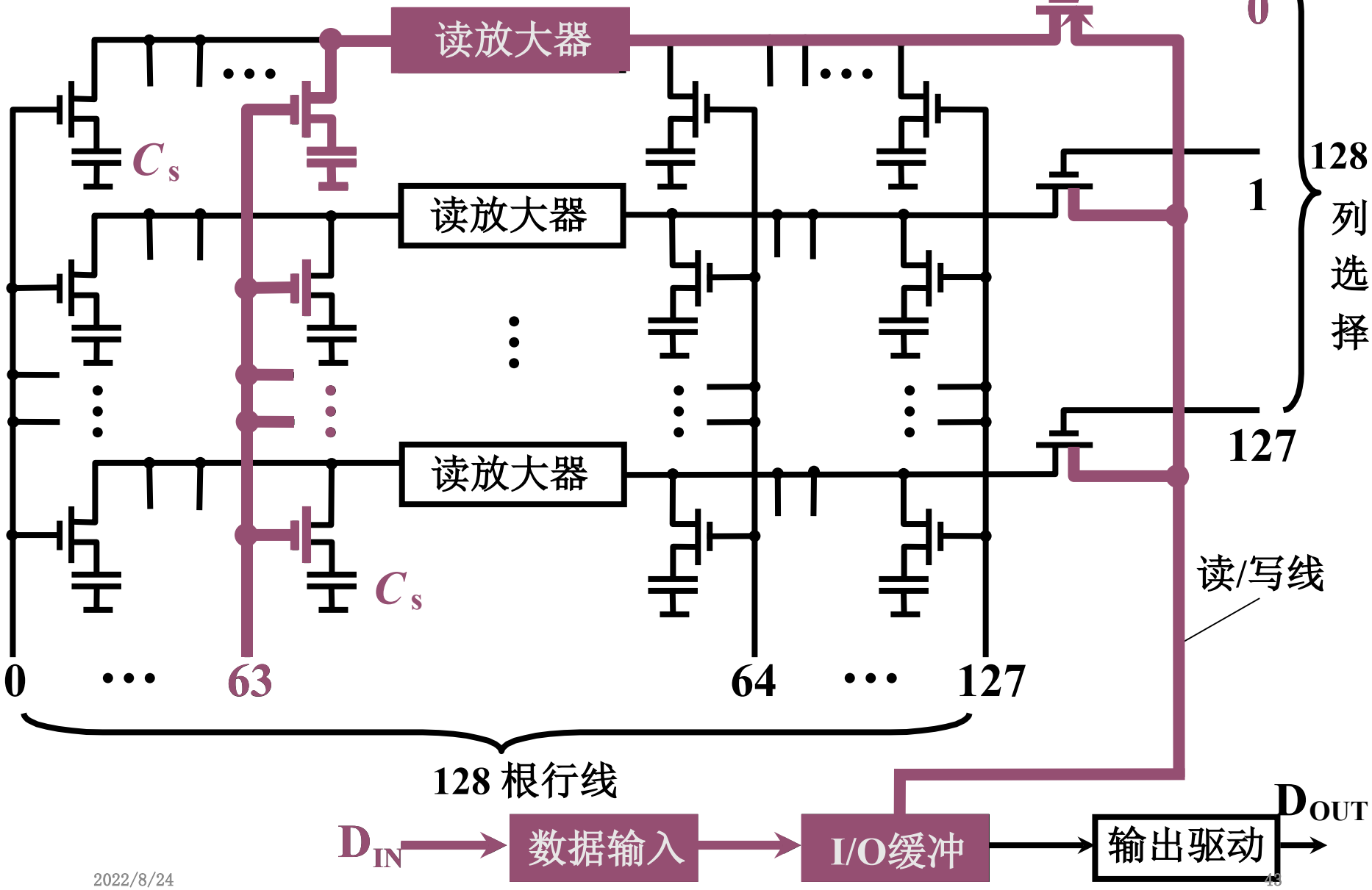
③ 单管动态 RAM 4116 (16K × 1位) 外特性 4.2



④ 4116 (16K × 1位) 芯片 读 原理



⑤ 4116 (16K×1位) 芯片 写 原理



(3) 动态 RAM 时序

行、列地址分开传送

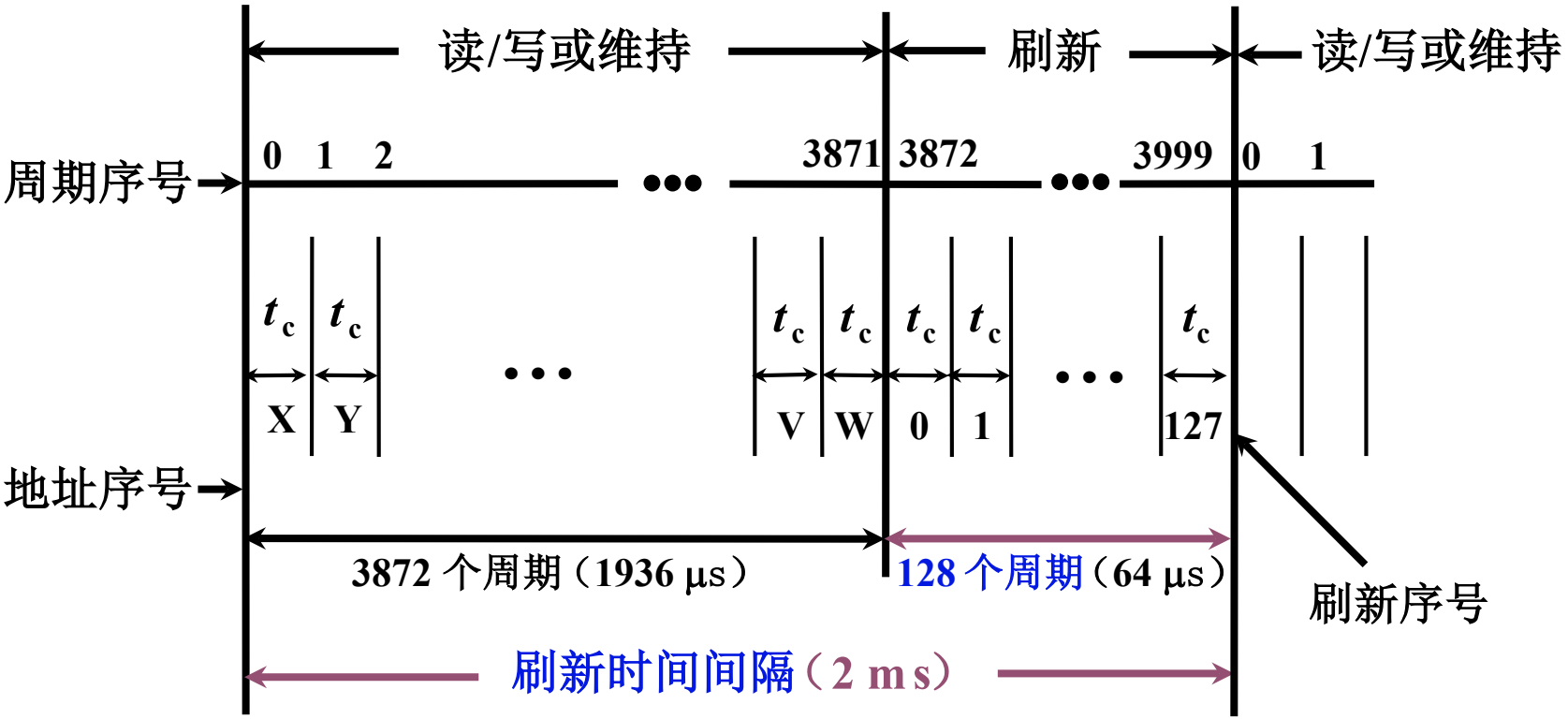
读时序	写时序
行地址 $\overline{\text{RAS}}$ 有效	行地址 $\overline{\text{RAS}}$ 有效
写允许 $\overline{\text{WE}}$ 有效(高)	写允许 $\overline{\text{WE}}$ 有效(低)
列地址 $\overline{\text{CAS}}$ 有效	数据 D_{IN} 有效
数据 D_{OUT} 有效	列地址 $\overline{\text{CAS}}$ 有效

(4) 动态 RAM 刷新

4.2

刷新与行地址有关

① 集中刷新 (存取周期为0.5 μs)以128 × 128 矩阵为例

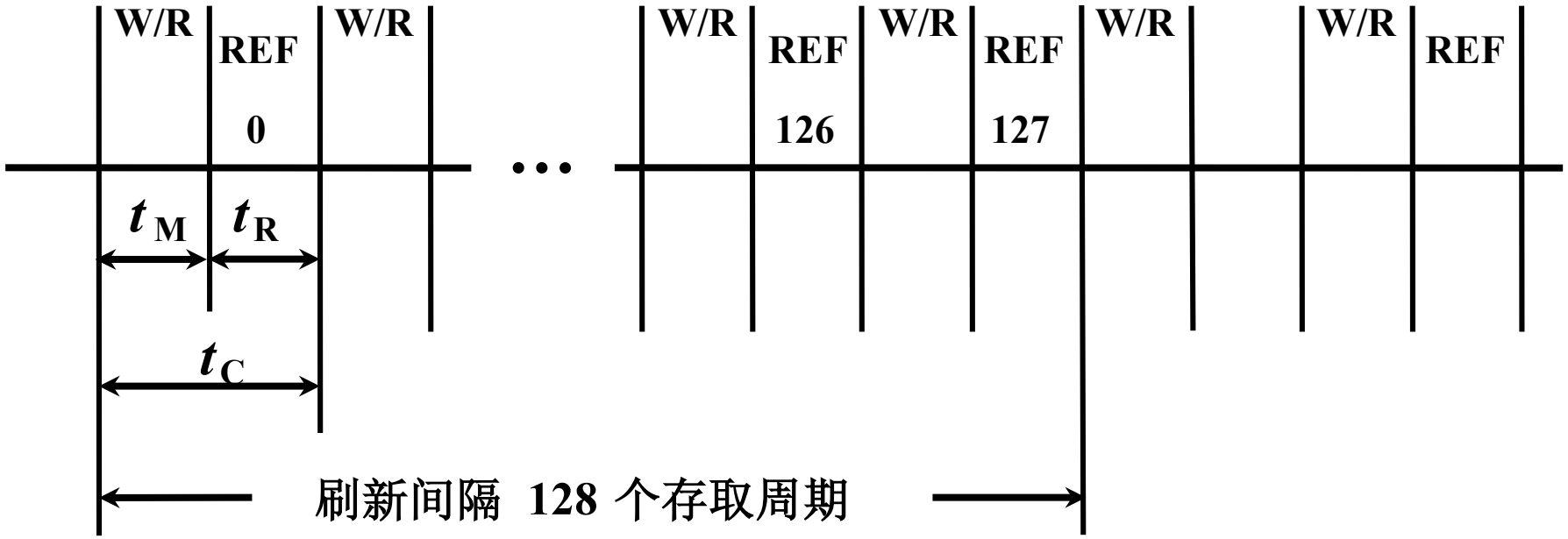


“死区”为 0.5 μs ×128 = 64 μs

“死时间率”为 128/4 000 ×100% = 3.2%

② 分散刷新（存取周期为1μs）

以 128 ×128 矩阵为例



$t_C = t_M + t_R$

无“死区”

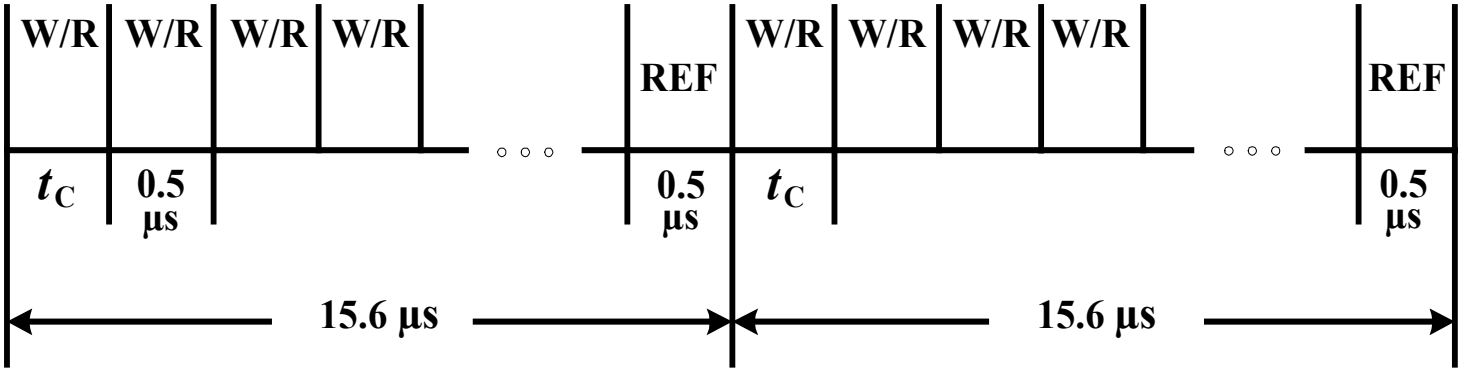
读写 刷新

(存取周期为 0.5 μs + 0.5 μs)

③ 分散刷新与集中刷新相结合（异步刷新）4.2

对于 128 ×128 的存储芯片（存取周期为 0.5 μs ）

若每隔 15.6 μs 刷新一行



每行每隔 2 ms 刷新一次　　“死区”为 0.5 μs

将刷新安排在指令译码阶段，不会出现“死区”

3. 动态 RAM 和静态 RAM 的比较

主存

缓存

	DRAM	SRAM
存储原理	电容	触发器
集成度	高	低
芯片引脚	少	多
功耗	小	大
价格	低	高
速度	慢	快
刷新	有	无

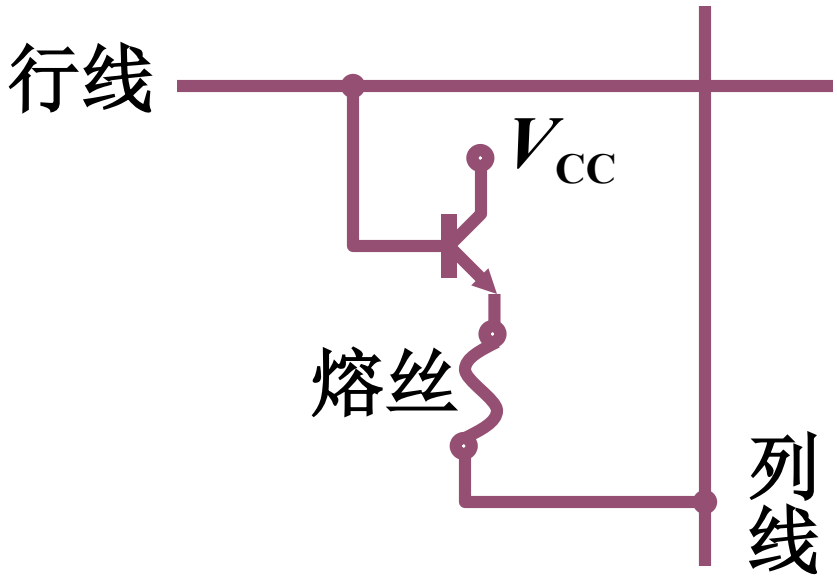
四、只读存储器（ROM）

1. 掩模 ROM (MROM)

行列选择线交叉处有 MOS 管为“1”

行列选择线交叉处无 MOS 管为“0”

2. PROM (一次性编程)

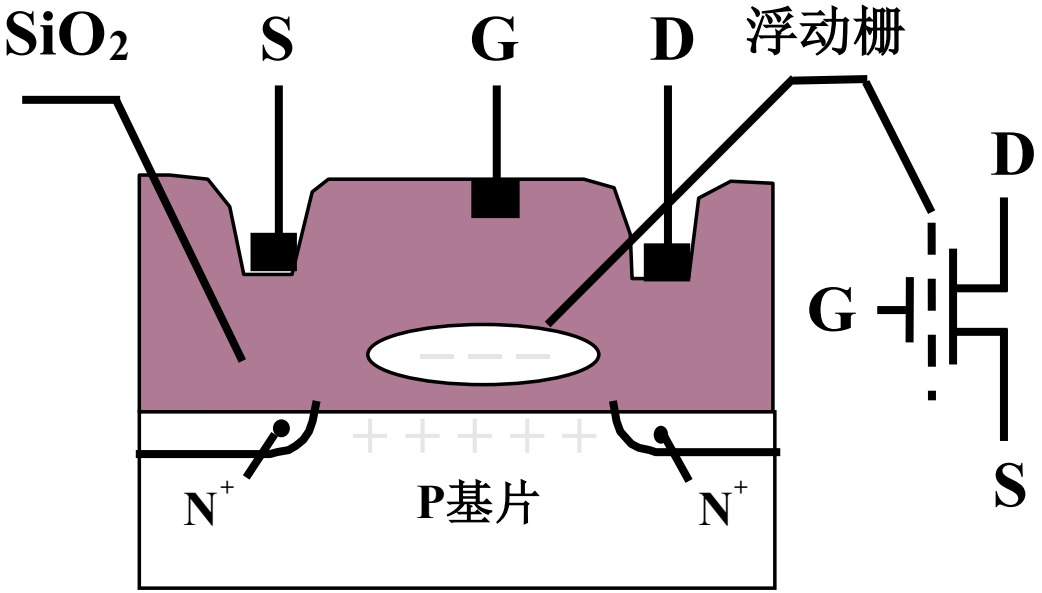


熔丝断　　为“0”

熔丝未断　为“1”

3. EPROM (多次性编程)

(1) N型沟道浮动栅 MOS 电路



G 栅极

S 源

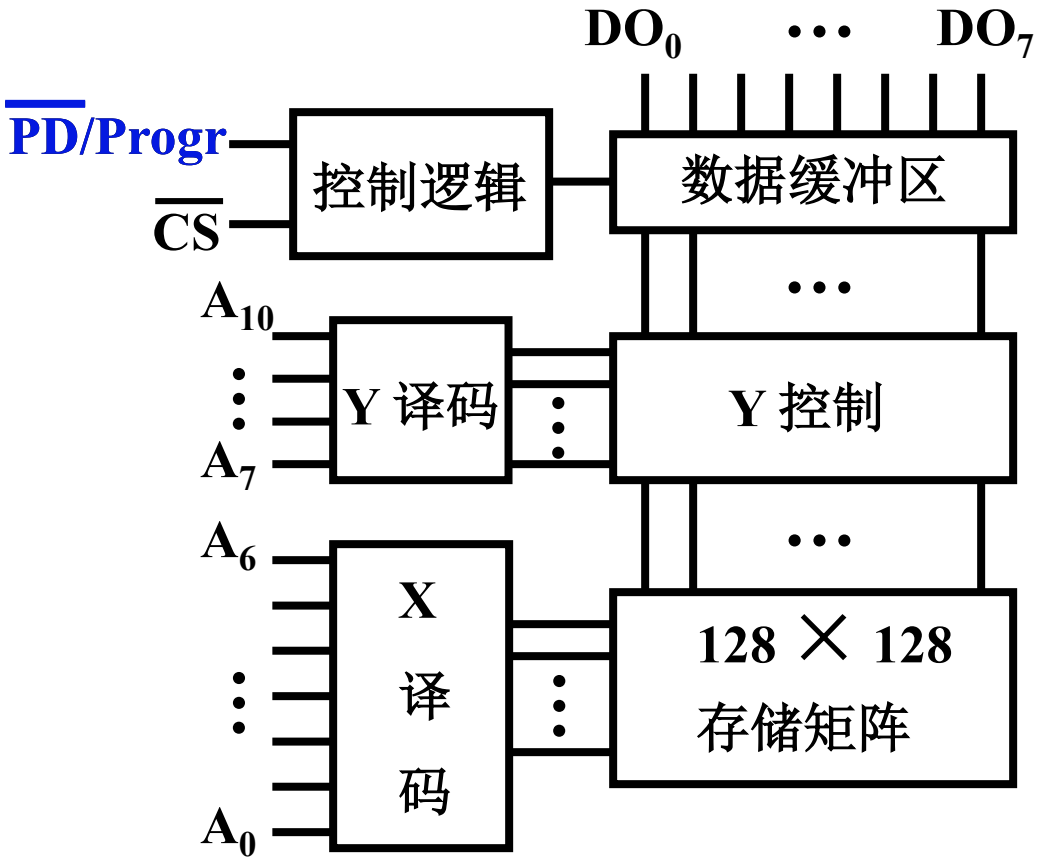
D 漏

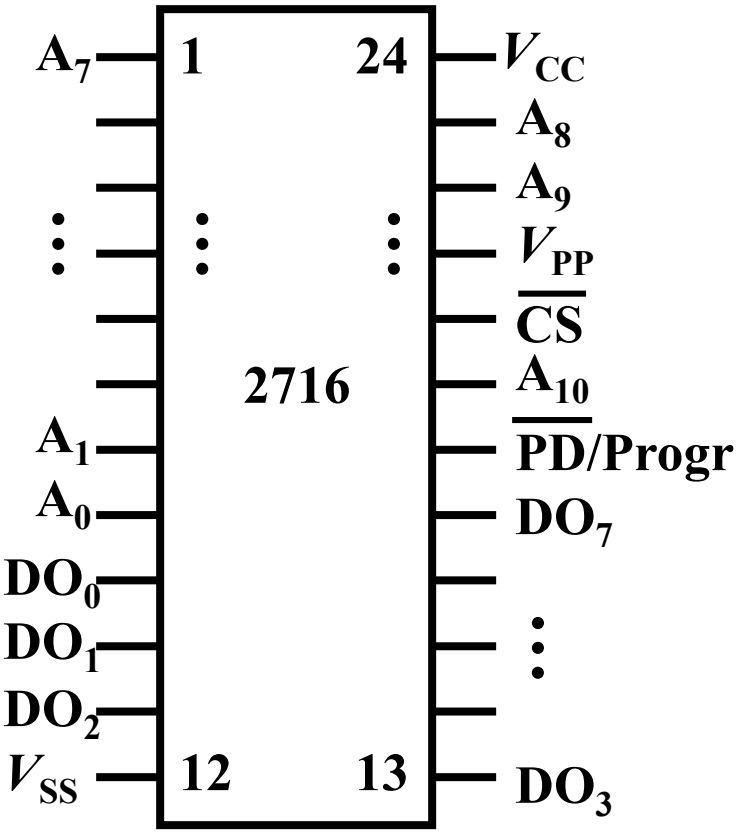
紫外线全部擦洗

D 端加正电压　　形成浮动栅　　S 与 D 不导通为 “0”

D 端不加正电压　　不形成浮动栅　　S 与 D 导通为 “1”

(2) 2716 EPROM 的逻辑图和引脚





PD/Progr 功率下降 / 编程输入端　读出时 为 低电平

4. EEPROM (多次性编程)

电可擦写

局部擦写

全部擦写

5. Flash Memory (闪速型存储器)

EPROM　　价格便宜 集成度高

EEPROM　　电可擦洗重写

比 EEPROM快　具备 RAM 功能