

计算机组成原理

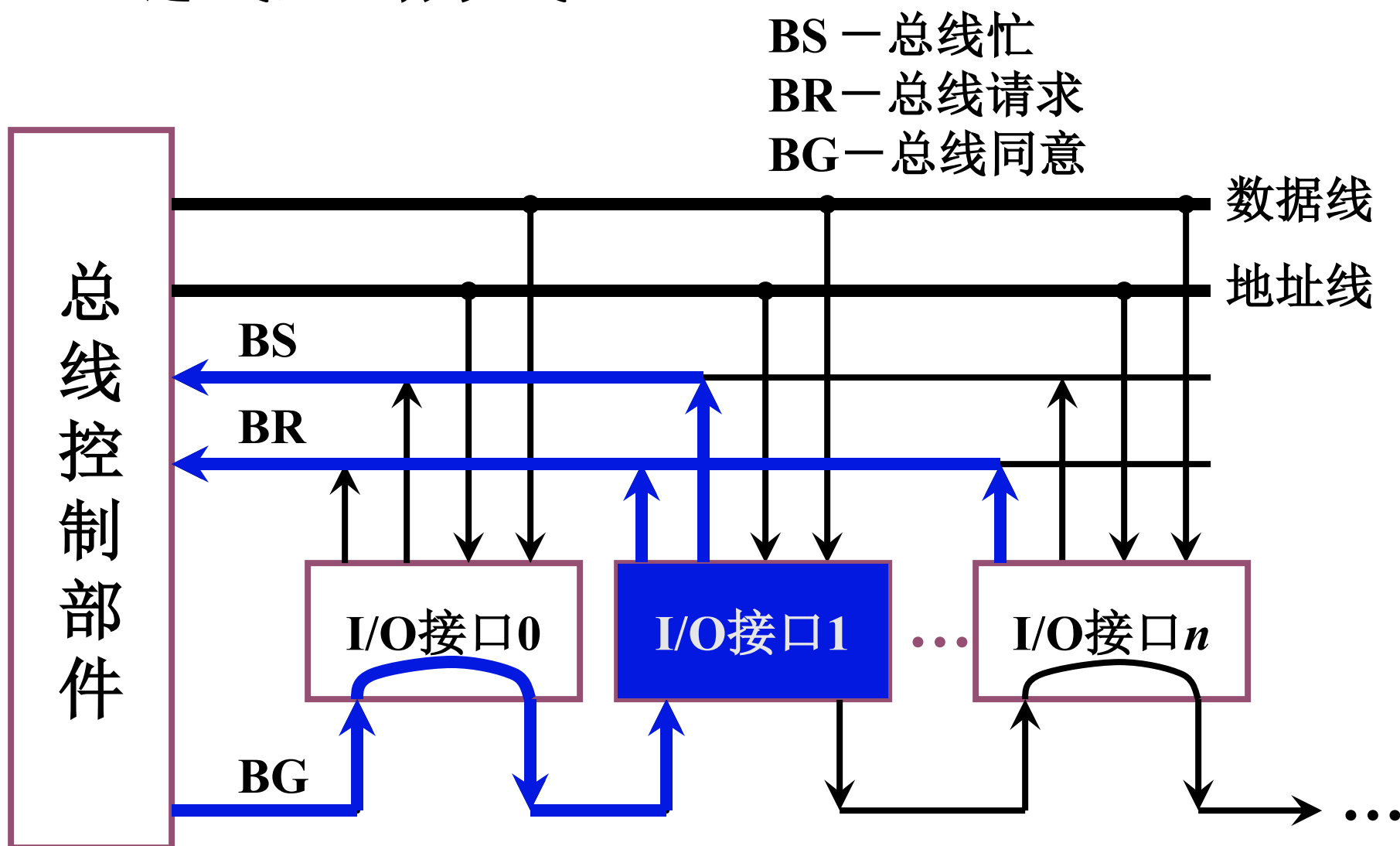
第五讲

刘松波

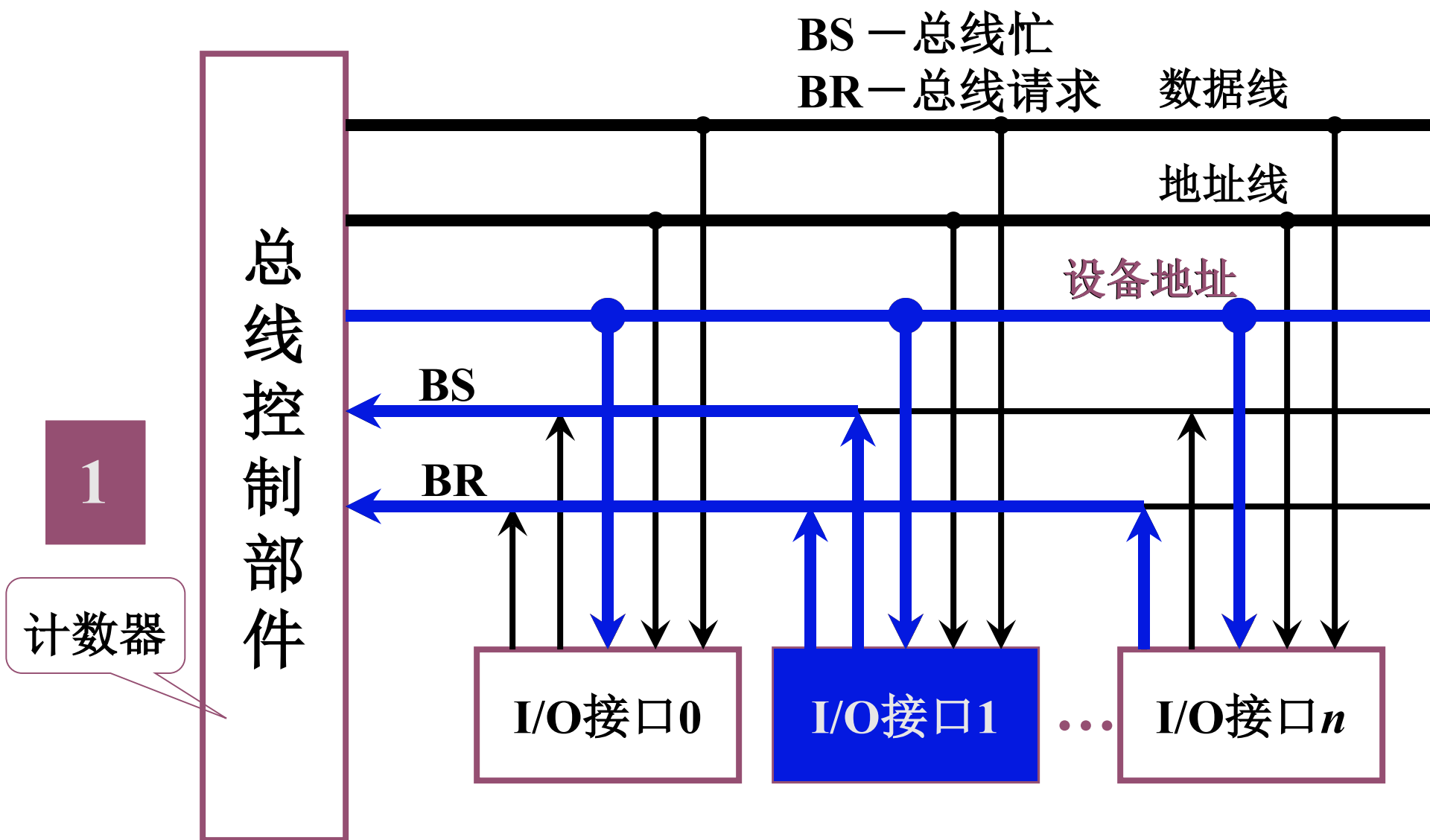
哈工大计算学部

模式识别与智能系统研究中心

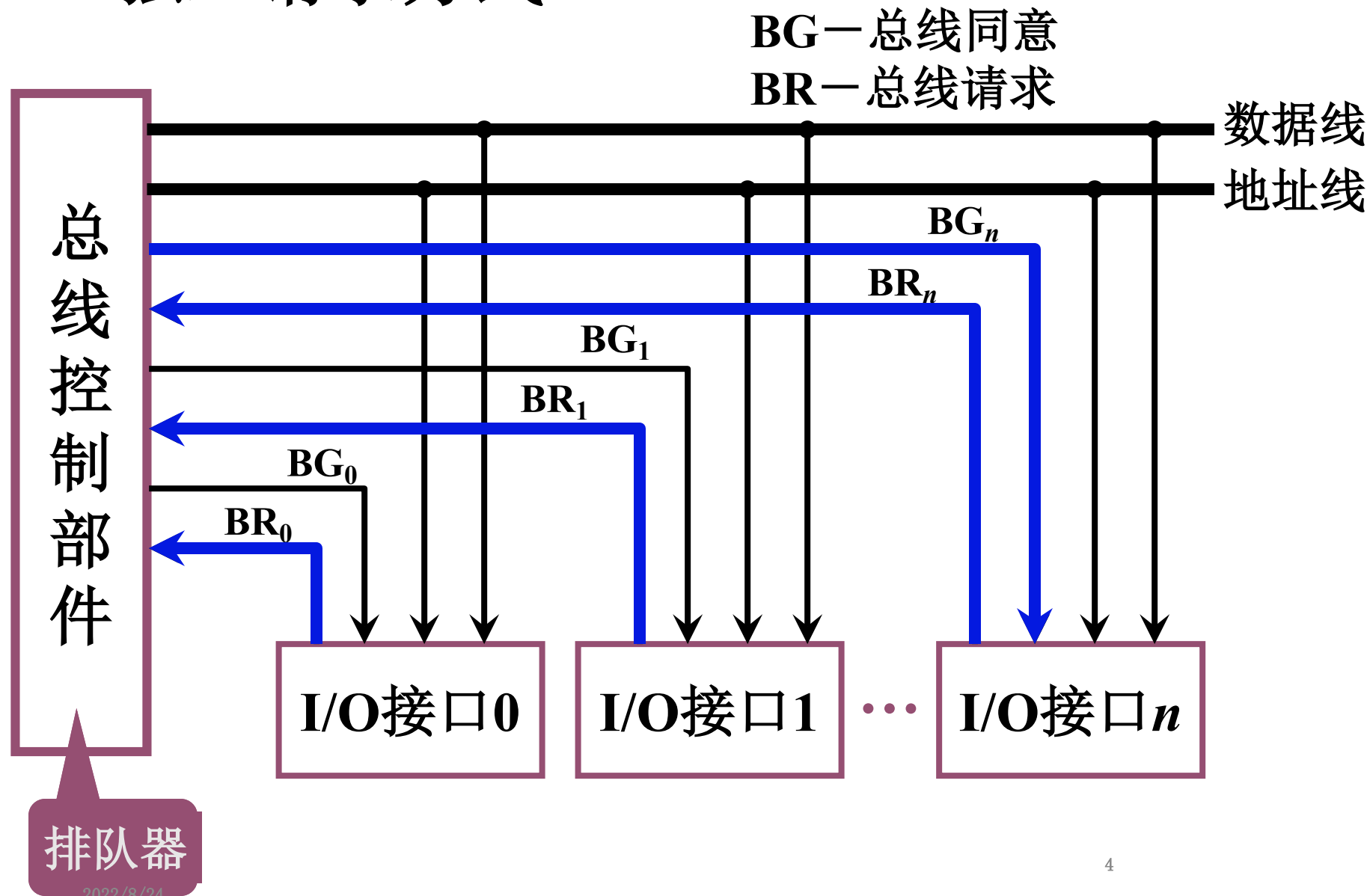
2. 链式查询方式



3. 计数器定时查询方式



4. 独立请求方式



第4章 存储器

4.1 概述

4.2 主存储器

4.3 高速缓冲存储器

4.4 辅助存储器

4.1 概 述

一、存储器分类

1. 按存储介质分类

(1) 半导体存储器	TTL、MOS	易失
(2) 磁表面存储器	磁头、载磁体	非 易 失
(3) 磁芯存储器	硬磁材料、环状元件	
(4) 光盘存储器	激光、磁光材料	

2. 按存取方式分类

(1) 存取时间与物理地址无关（随机访问）

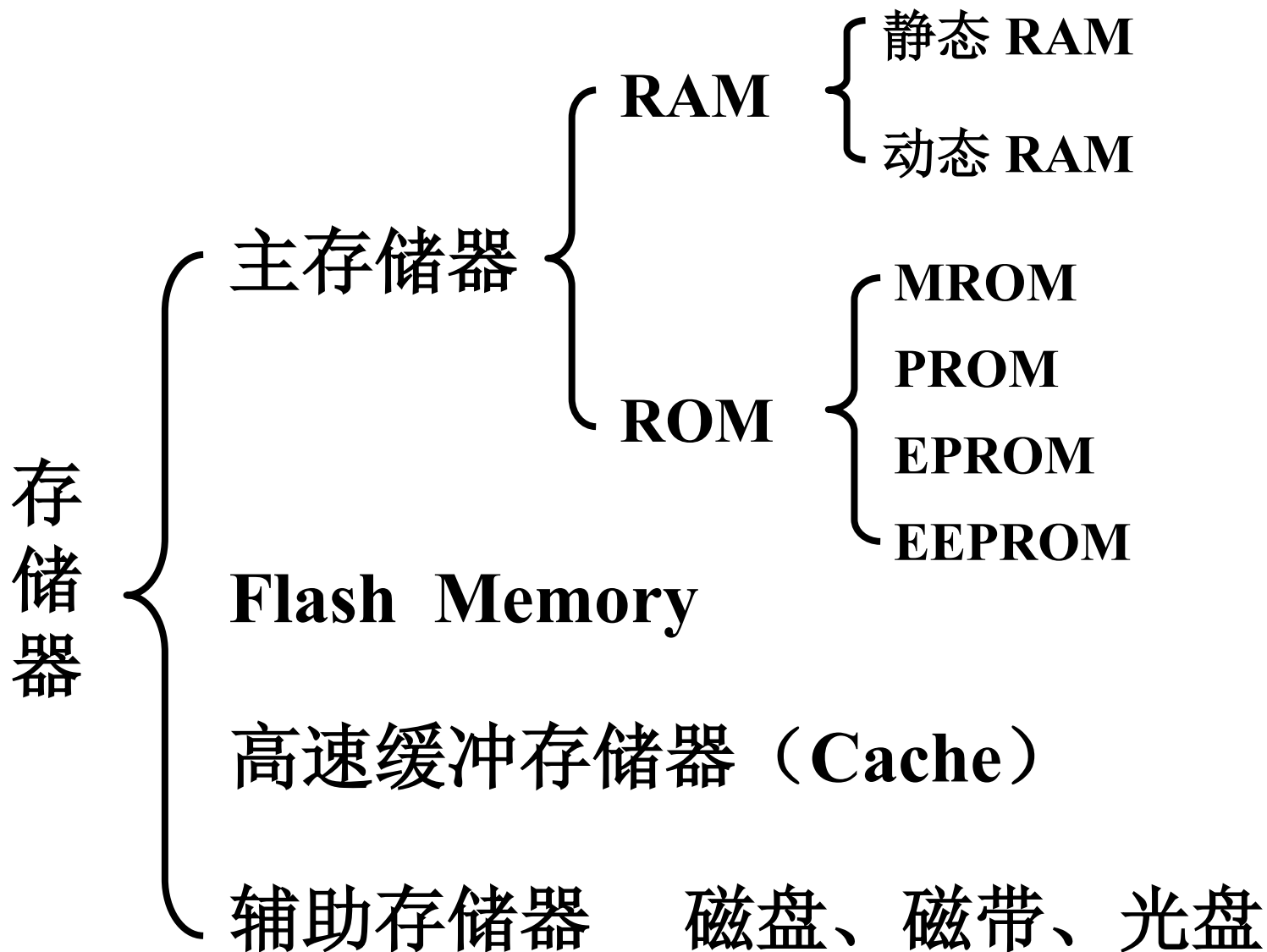
- 随机存储器 在程序的执行过程中 可读 可 写
- 只读存储器 在程序的执行过程中 只 读

(2) 存取时间与物理地址有关（串行访问）

- 顺序存取存储器 磁带
- 直接存取存储器 磁盘

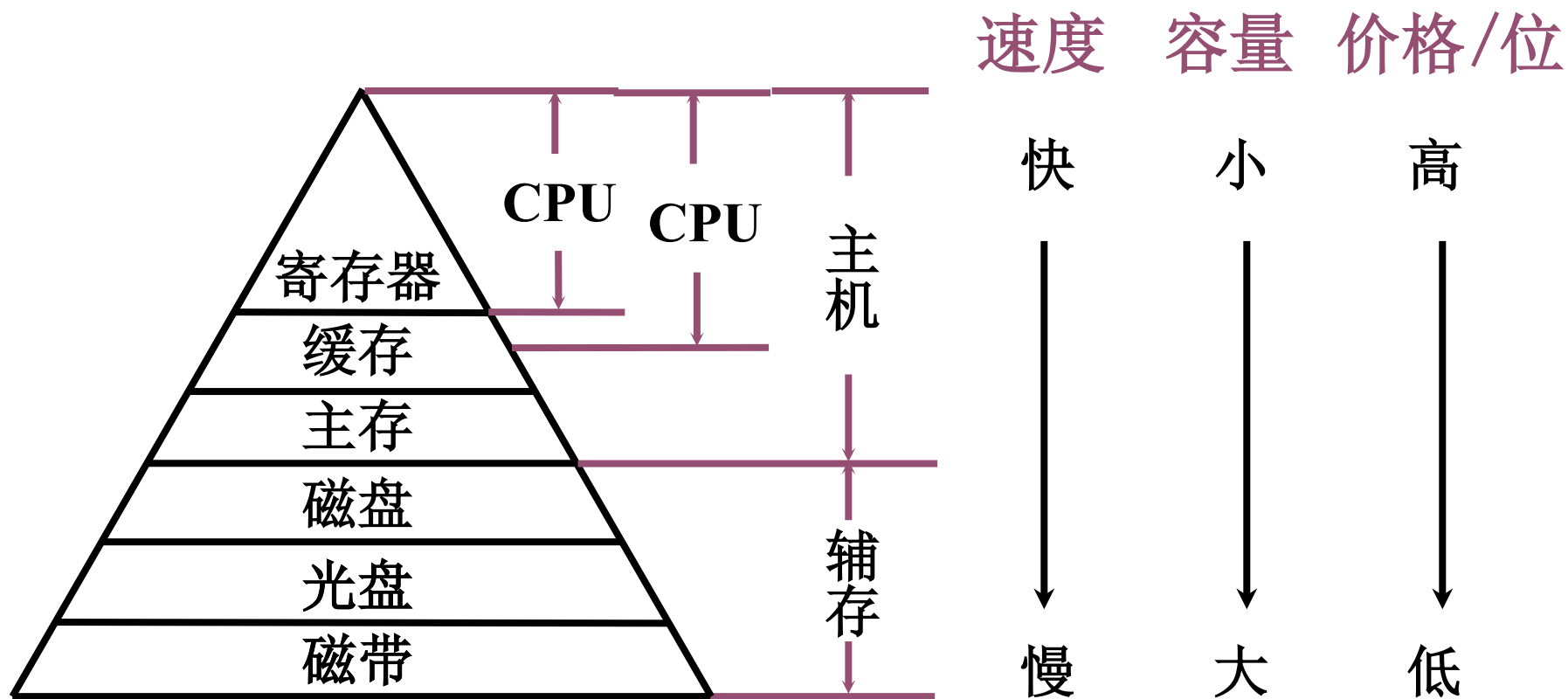
3. 按在计算机中的作用分类

4.1

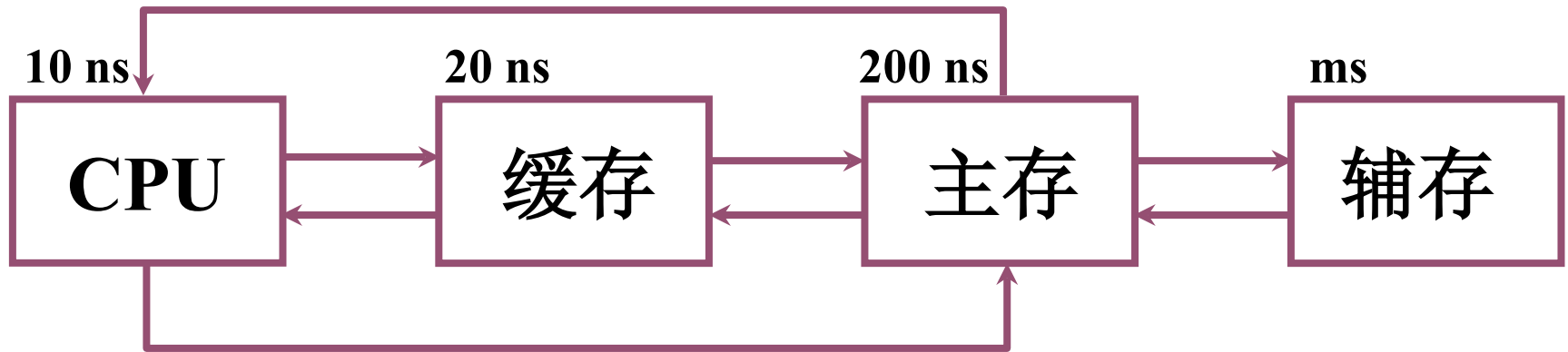


二、存储器的层次结构

1. 存储器三个主要特性的关系



2. 缓存—主存层次和主存—辅存层次 4.1



(速度) (容量)
缓存—主存 主存—辅存

主存储器

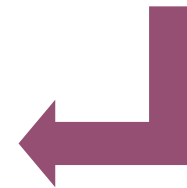
虚拟存储器

实地址

虚地址

物理地址

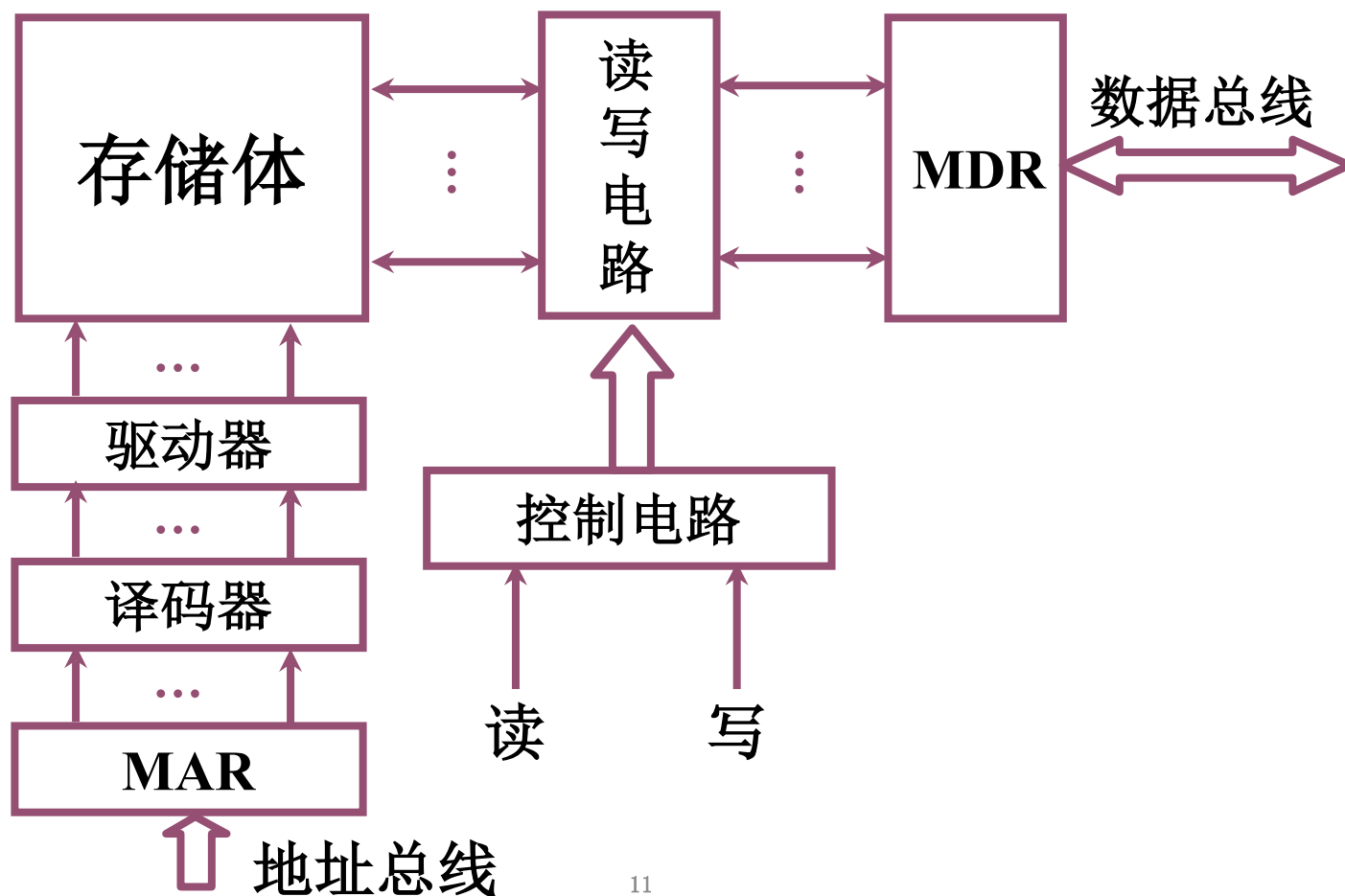
逻辑地址



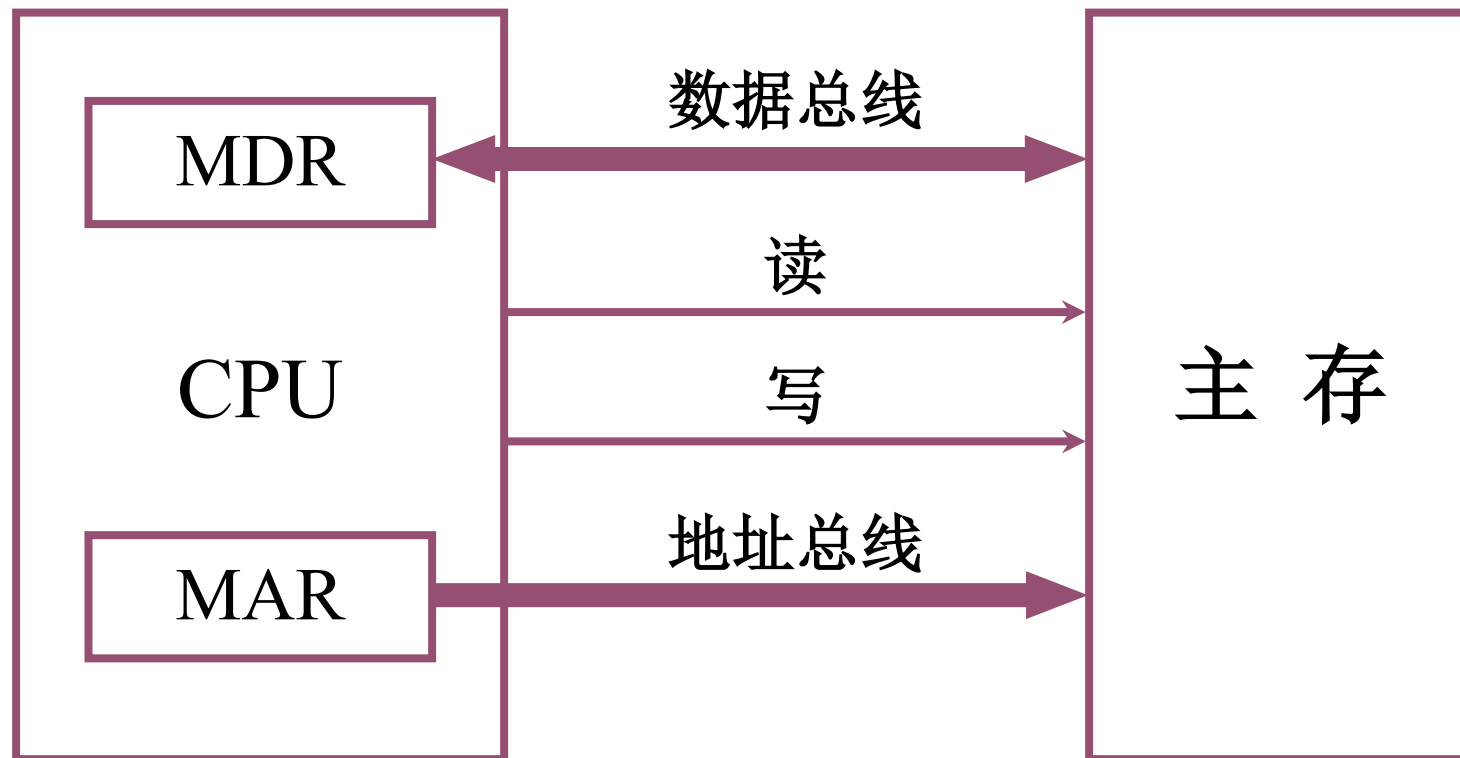
4.2 主存储器

一、概述

1. 主存的基本组成



2. 主存和 CPU 的联系



3. 主存中存储单元地址的分配

高位字节 地址为字地址

低位字节 地址为字地址

字地址	字节地址			
0	0	1	2	3
4	4	5	6	7
8	8	9	10	11

字地址	字节地址	
0	1	0
2	3	2
4	5	4

设地址线 24 根

若字长为 16 位

若字长为 32 位

按 字节 寻址 $2^{24} = 16 \text{ MB}$

按 字 寻址 8 MW

按 字 寻址 4 MW

4. 主存的技术指标

4.2

(1) 存储容量 主存 存放二进制代码的总位数

(2) 存储速度

- 存取时间 存储器的 访问时间

读出时间 写入时间

- 存取周期 连续两次独立的存储器操作

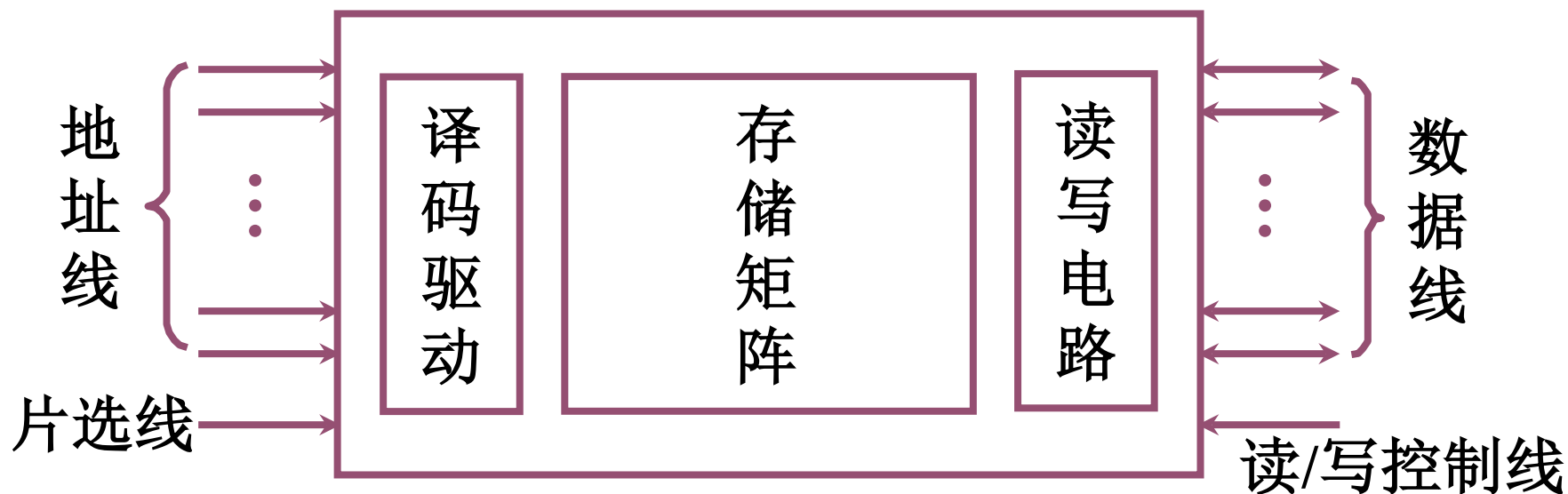
(读或写) 所需的 最小间隔时间

读周期 写周期

(3) 存储器的带宽 位/秒

二、半导体存储芯片简介

1. 半导体存储芯片的基本结构



地址线（单向）

数据线（双向）

芯片容量

10

4

1K×4位

14

1

16K×1位

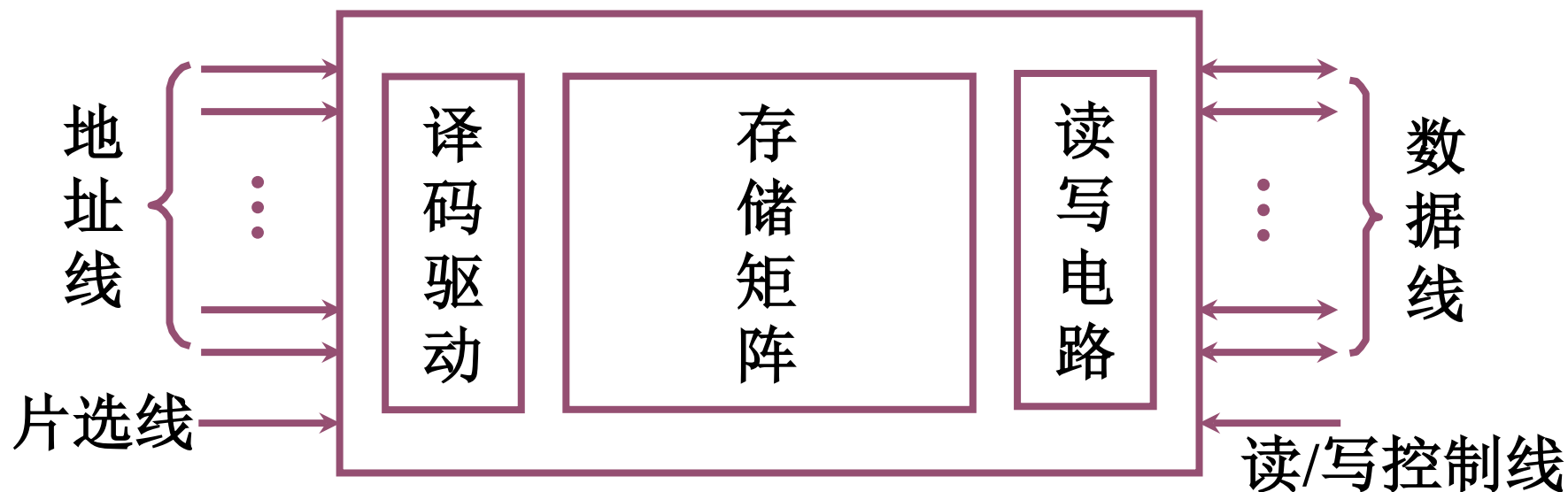
13

8

8K×8位

二、半导体存储芯片简介

1. 半导体存储芯片的基本结构

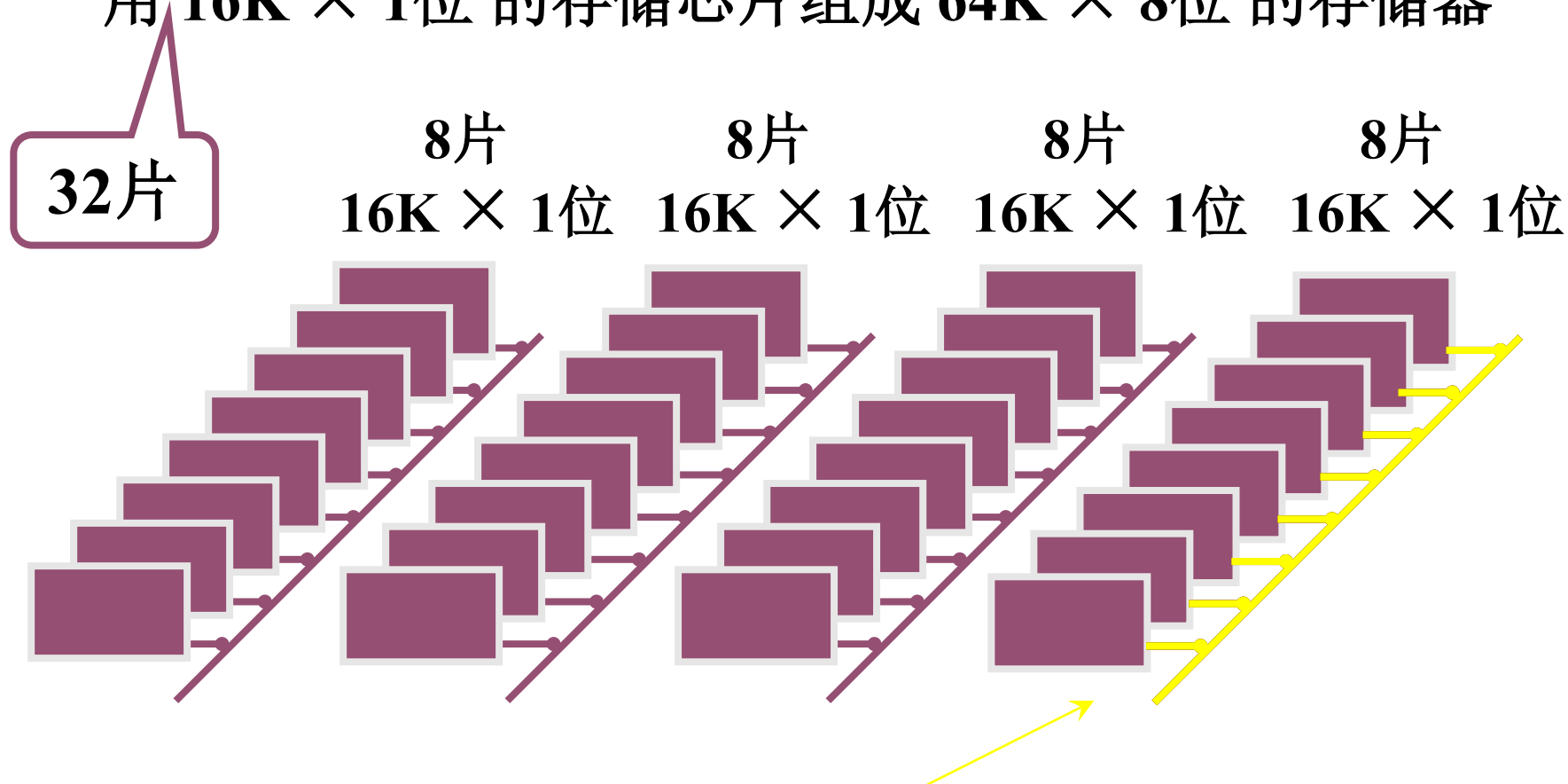


片选线 $\overline{\text{CS}}$ $\overline{\text{CE}}$

读/写控制线 $\overline{\text{WE}}$ (低电平写 高电平读)
 $\overline{\text{OE}}$ (允许读) $\overline{\text{WE}}$ (允许写)

存储芯片片选线的作用

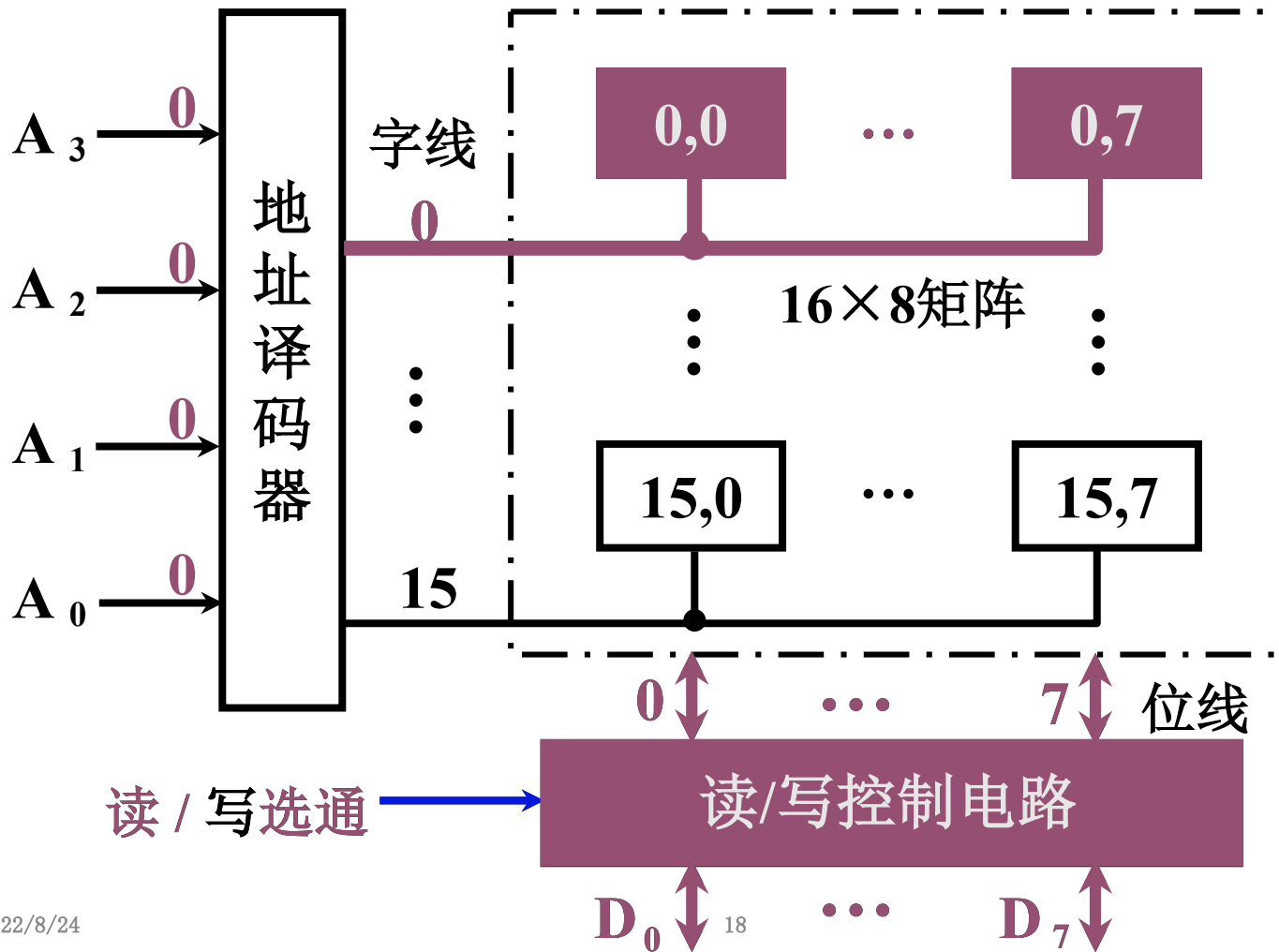
用 $16\text{K} \times 1$ 位的存储芯片组成 $64\text{K} \times 8$ 位的存储器



当地址为 65 535 时，此 8 片的片选有效

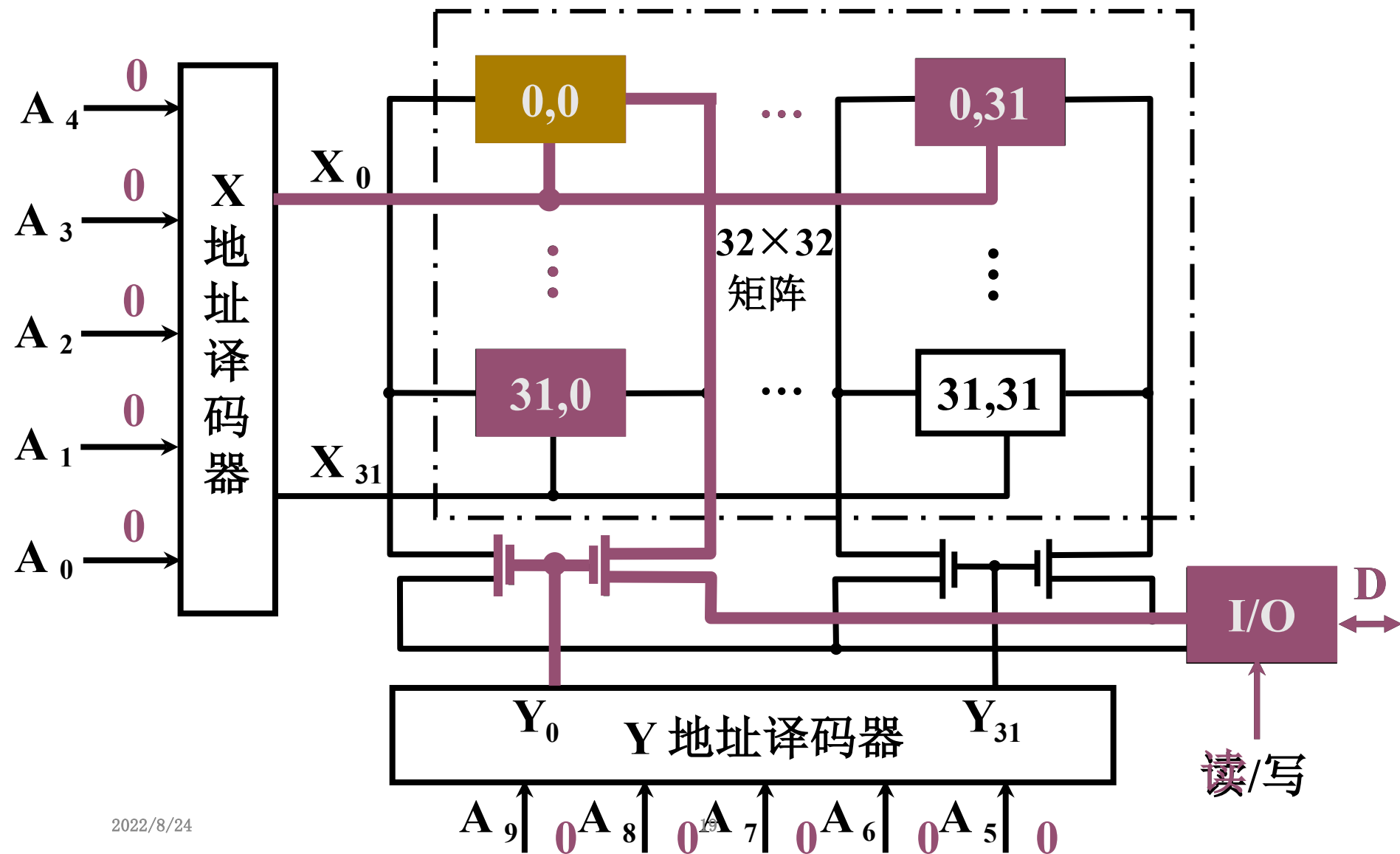
2. 半导体存储芯片的译码驱动方式 4.2

(1) 线选法



(2) 重合法

4.2

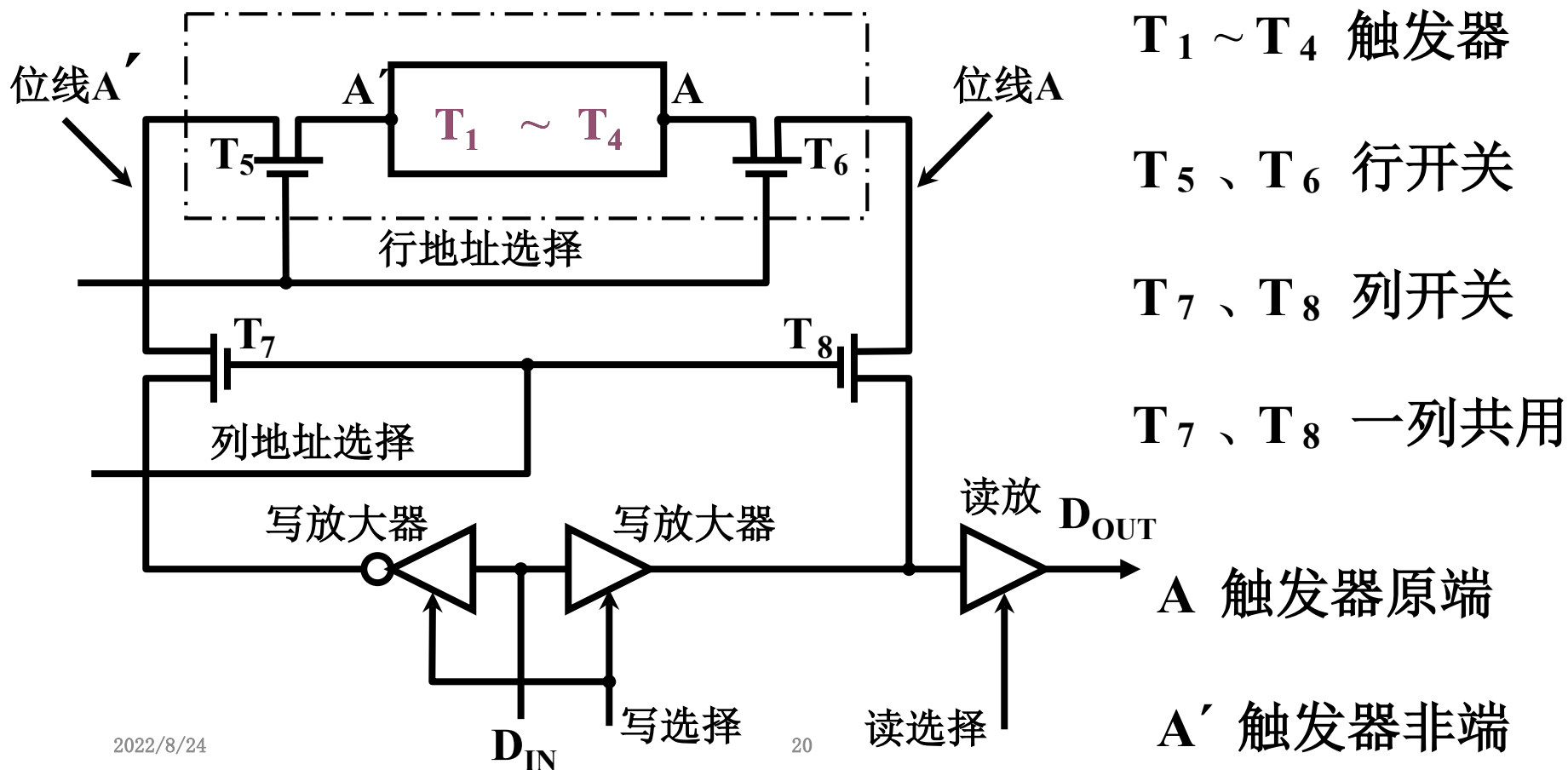


三、随机存取存储器 (RAM)

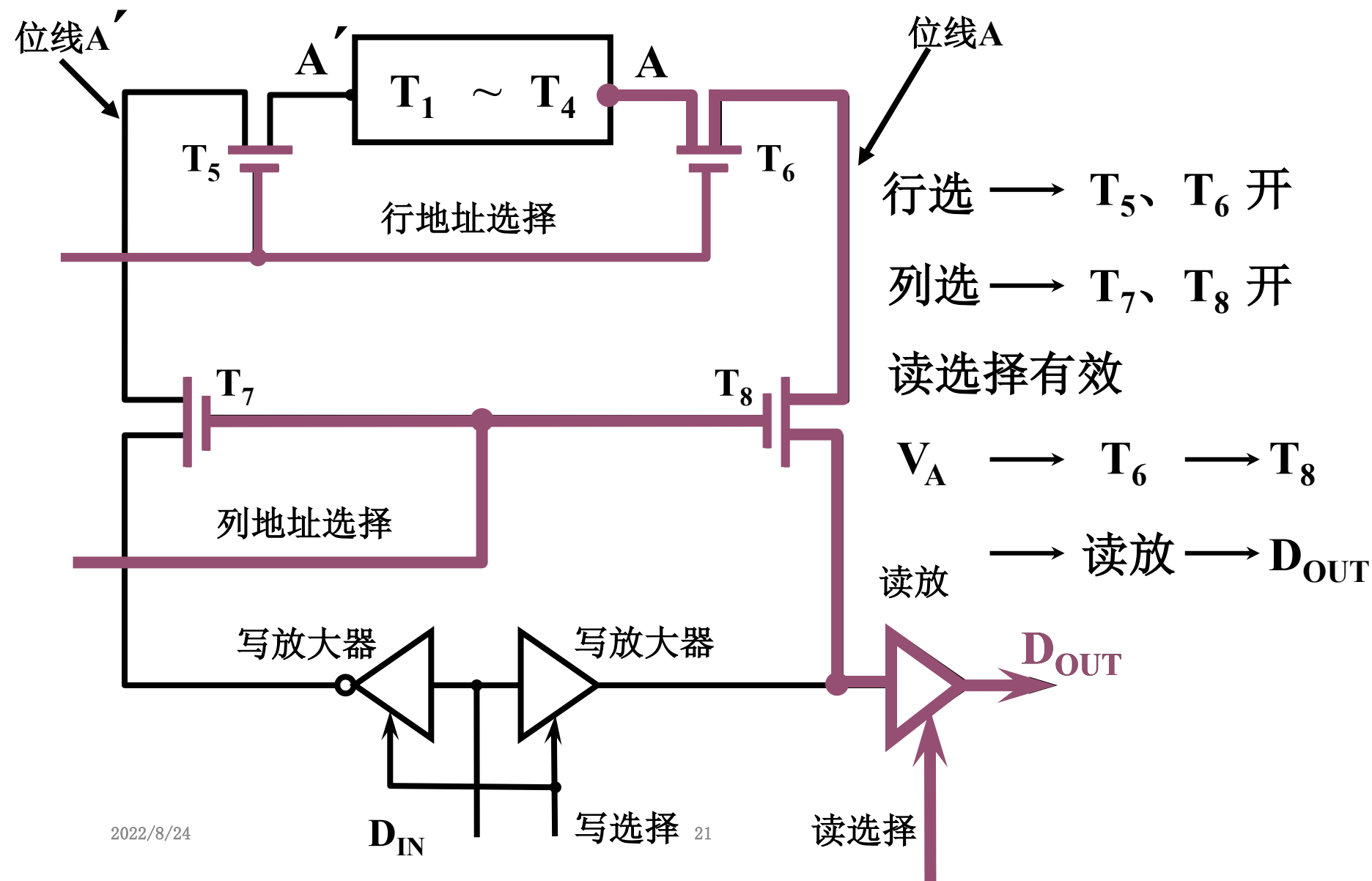
4.2

1. 静态 RAM (SRAM)

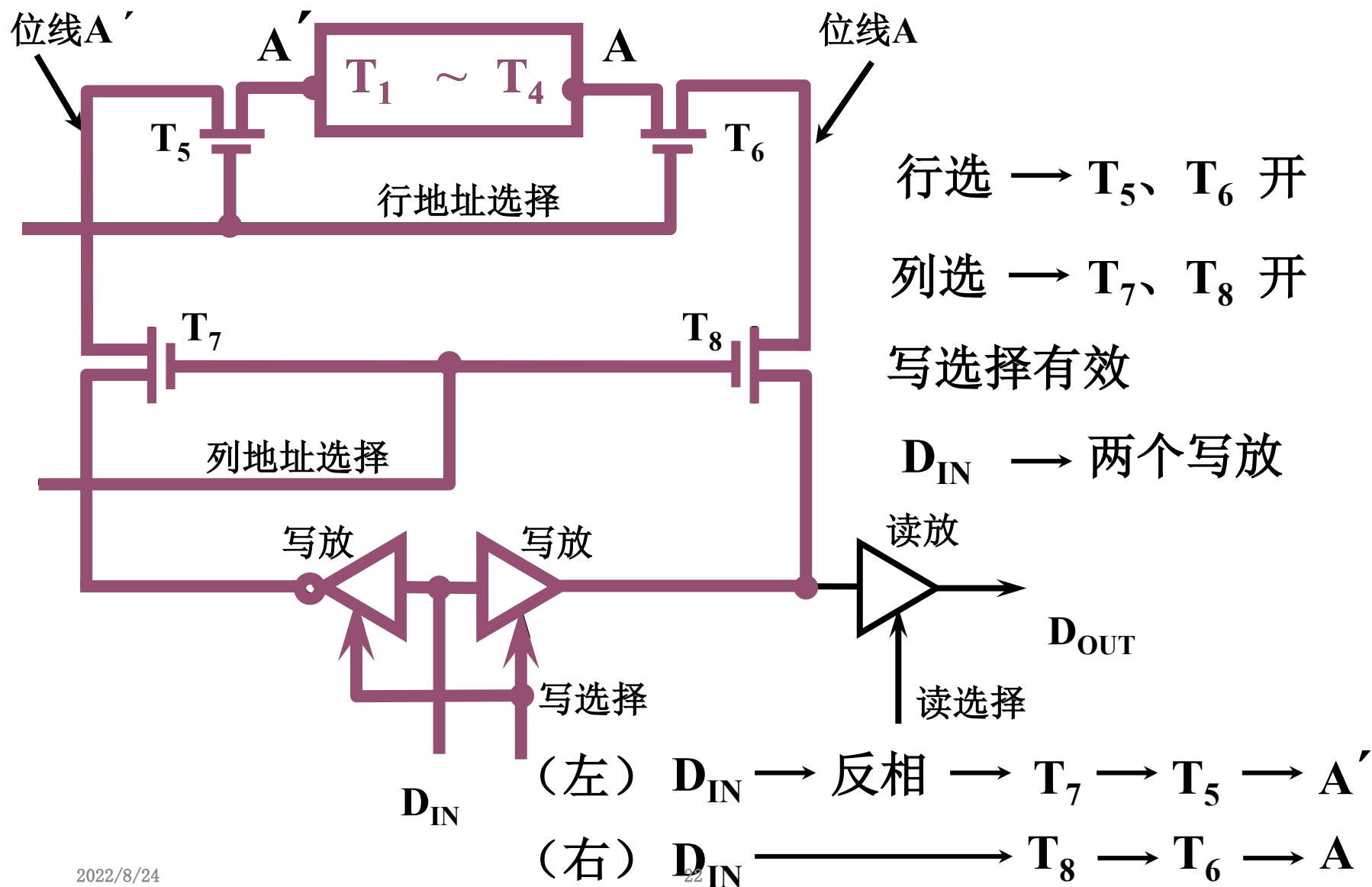
(1) 静态 RAM 基本电路



① 静态 RAM 基本电路的 读 操作

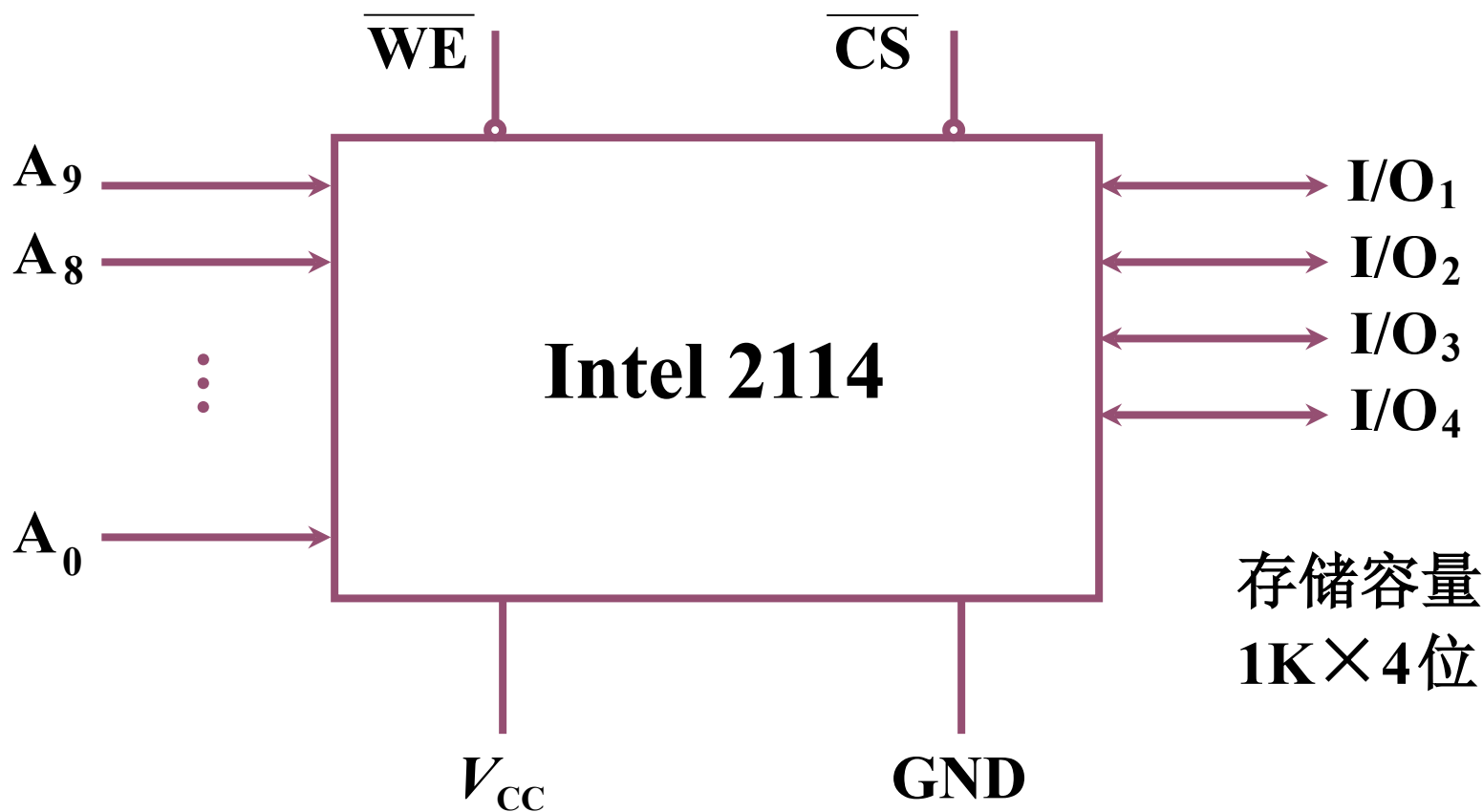


② 静态 RAM 基本电路的 写 操作

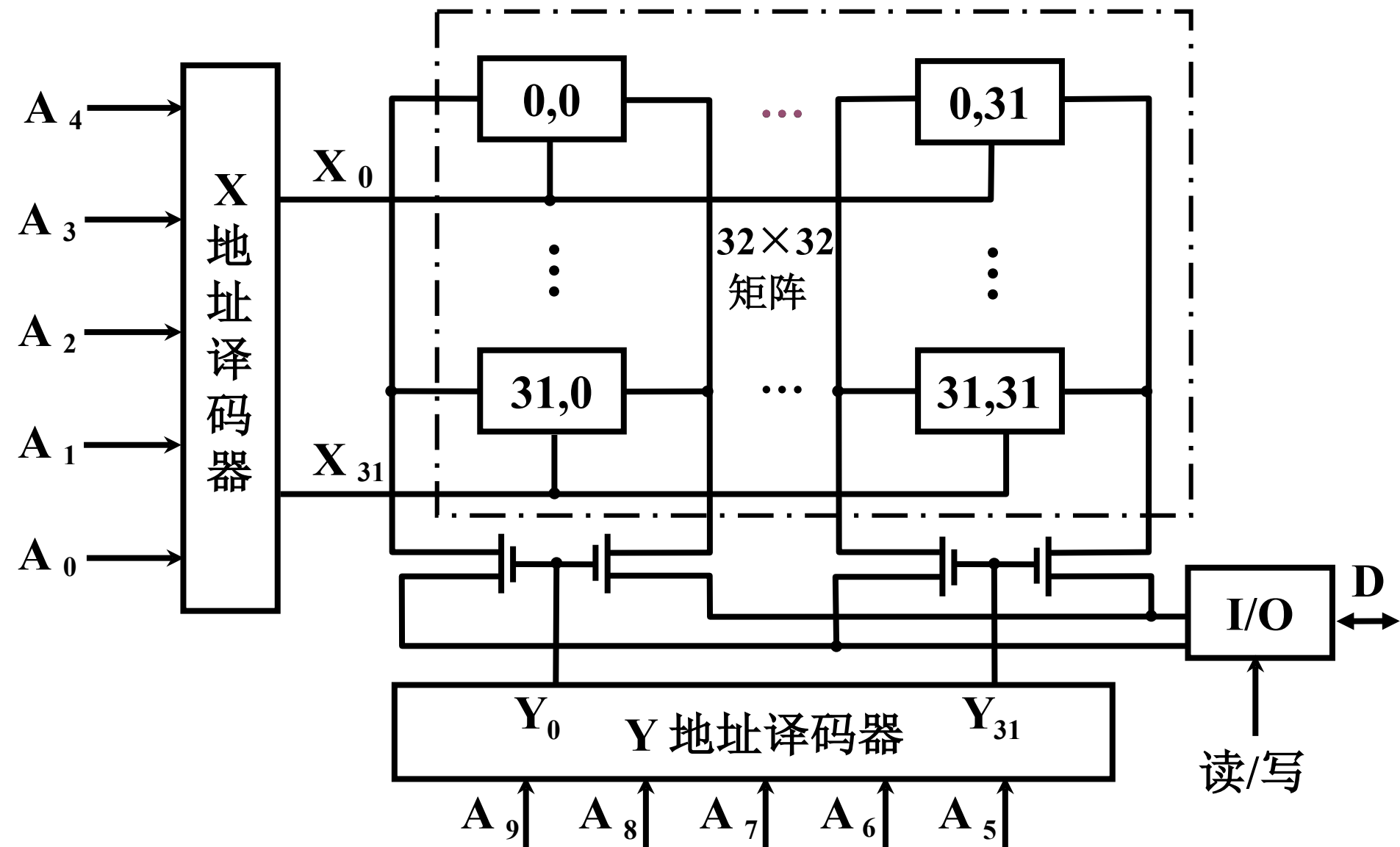


(2) 静态 RAM 芯片举例

① Intel 2114 外特性

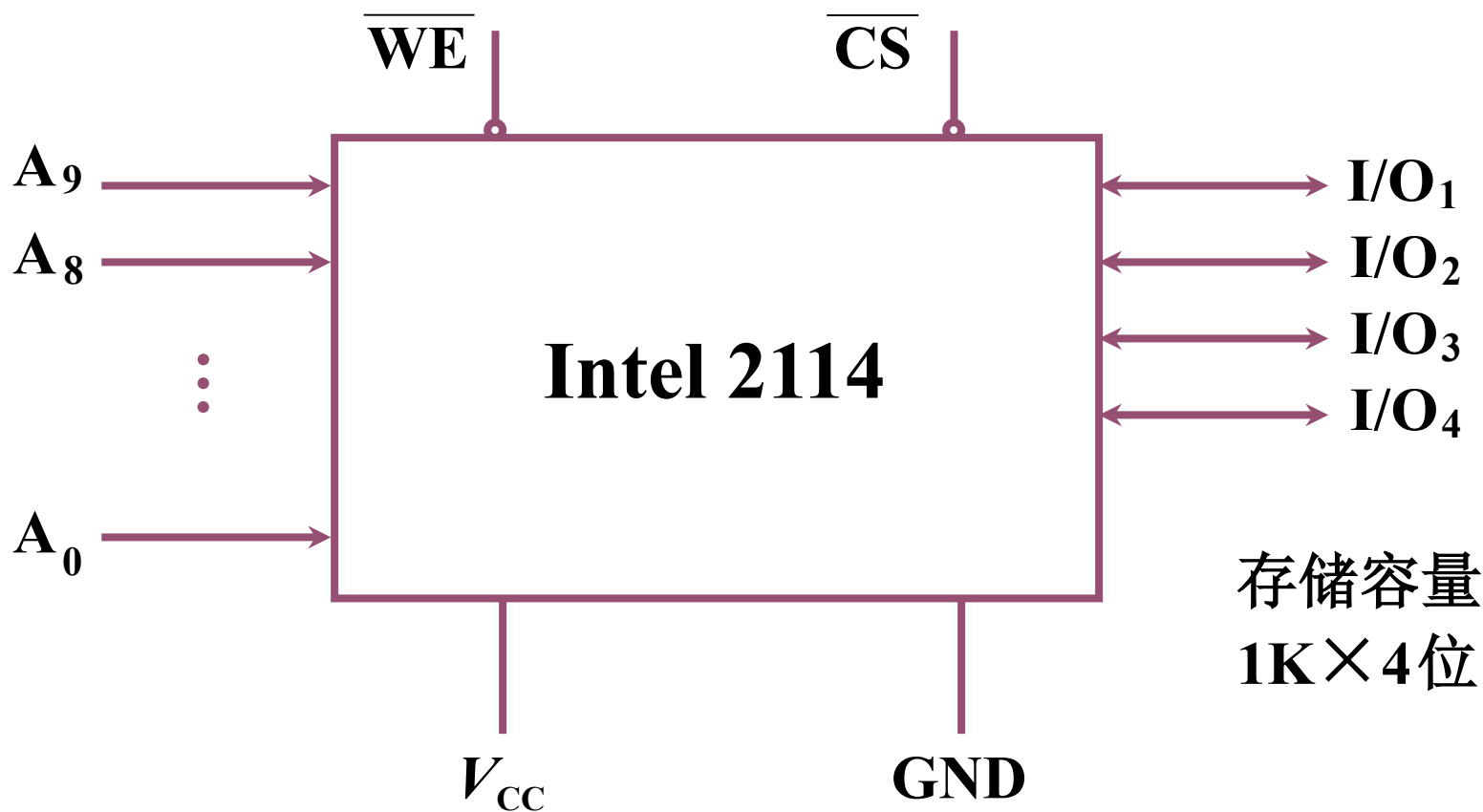


曾经讲到过的重合法，怎么实现选一次四列？

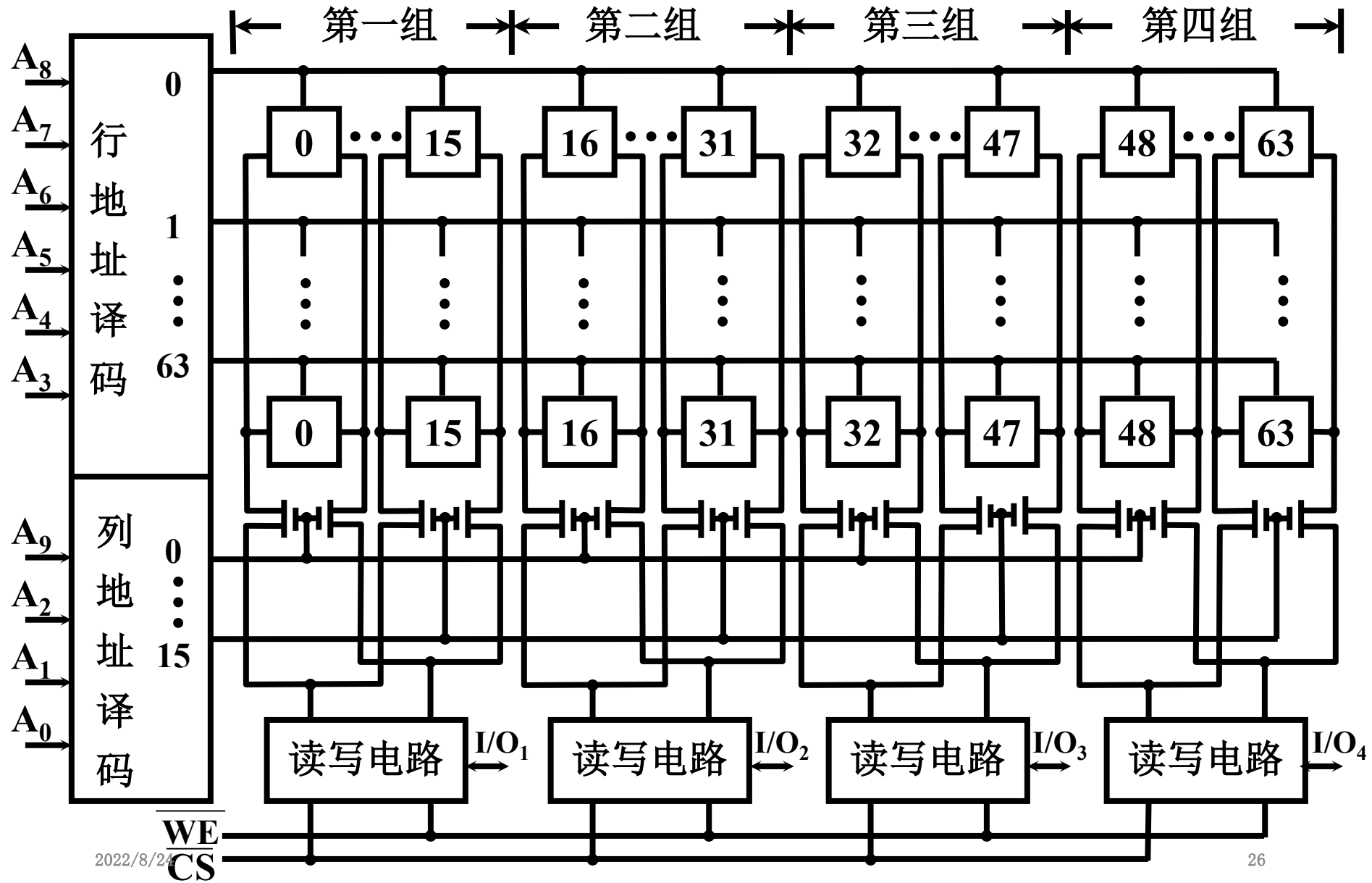


(2) 静态 RAM 芯片举例

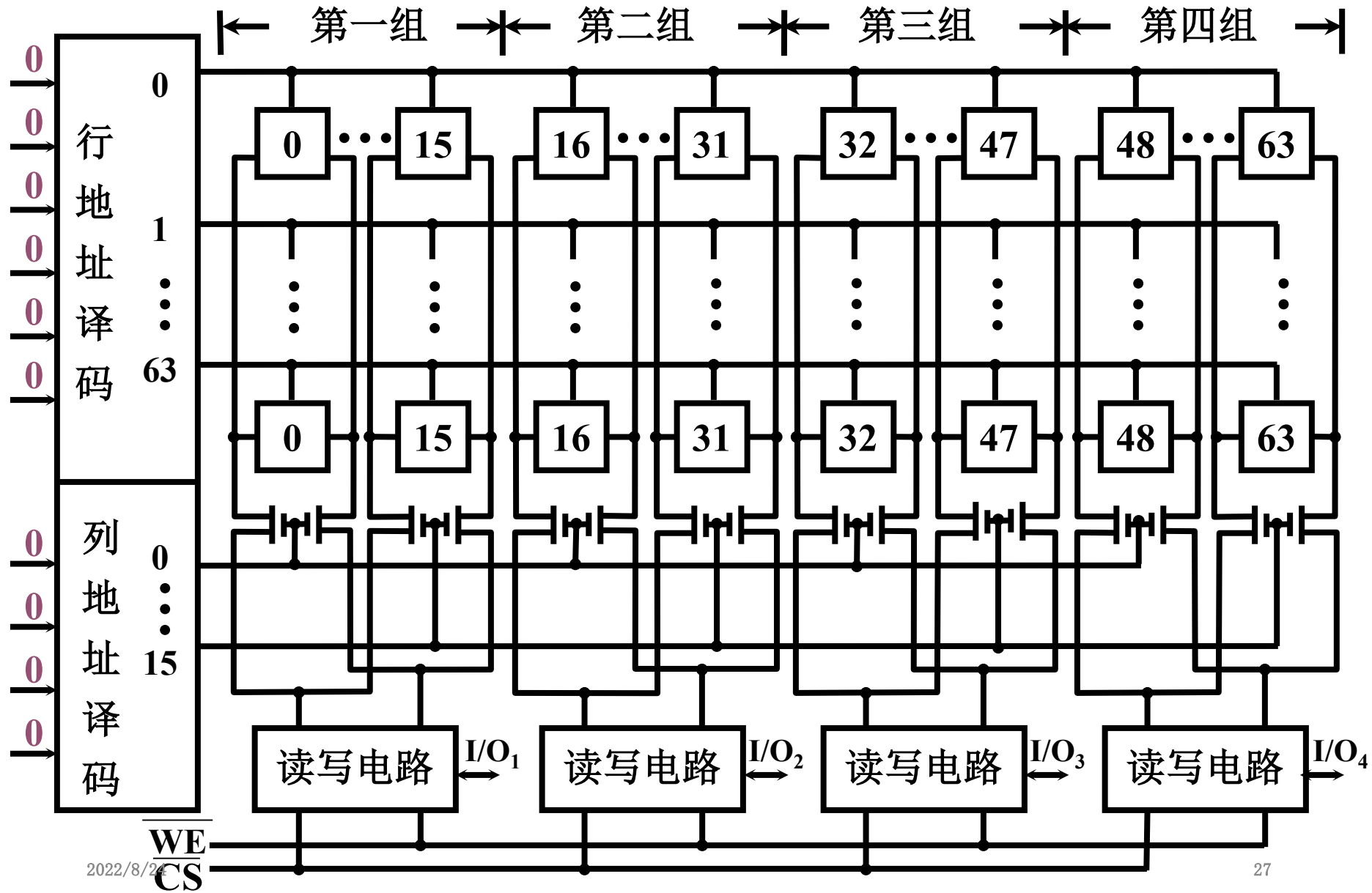
① Intel 2114 外特性



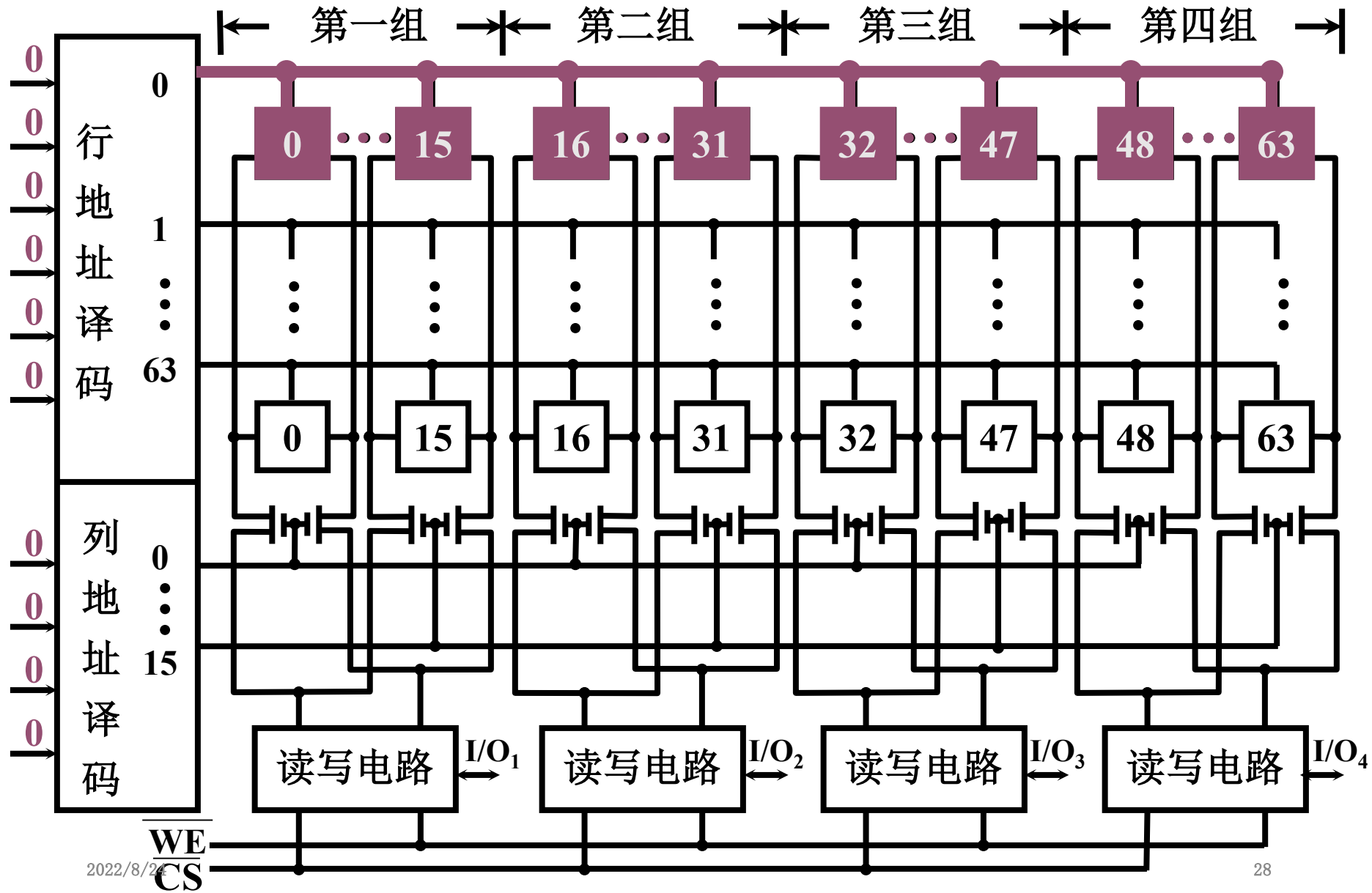
② Intel 2114 RAM 矩阵 (64×64) 读 4.2



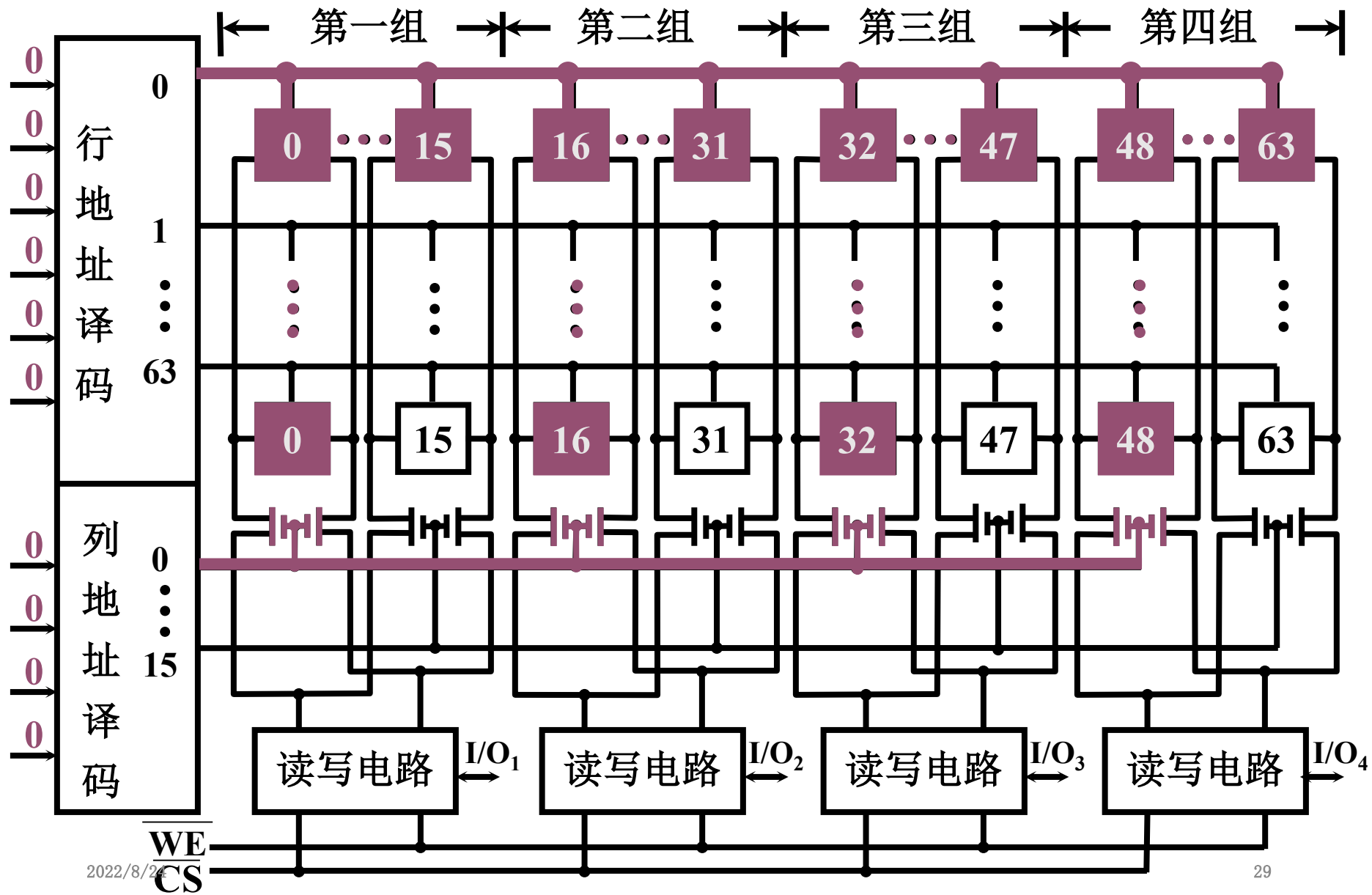
② Intel 2114 RAM 矩阵 (64×64) 读 4.2



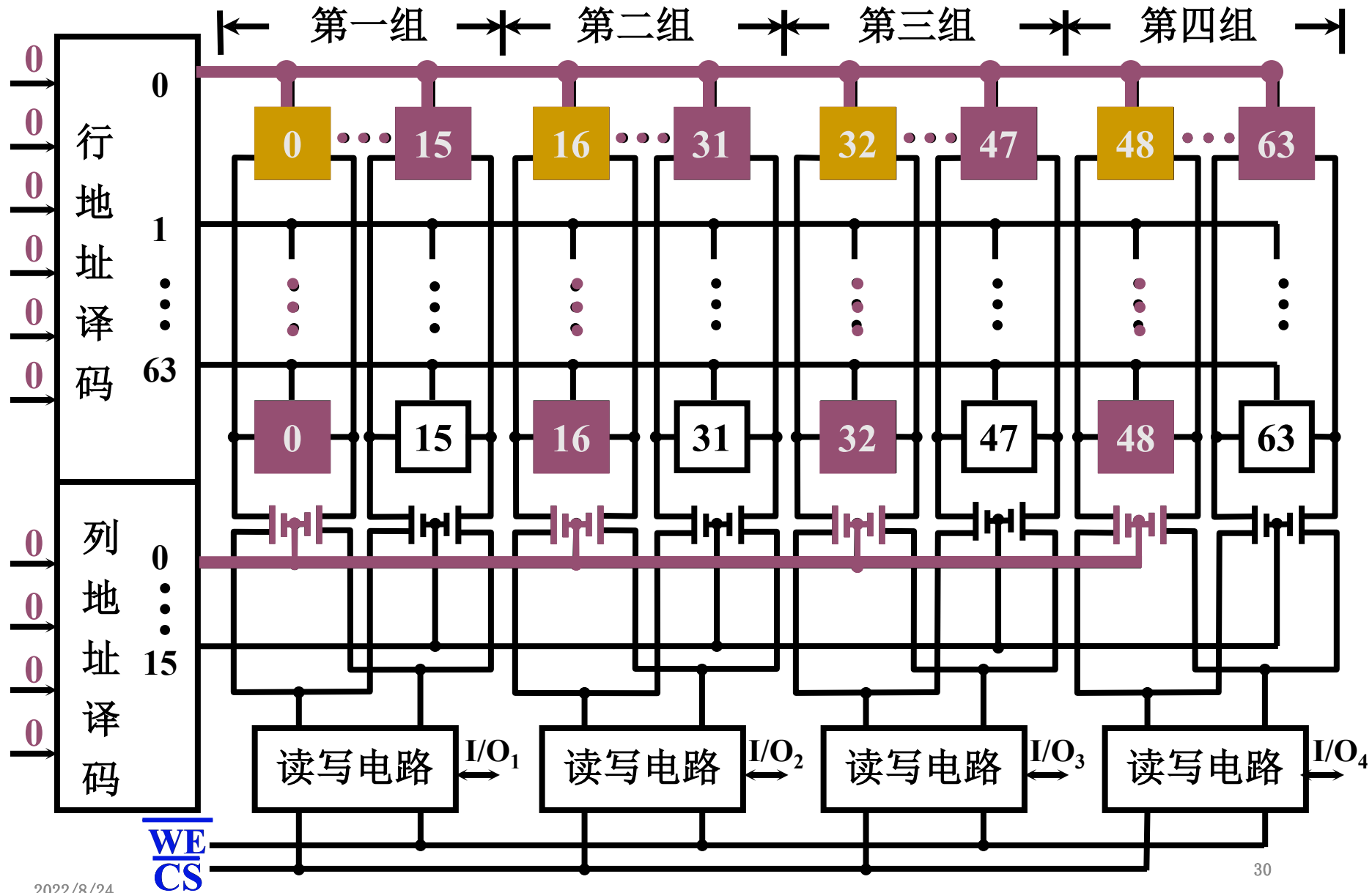
② Intel 2114 RAM 矩阵 (64 × 64) 读 4.2



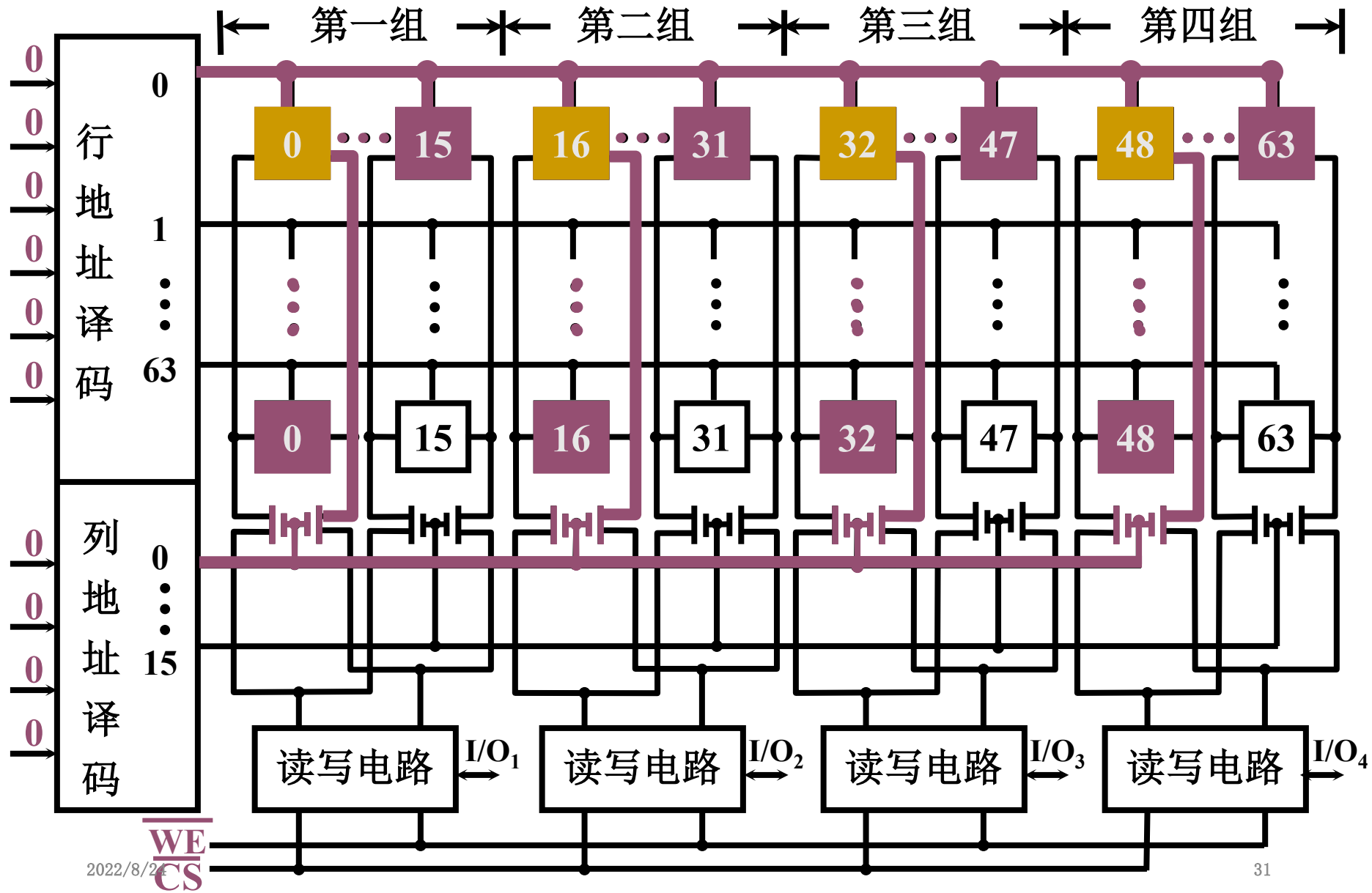
② Intel 2114 RAM 矩阵 (64 × 64) 读 4.2



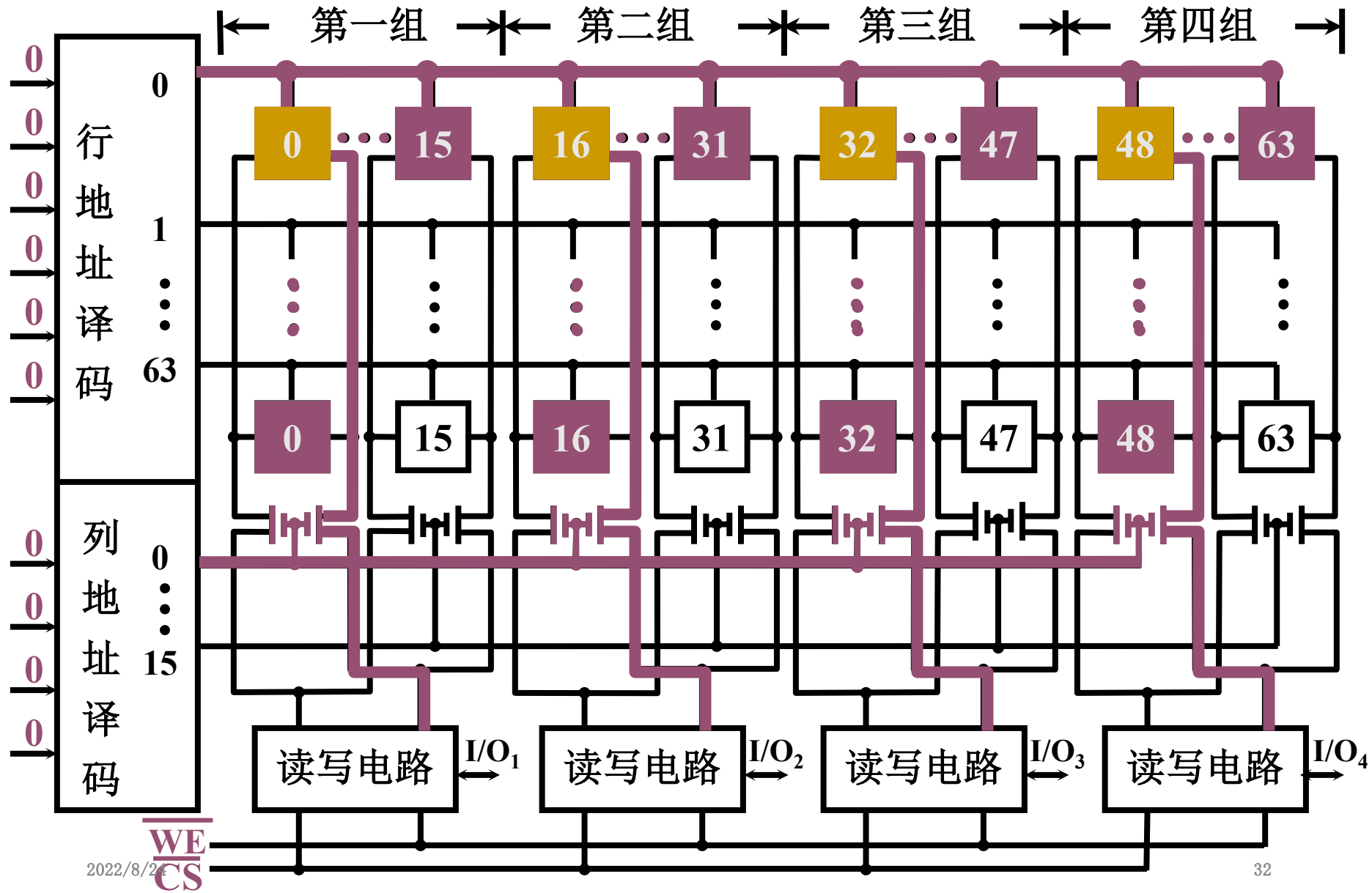
② Intel 2114 RAM 矩阵 (64 × 64) 读 4.2



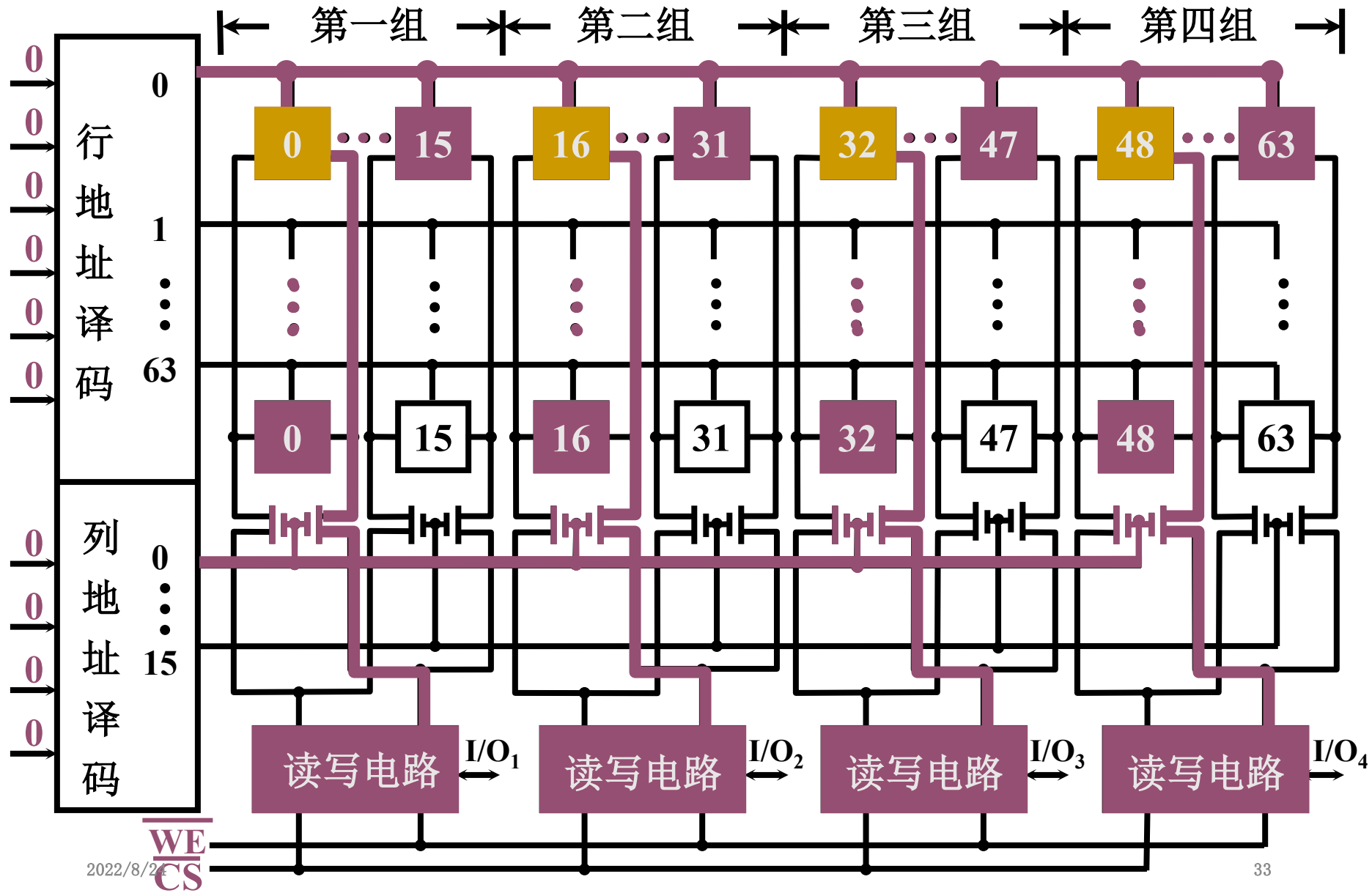
② Intel 2114 RAM 矩阵 (64 × 64) 读 4.2



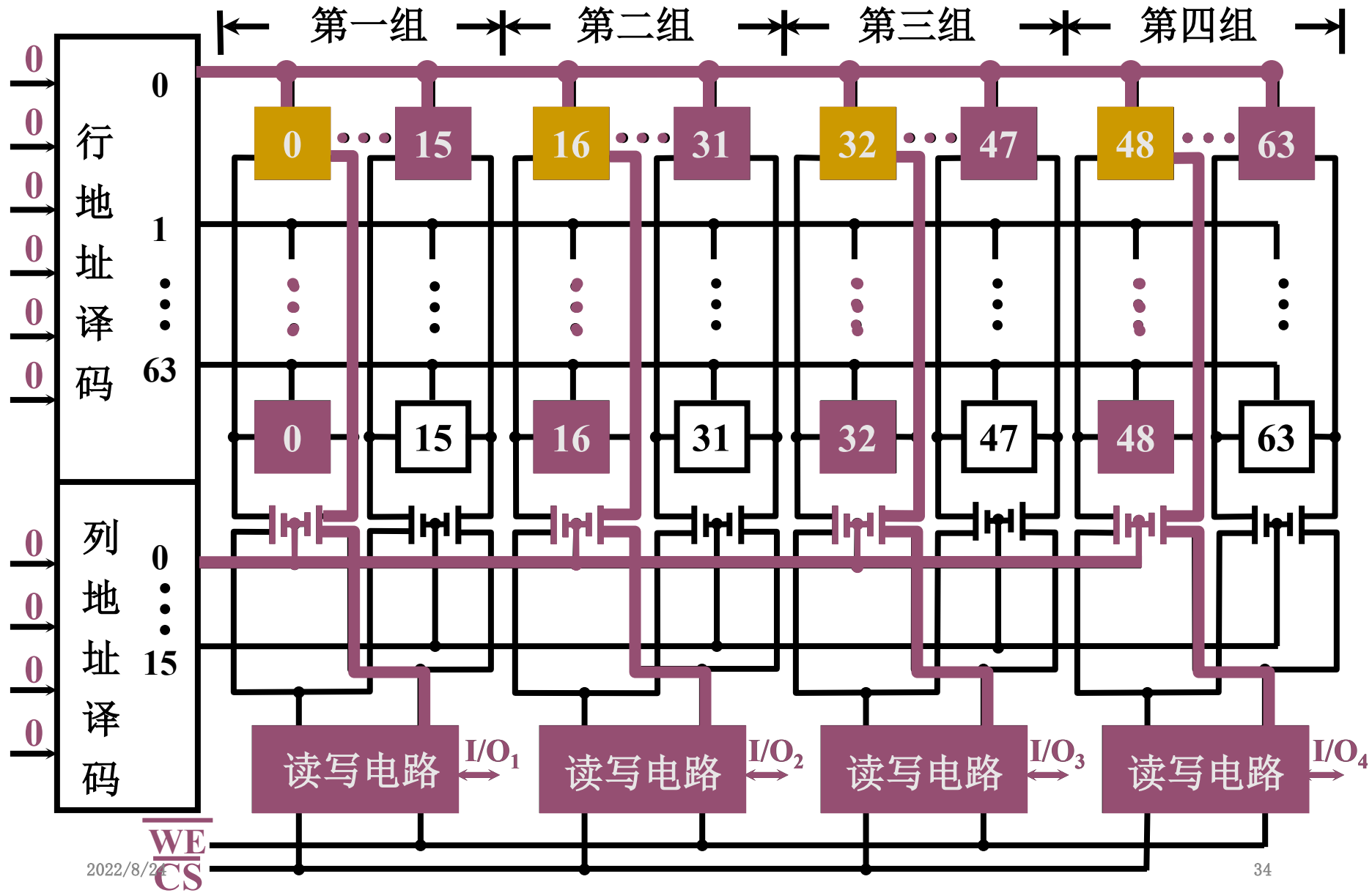
② Intel 2114 RAM 矩阵 (64×64) 读 4.2



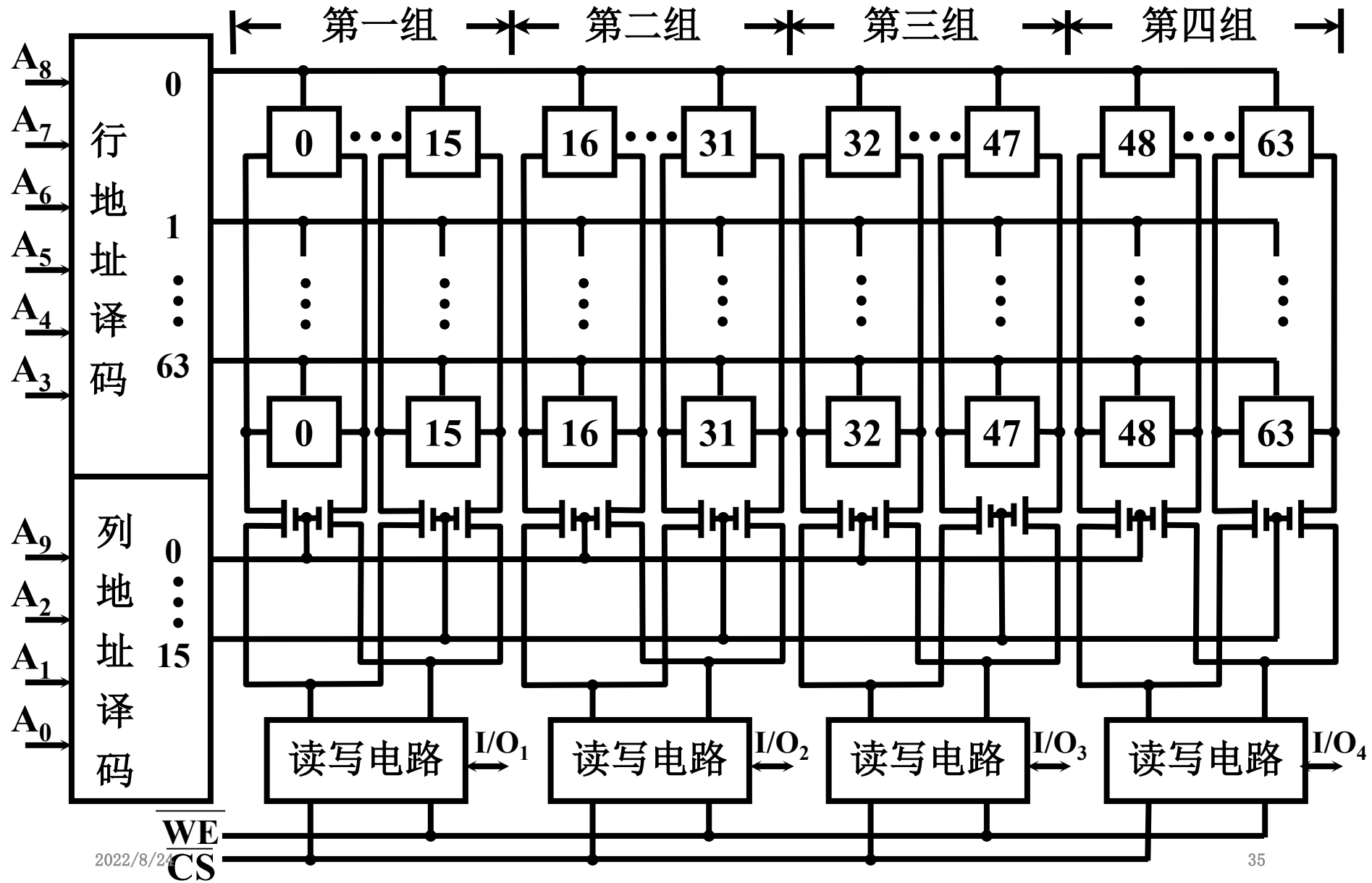
② Intel 2114 RAM 矩阵 (64 × 64) 读 4.2



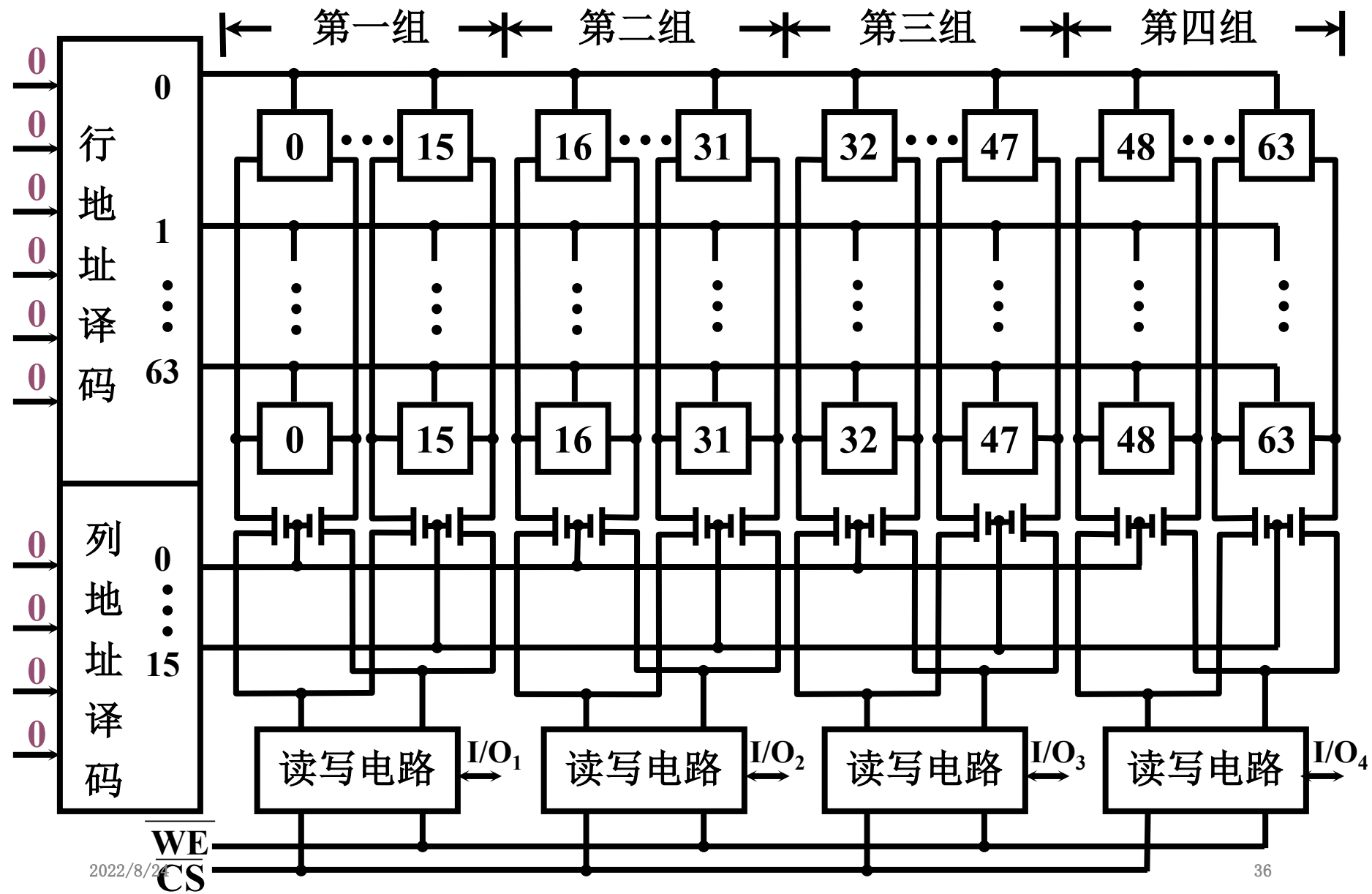
② Intel 2114 RAM 矩阵 (64×64) 读 4.2



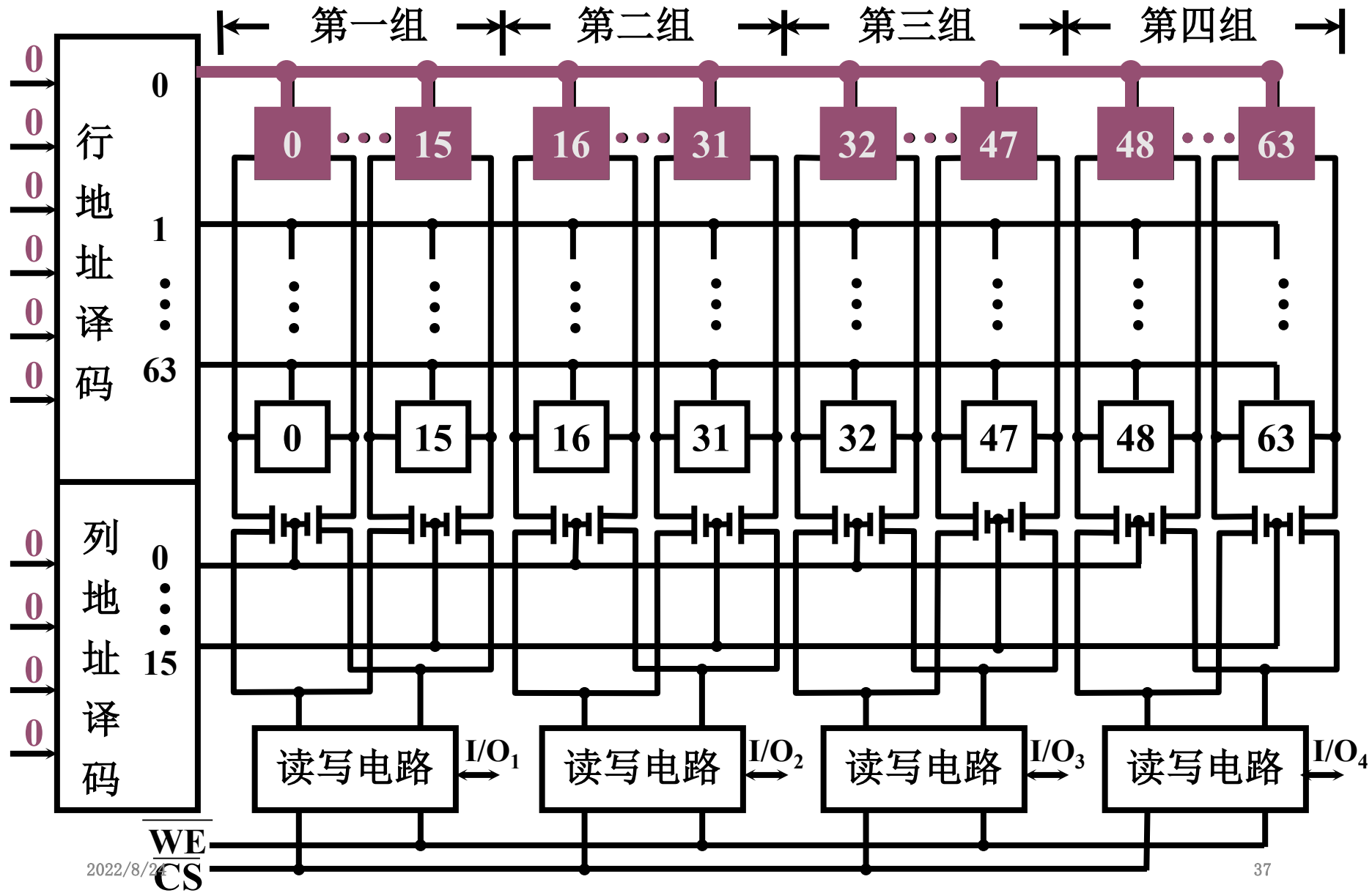
③ Intel 2114 RAM 矩阵 (64 × 64) 写 4.2



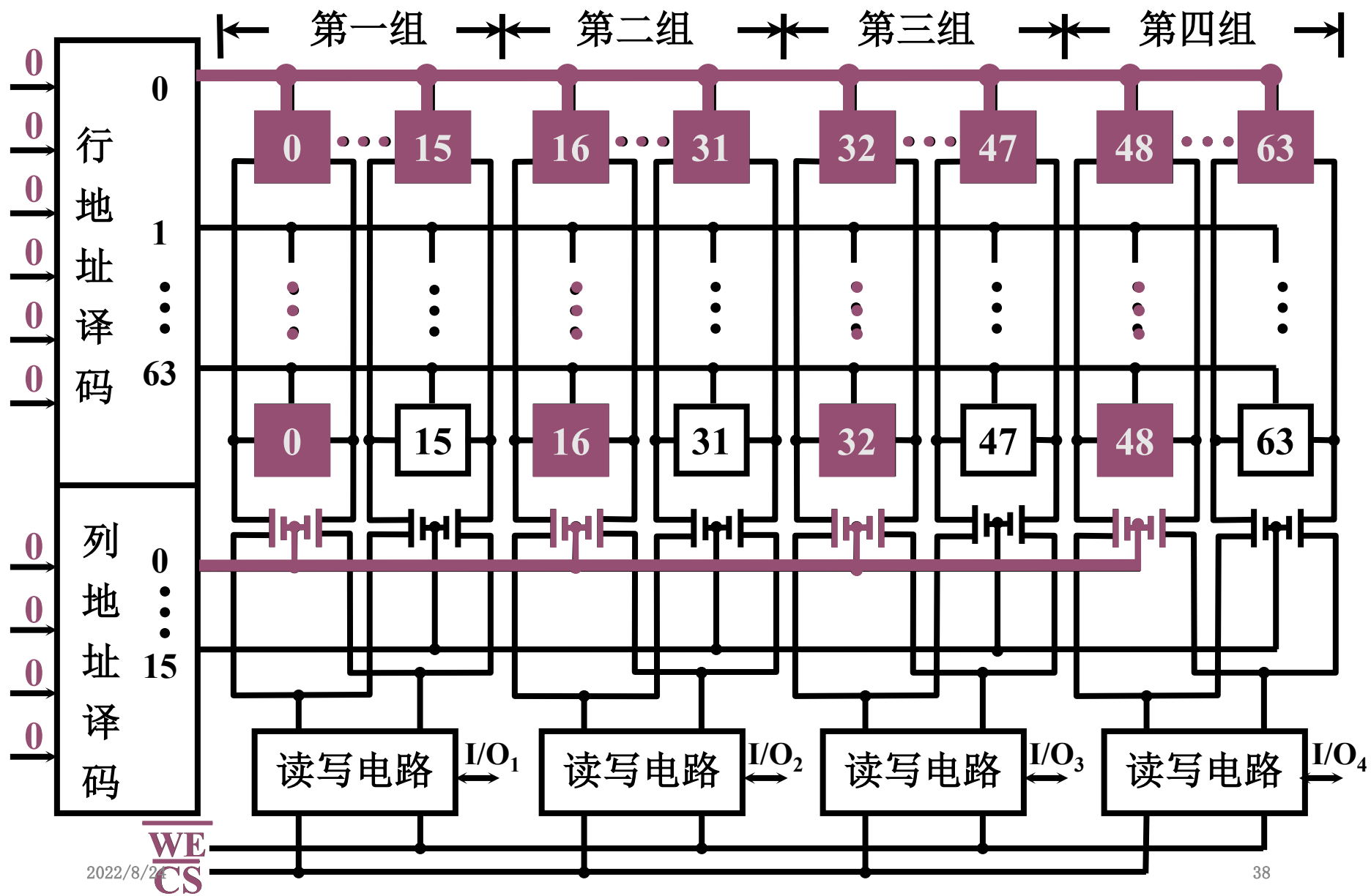
③ Intel 2114 RAM 矩阵 (64 × 64) 写 4.2



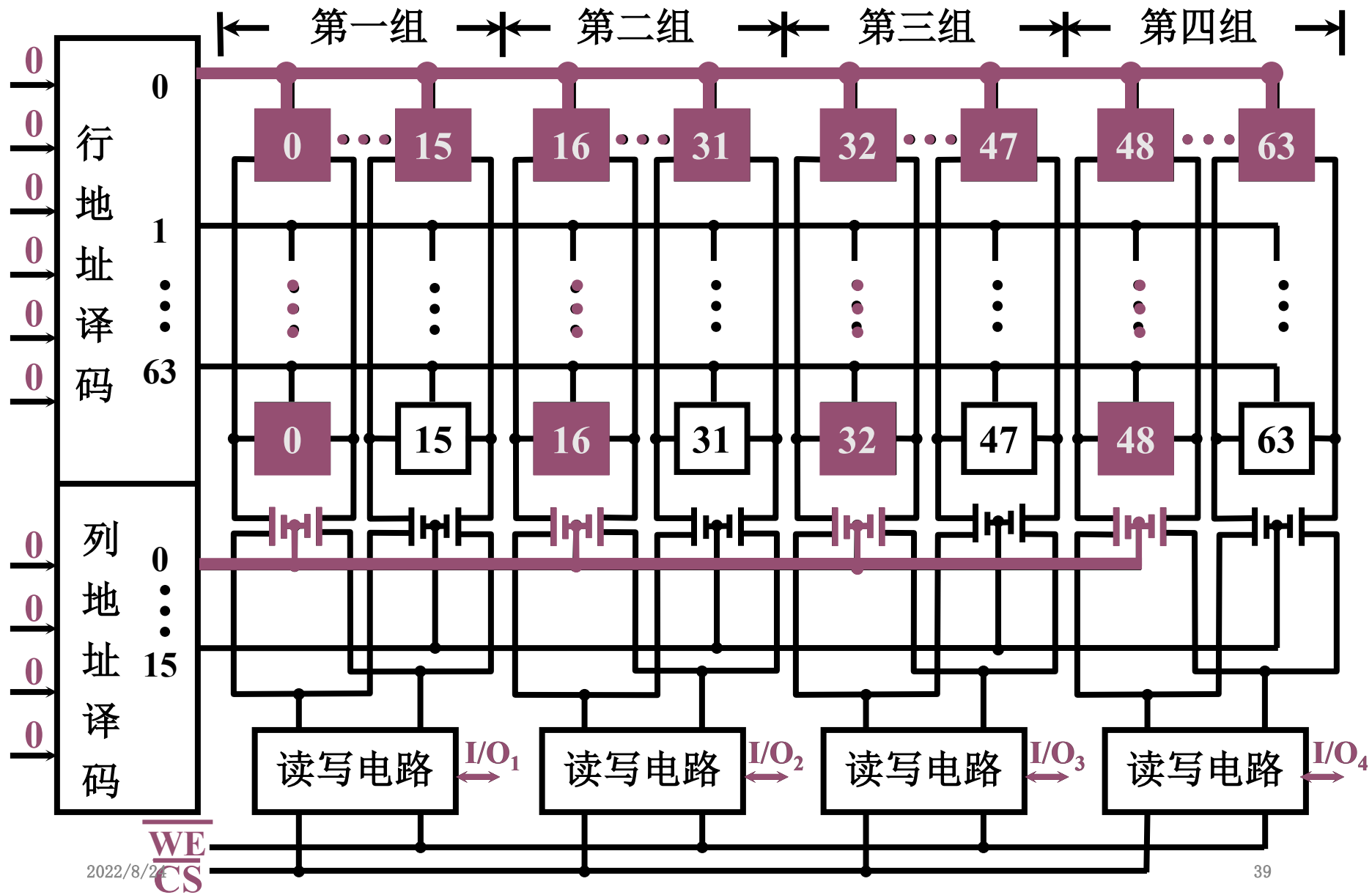
③ Intel 2114 RAM 矩阵 (64 × 64) 写 4.2



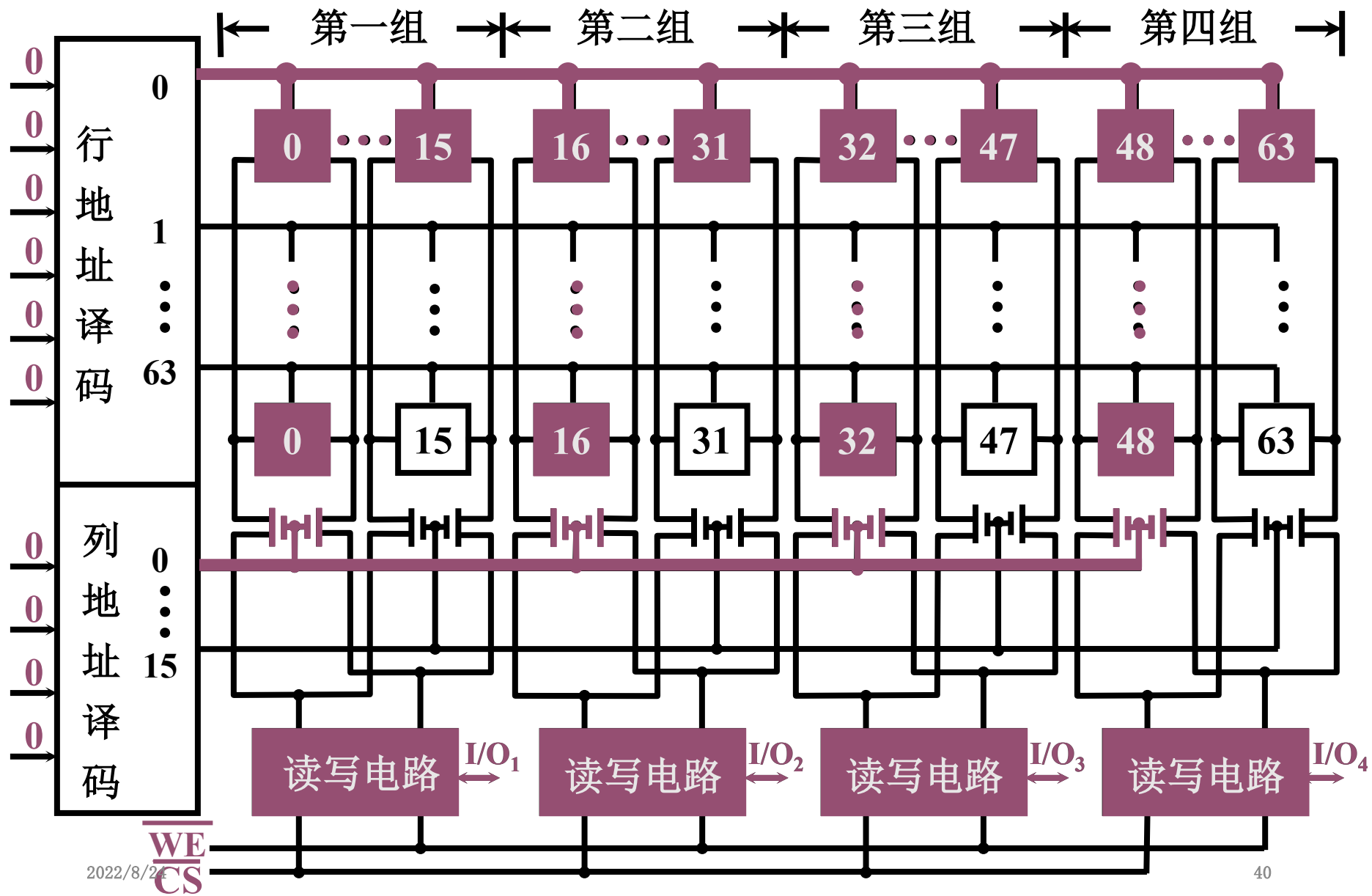
③ Intel 2114 RAM 矩阵 (64 × 64) 写 4.2



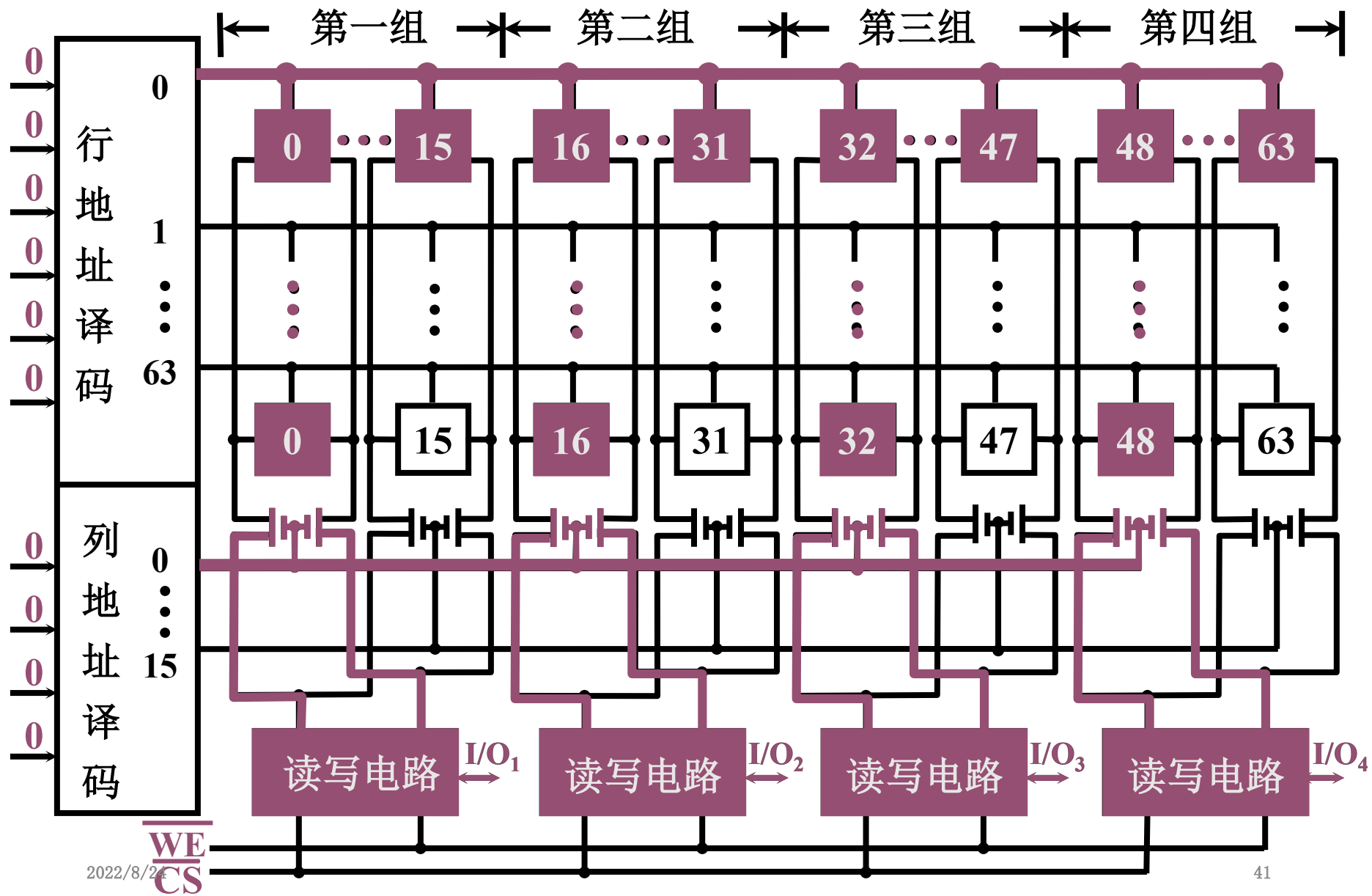
③ Intel 2114 RAM 矩阵 (64 × 64) 写 4.2



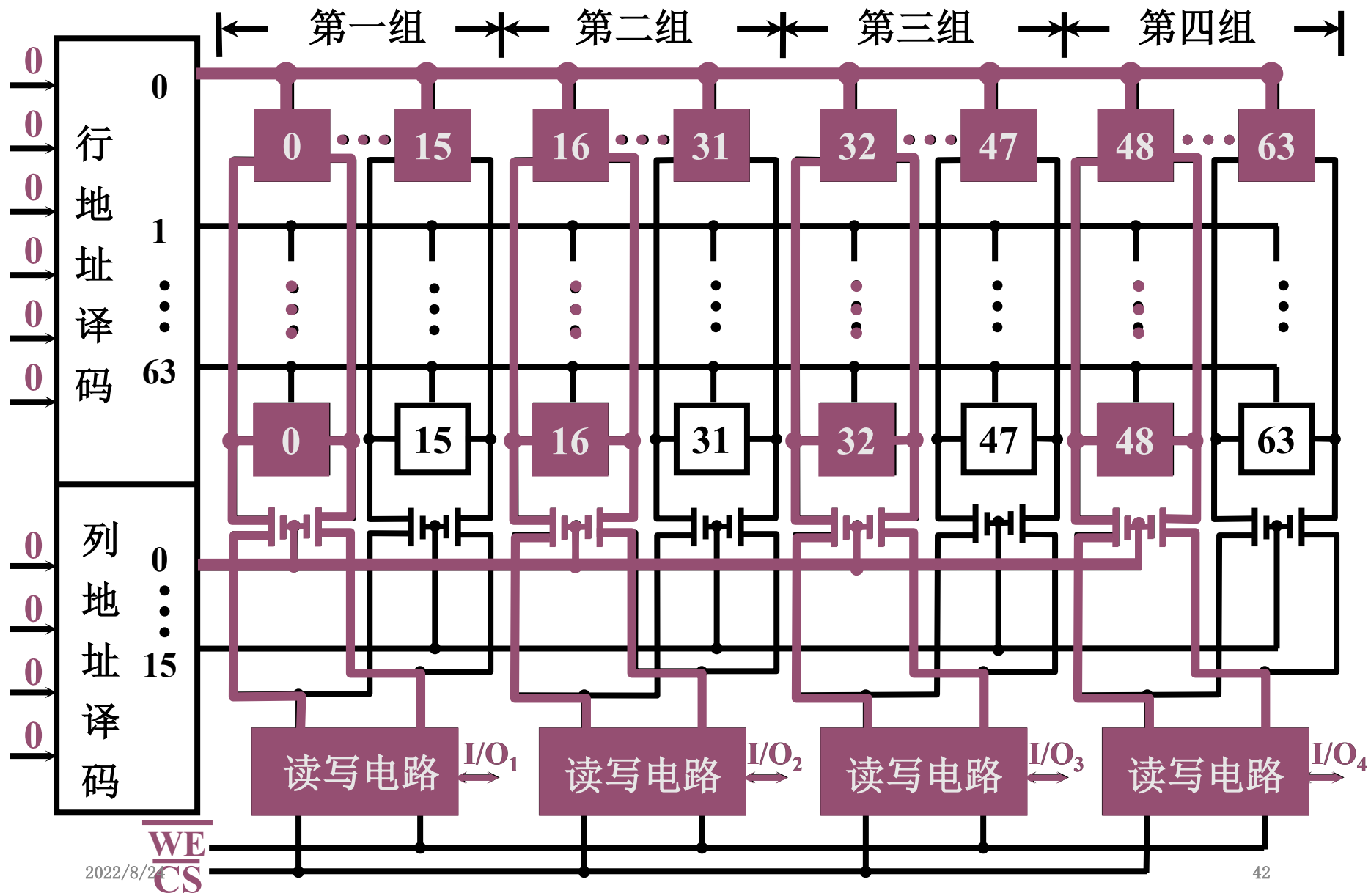
③ Intel 2114 RAM 矩阵 (64 × 64) 写 4.2



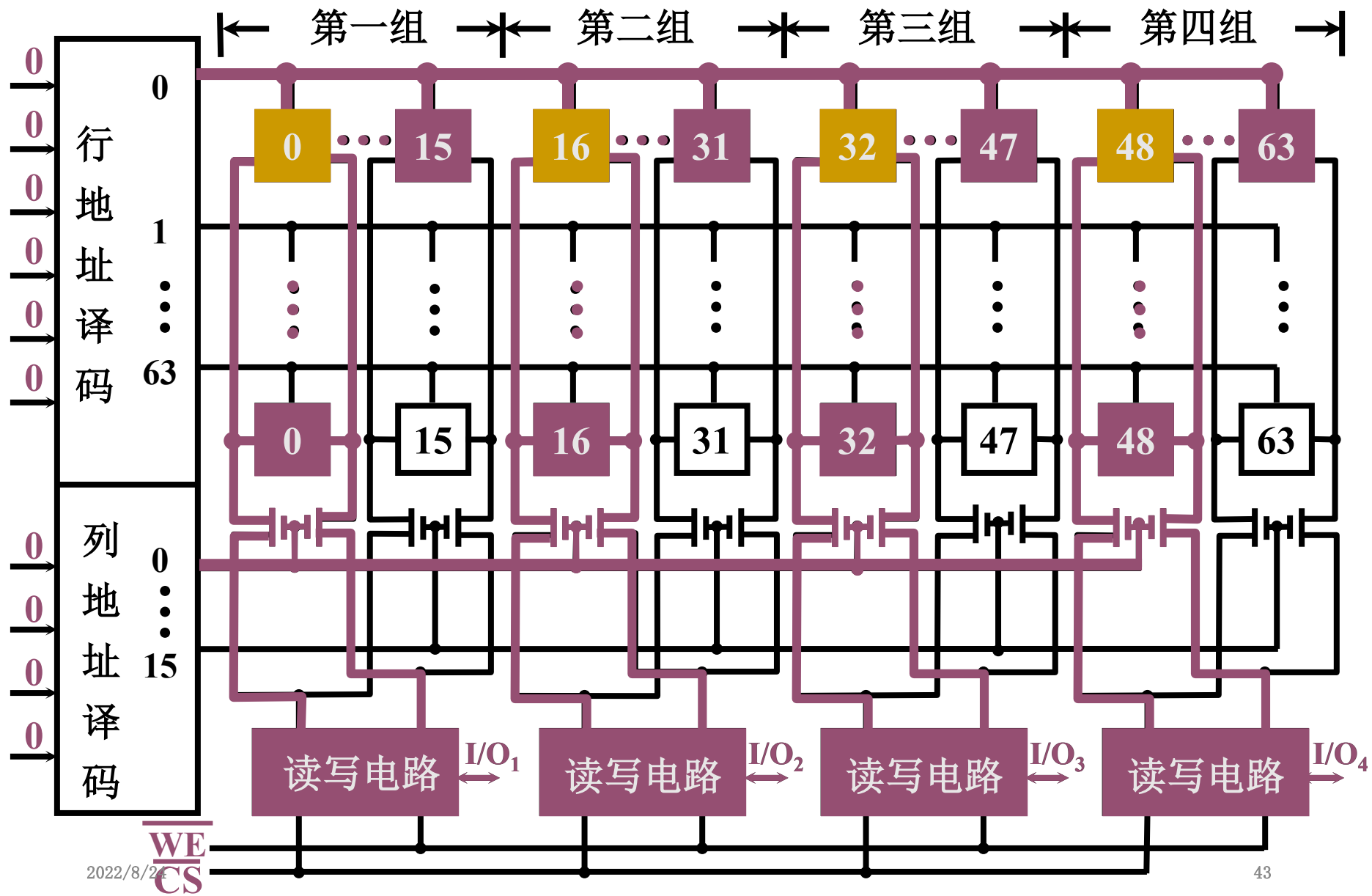
③ Intel 2114 RAM 矩阵 (64 × 64) 写 4.2



③ Intel 2114 RAM 矩阵 (64 × 64) 写 4.2

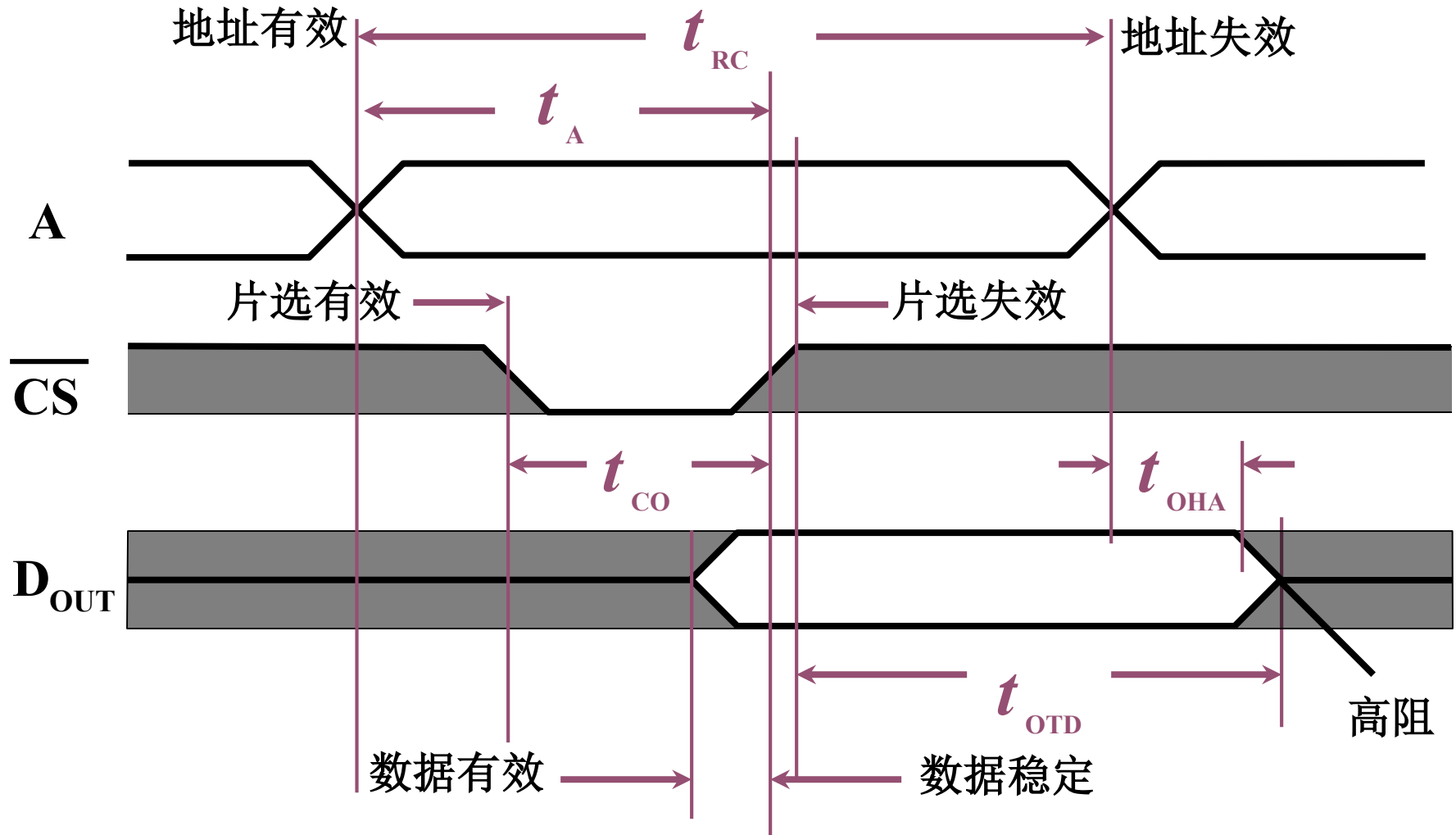


③ Intel 2114 RAM 矩阵 (64 × 64) 写 4.2



(3) 静态 RAM 读 时序

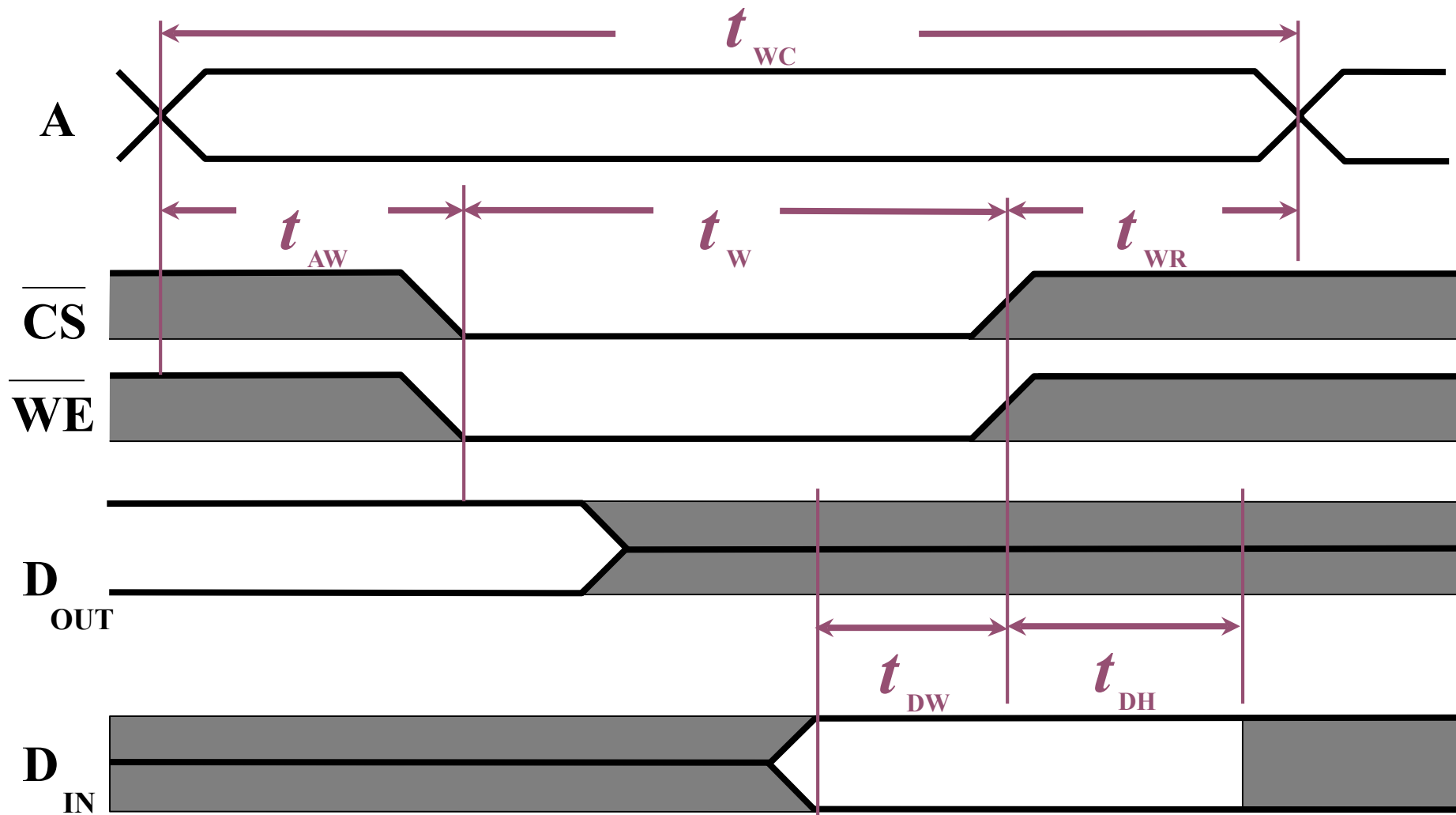
4.2



t_{OHA} 地址失效后的数据维持时间

(4) 静态 RAM (2114) 写时序

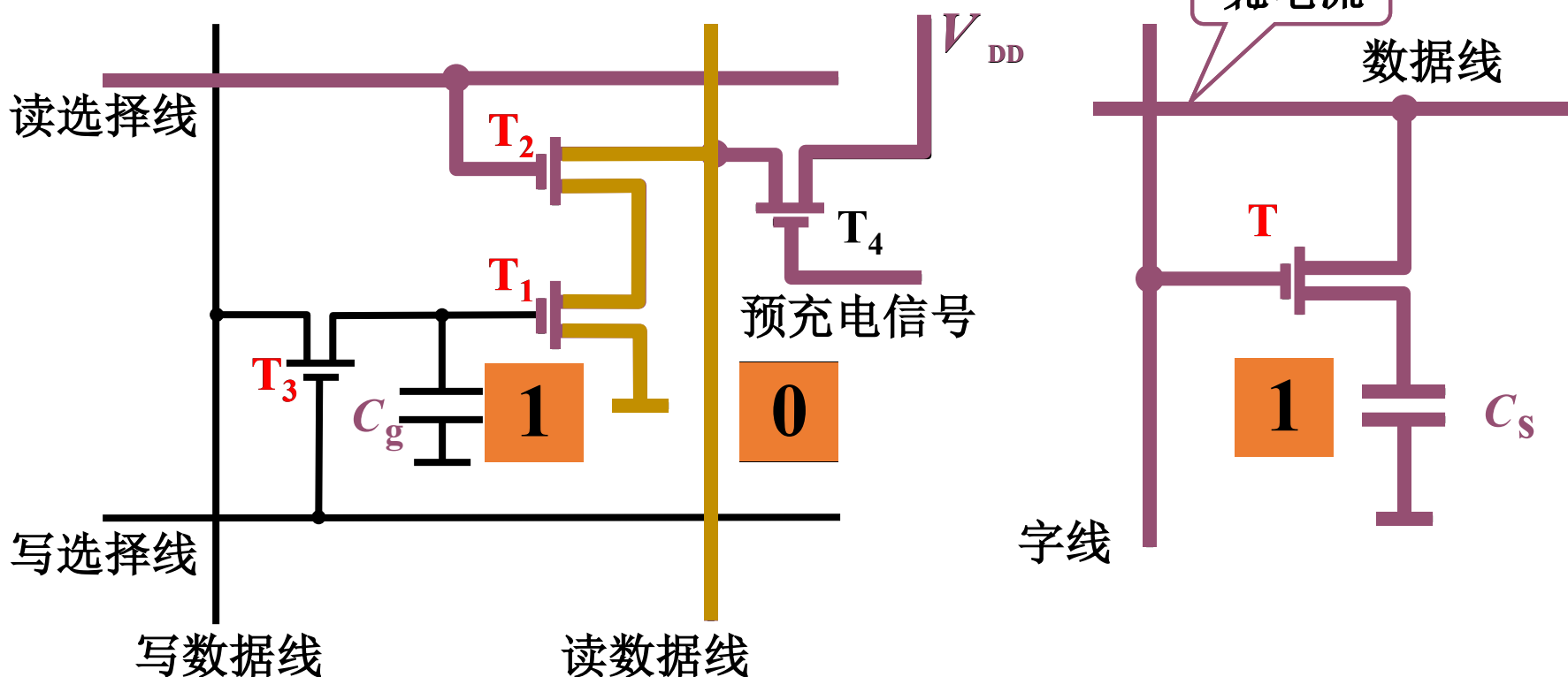
4.2



t_{DH} \overline{WE} 失效后的数据维持时间

2. 动态 RAM (DRAM)

(1) 动态 RAM 基本单元电路



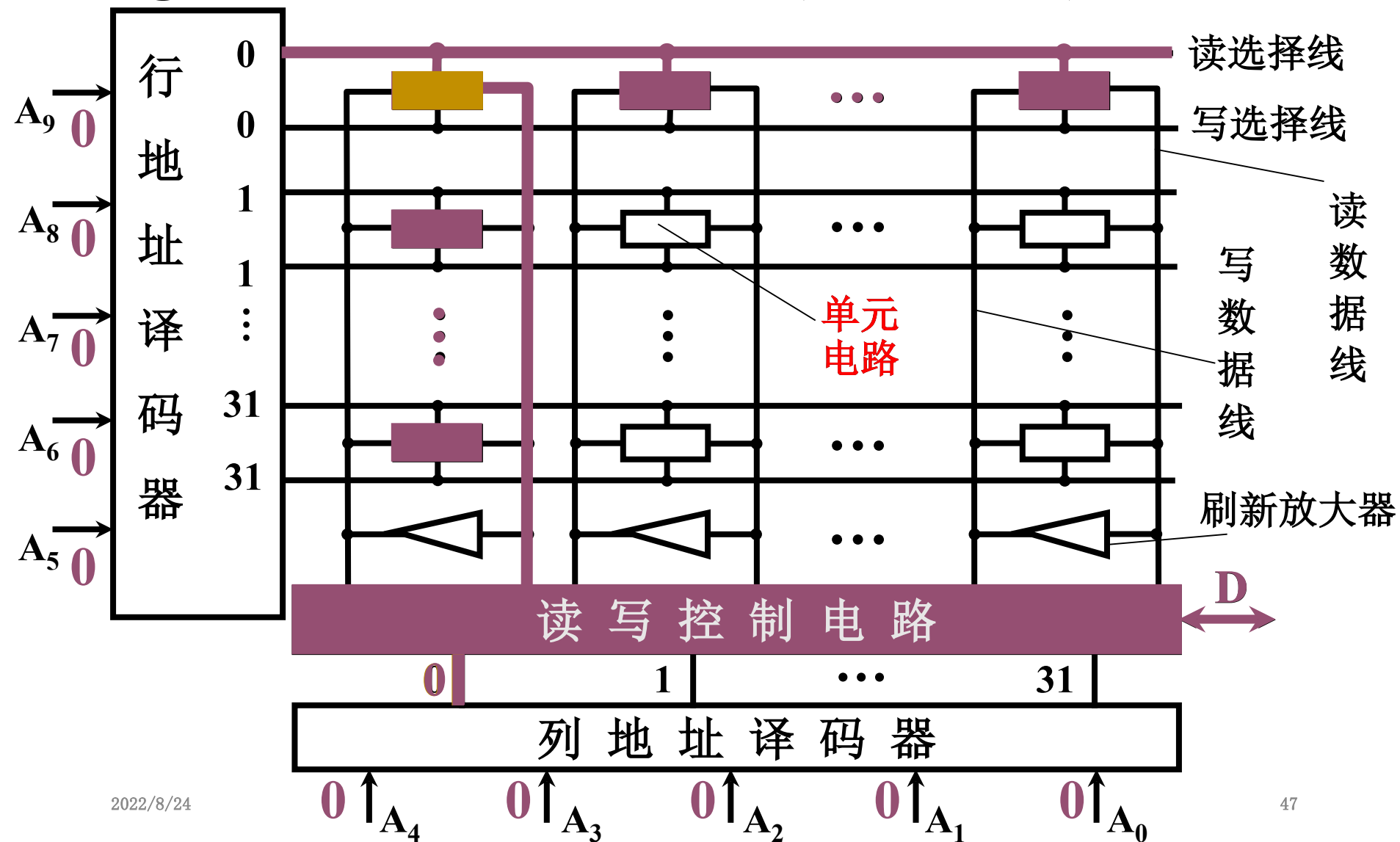
读出与原存信息相反
写入与输入信息相同

读出时数据线有电流 为 “1”
写入时 C_s 充电为 “1” 放电为 “0”

(2) 动态 RAM 芯片举例

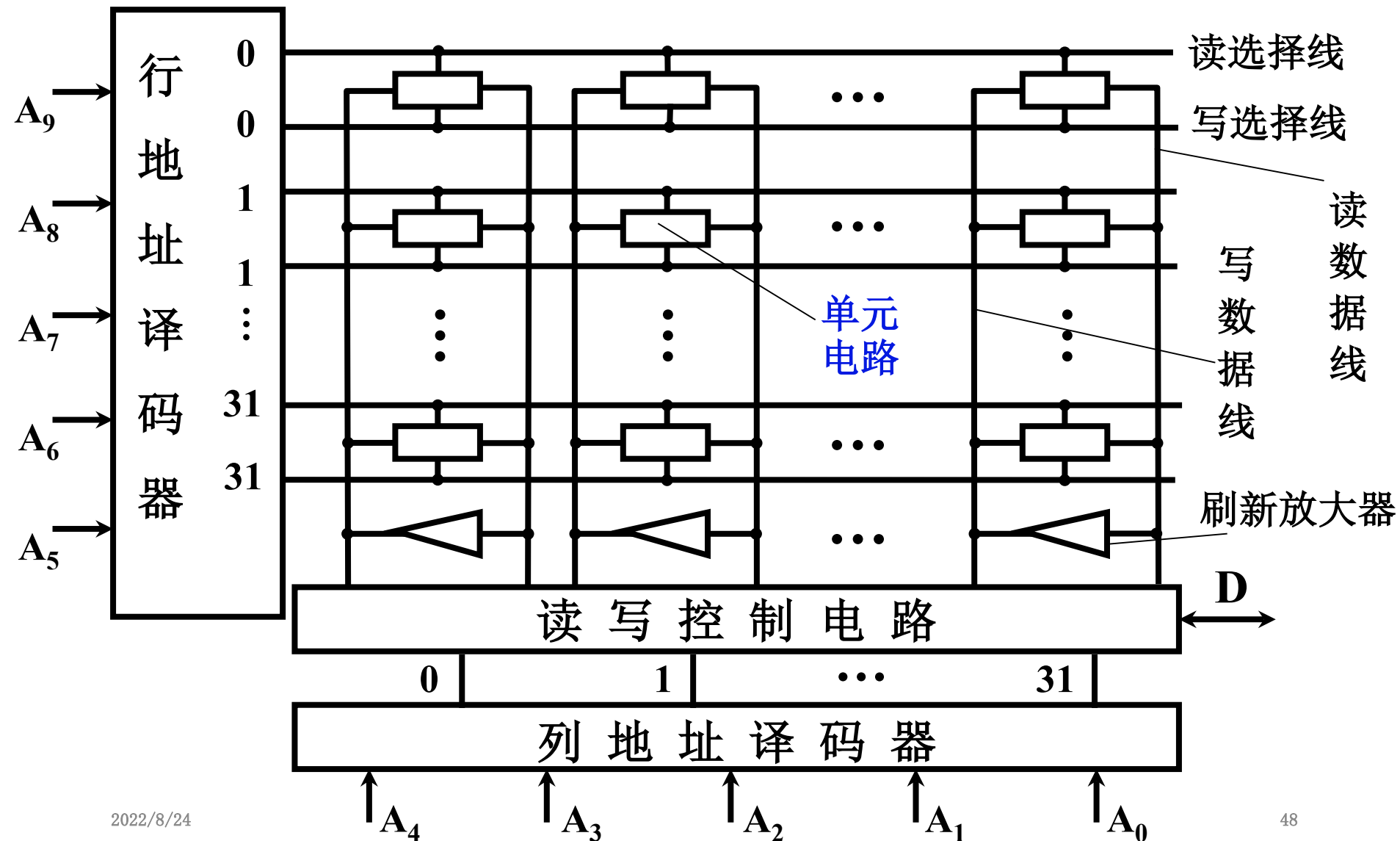
4.2

① 三管动态 RAM 芯片 (Intel 1103) 读



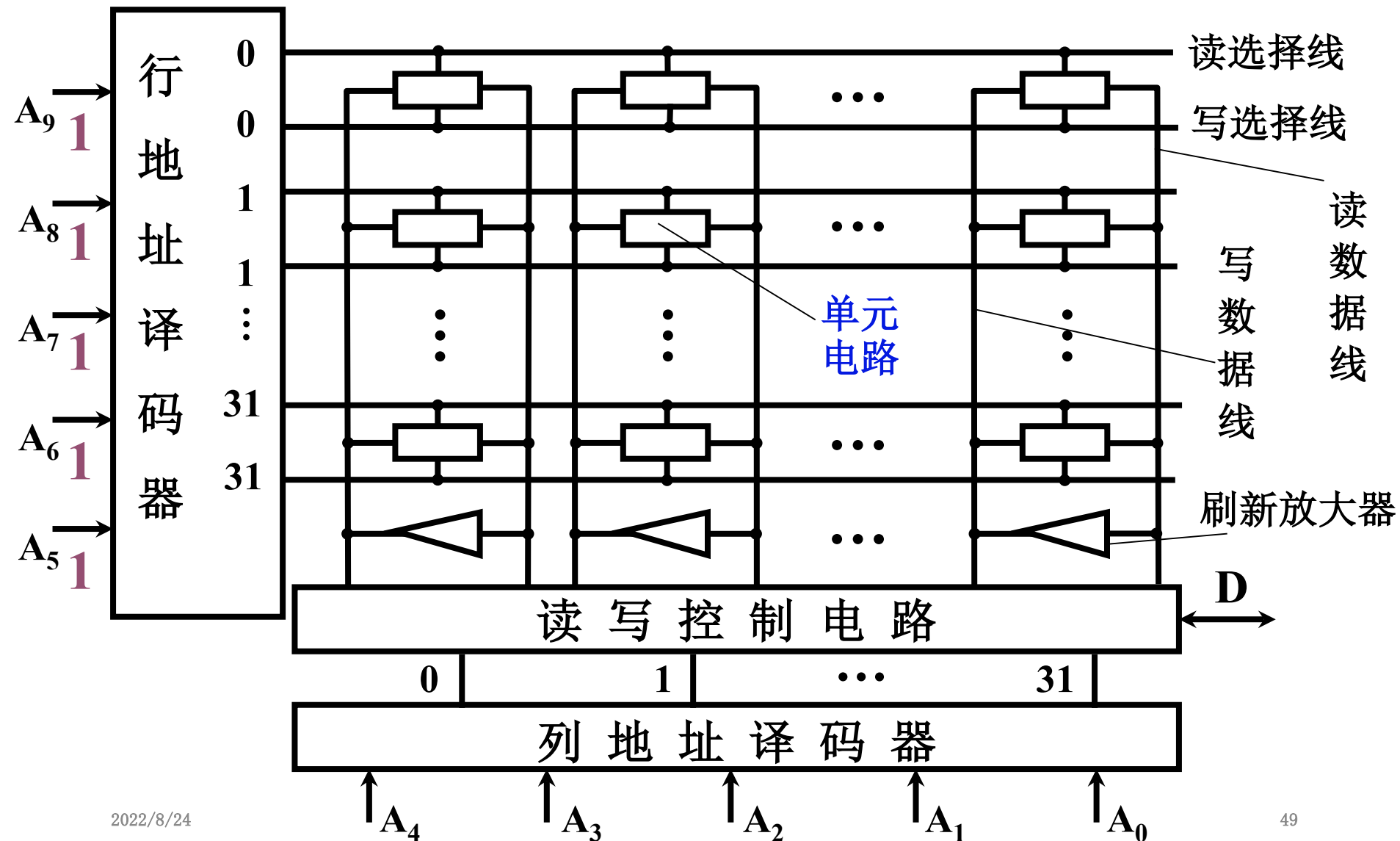
② 三管动态 RAM 芯片 (Intel 1103) 写

4.2



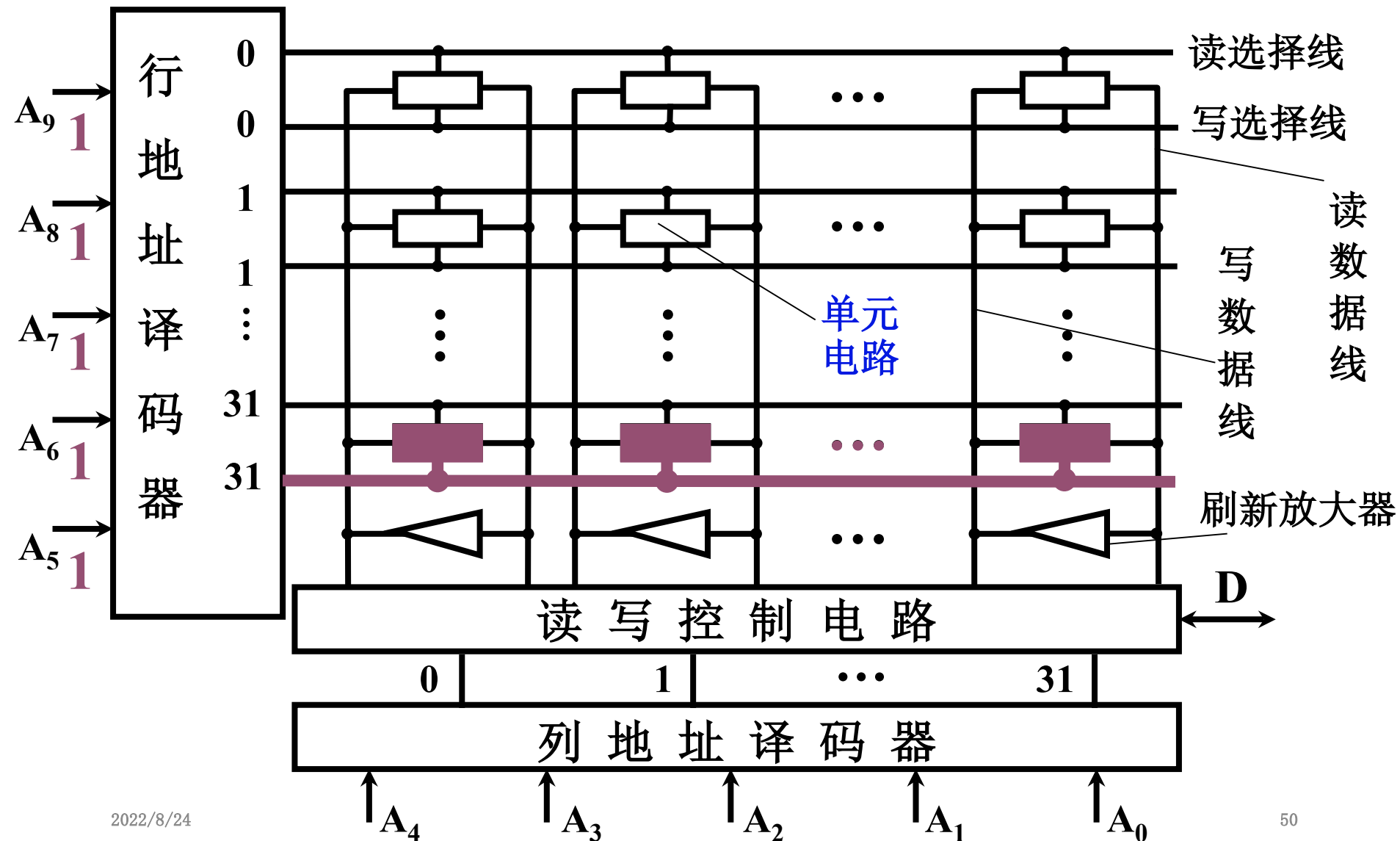
② 三管动态 RAM 芯片 (Intel 1103) 写

4.2



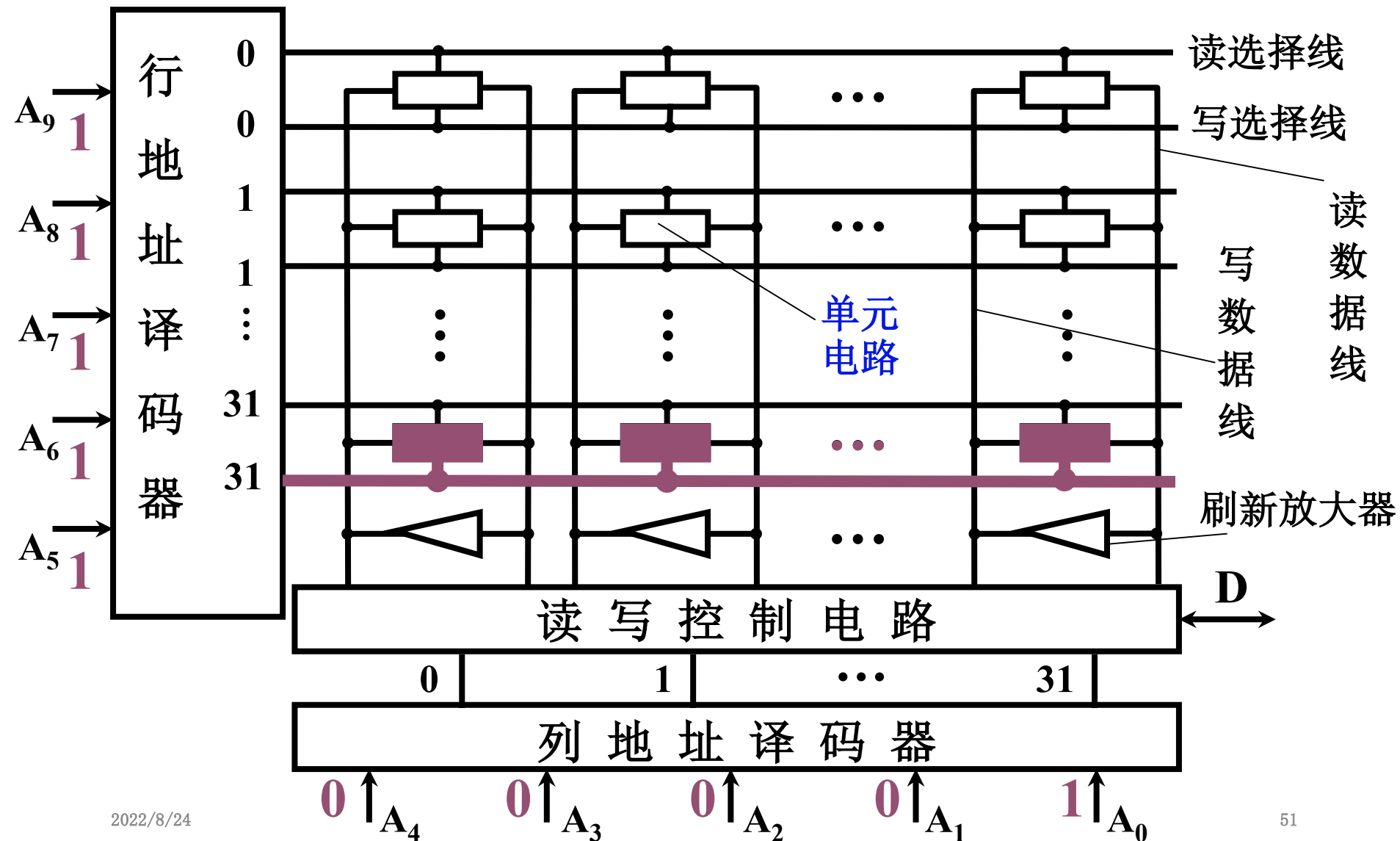
② 三管动态 RAM 芯片 (Intel 1103) 写

4.2



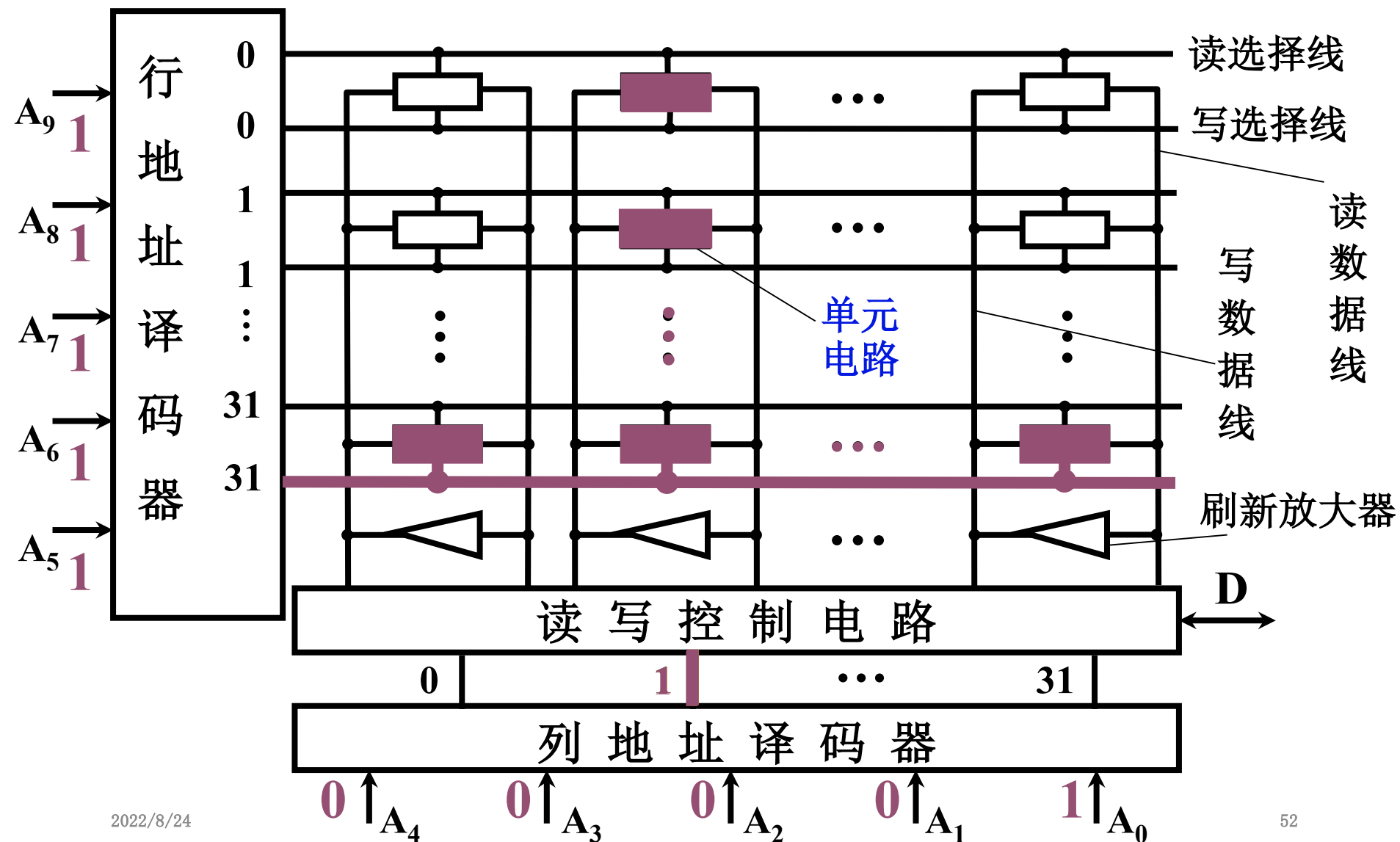
② 三管动态 RAM 芯片 (Intel 1103) 写

4.2



② 三管动态 RAM 芯片 (Intel 1103) 写

4.2

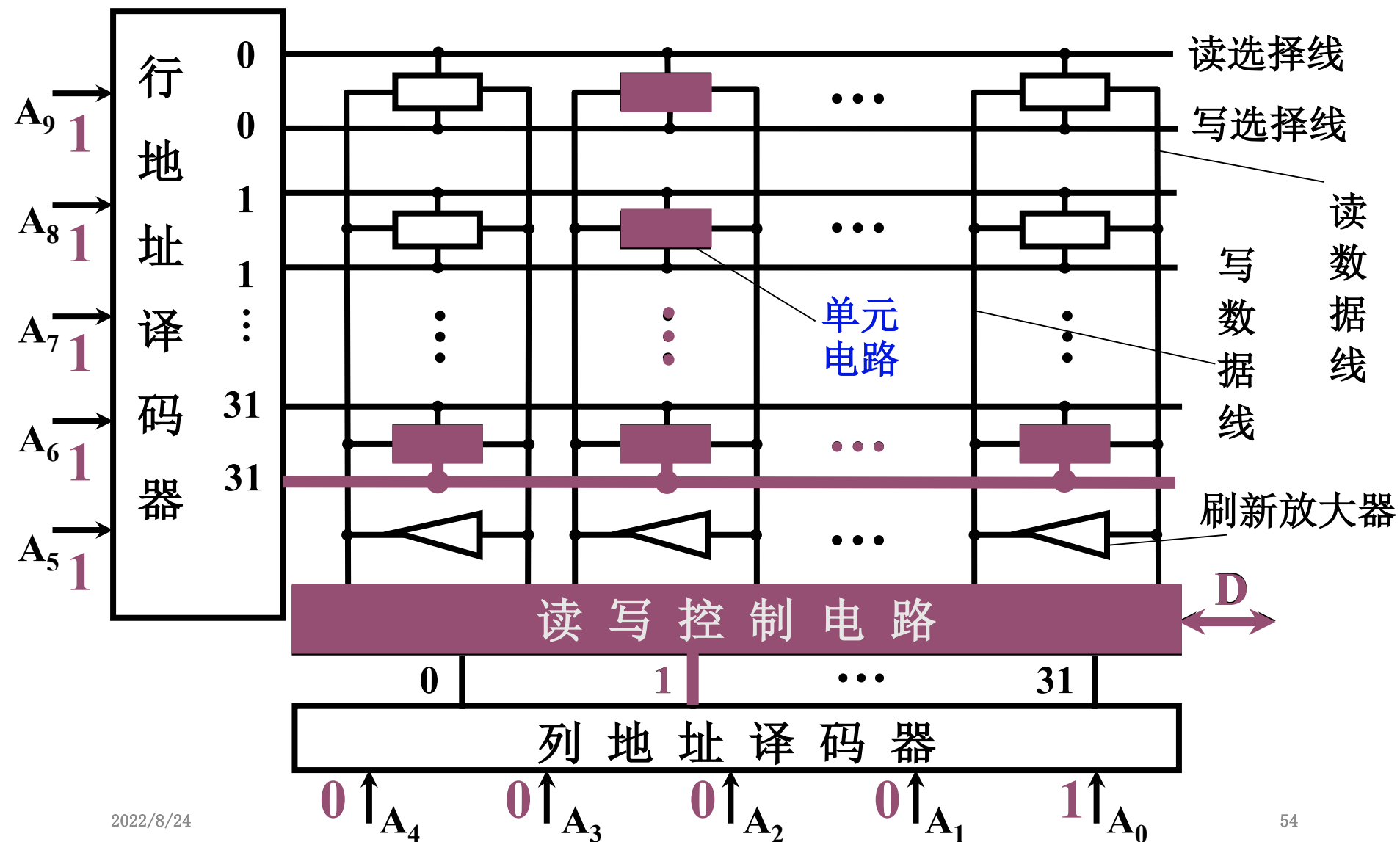


4.2

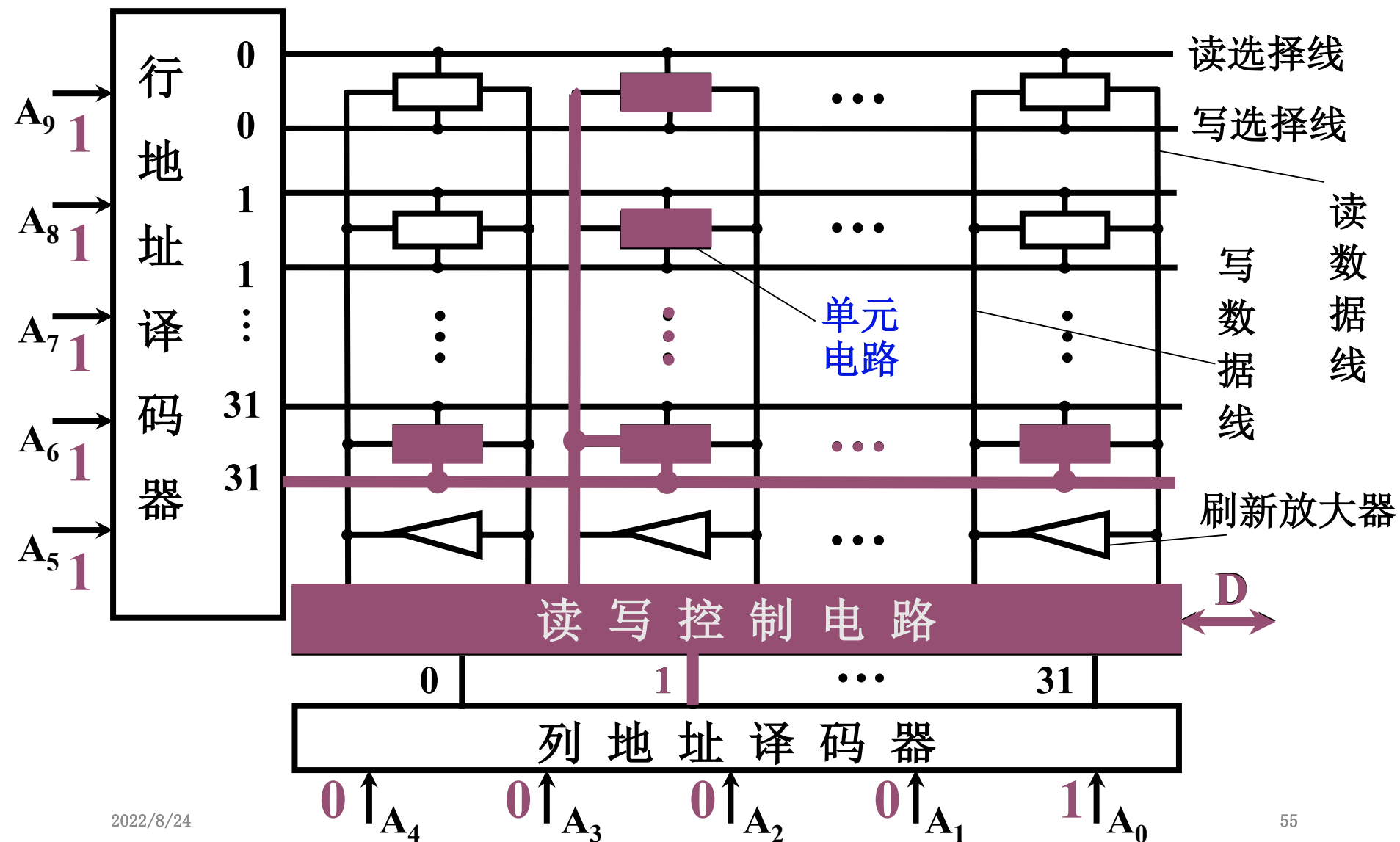


② 三管动态 RAM 芯片 (Intel 1103) 写

4.2

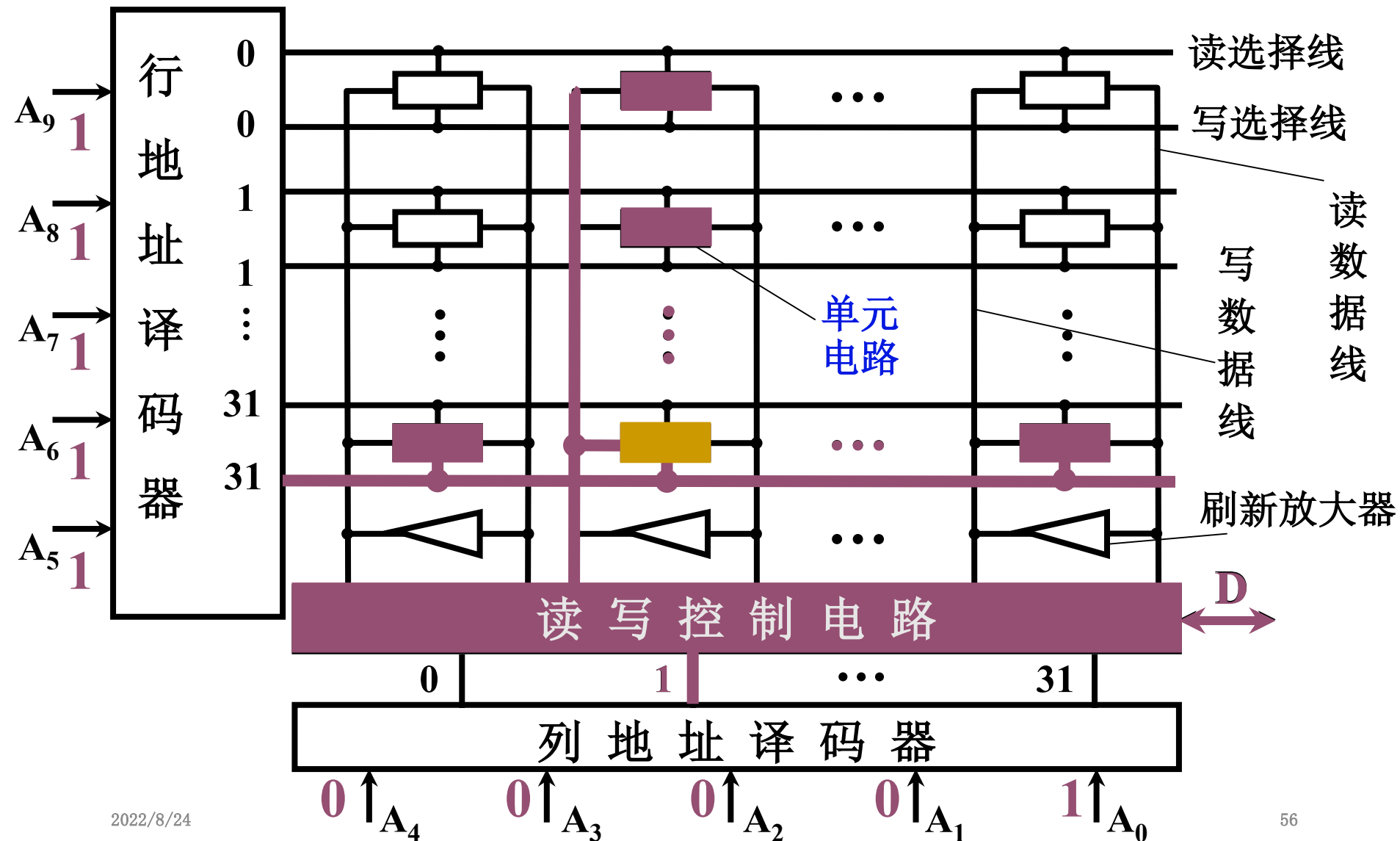


② 三管动态 RAM 芯片 (Intel 1103) 写 4.2

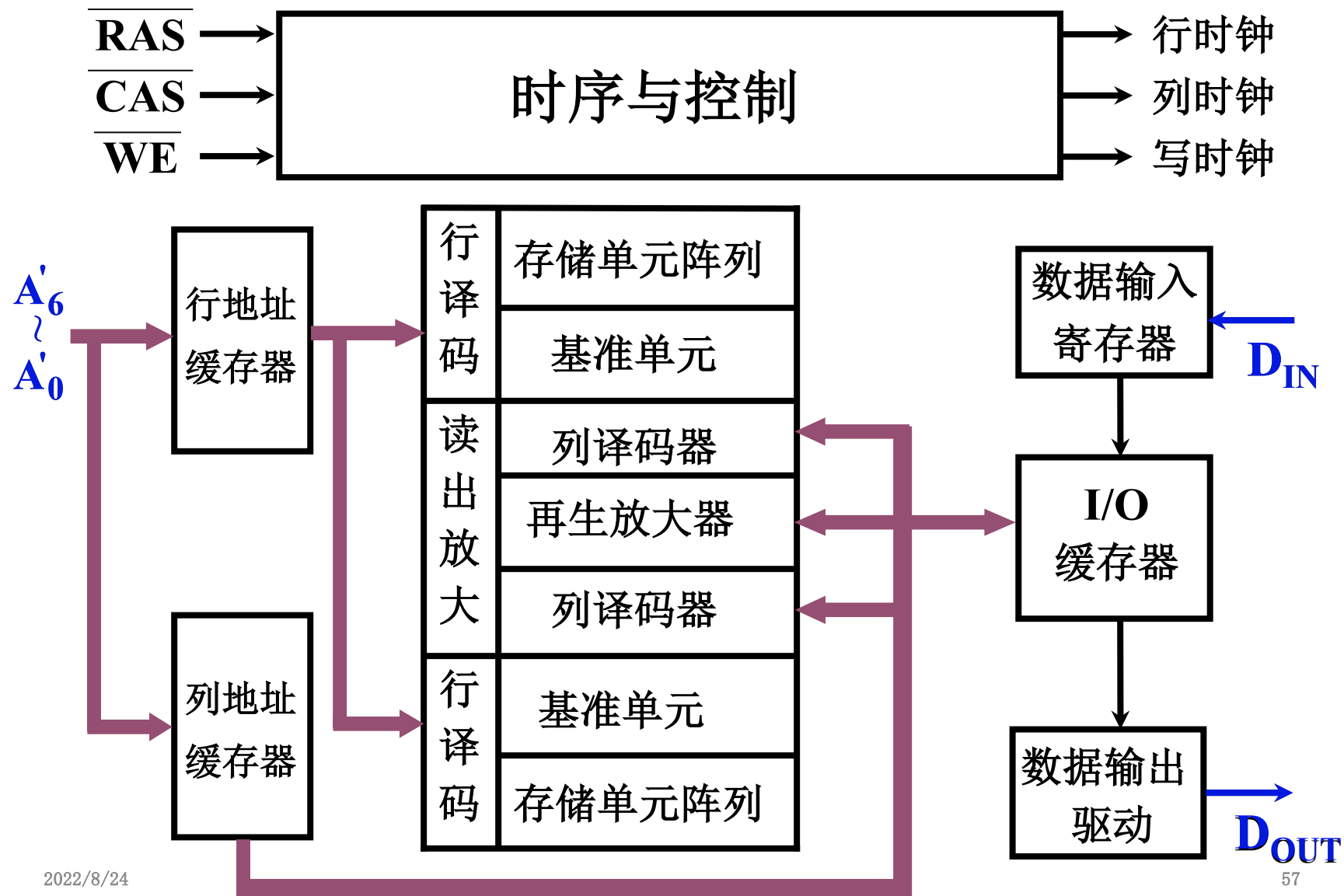


② 三管动态 RAM 芯片 (Intel 1103) 写

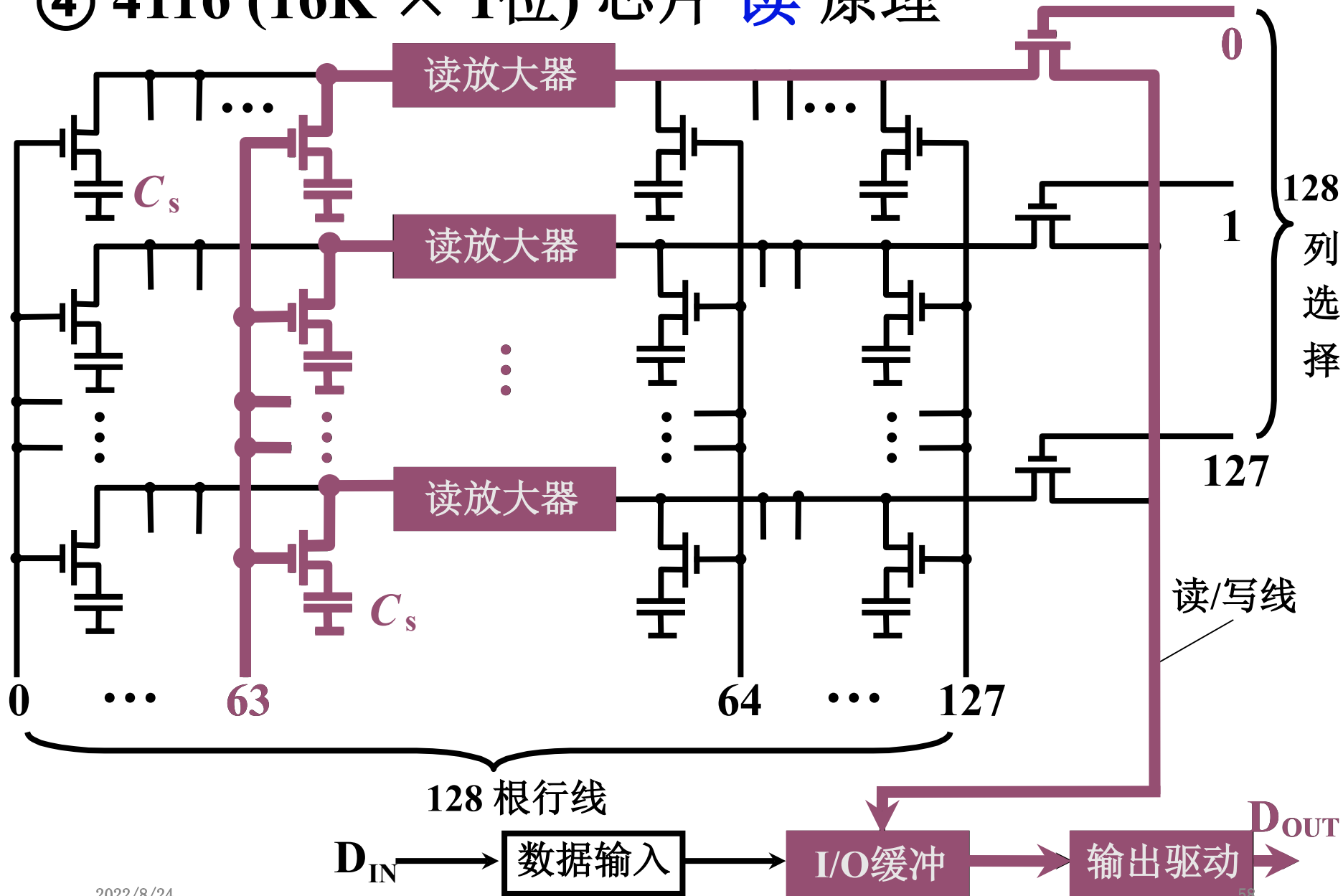
4.2



③ 单管动态 RAM 4116 (16K × 1位) 外特性 4.2



④ 4116 (16K × 1位) 芯片 读 原理



4.2



(3) 动态 RAM 时序

行、列地址分开传送

读时序

行地址 $\overline{\text{RAS}}$ 有效
写允许 $\overline{\text{WE}}$ 有效(高)
列地址 $\overline{\text{CAS}}$ 有效
数据 D_{OUT} 有效

写时序

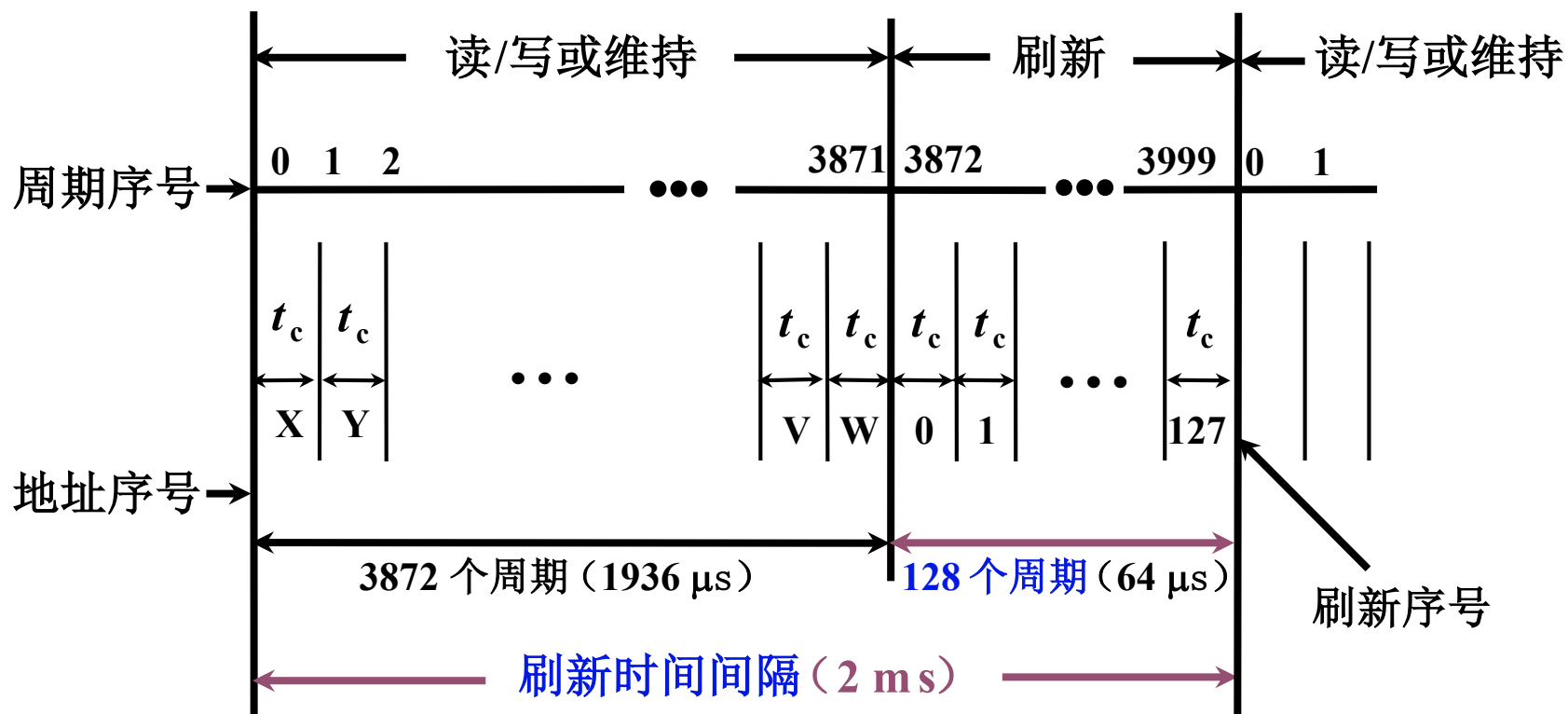
行地址 $\overline{\text{RAS}}$ 有效
写允许 $\overline{\text{WE}}$ 有效(低)
数据 D_{IN} 有效
列地址 $\overline{\text{CAS}}$ 有效

(4) 动态 RAM 刷新

刷新与行地址有关

4.2

① 集中刷新 (存取周期为 $0.5\ \mu\text{s}$) 以 128×128 矩阵为例



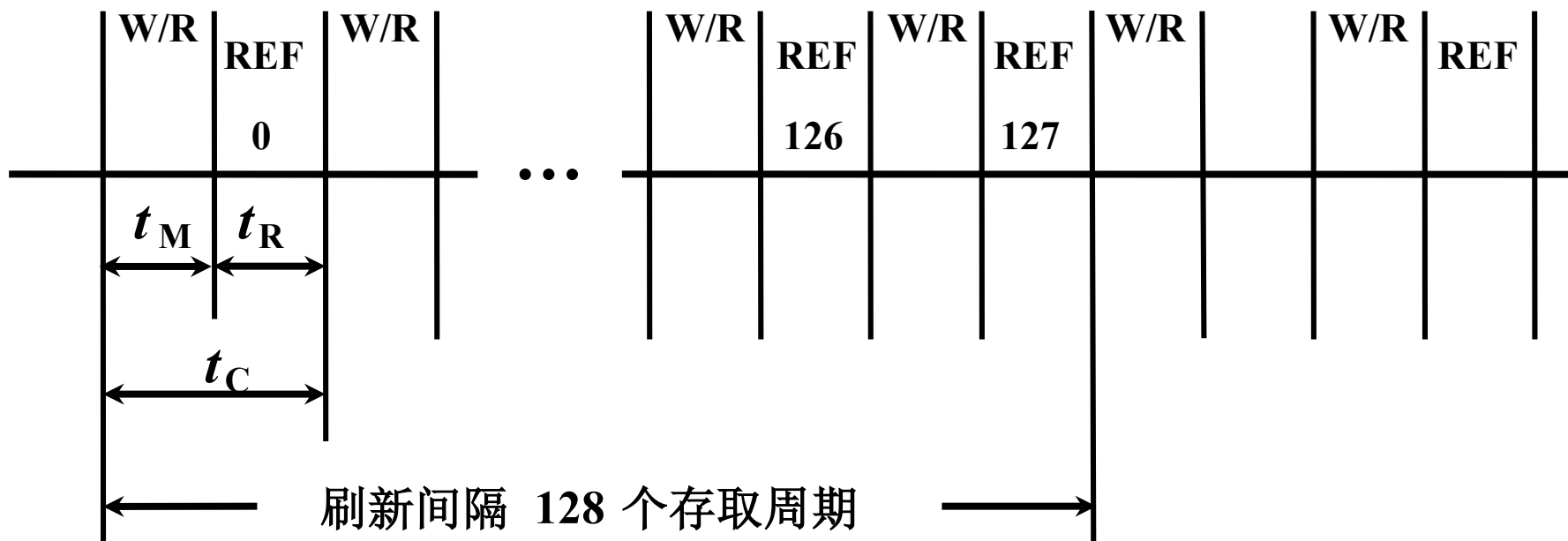
“死区” 为 $0.5\ \mu\text{s} \times 128 = 64\ \mu\text{s}$

“死时间率” 为 $128/4\ 000 \times 100\% = 3.2\%$

② 分散刷新（存取周期为 $1\mu\text{s}$ ）

4.2

以 128×128 矩阵为例



$$t_C = t_M + t_R$$

无“死区”

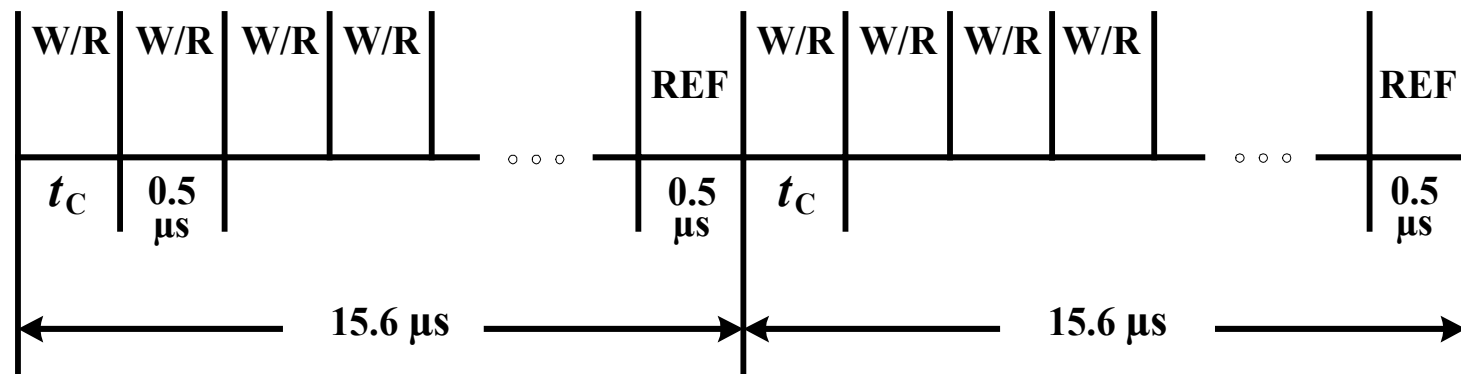
↓ ↓
读写 刷新

(存取周期为 $0.5\mu\text{s} + 0.5\mu\text{s}$)

③ 分散刷新与集中刷新相结合（异步刷新）^{4.2}

对于 128×128 的存储芯片（存取周期为 $0.5 \mu\text{s}$ ）

若每隔 $15.6 \mu\text{s}$ 刷新一次行



每行每隔 2 ms 刷新一次

“死区”为 $0.5 \mu\text{s}$

将刷新安排在指令译码阶段，不会出现“死区”

3. 动态 RAM 和静态 RAM 的比较

	<div>主存</div> DRAM	SRAM <div>缓存</div>
存储原理	电容	触发器
集成度	高	低
芯片引脚	少	多
功耗	小	大
价格	低	高
速度	慢	快
刷新	有	无