

中央处理器CPU

计算机组成原理 期末复习2

ywy_c_asm

计算学部金牌讲师团

目录

- 1. 指令系统概述
- 2. 寻址方式
- 3. 指令格式设计
- 4. 指令周期
- 5. 流水线
- 6. 指令微操作
- 7. 数据通路
- 8. 微指令与微程序

1. 指令系统概述

01. 以下有关指令系统的说法中, 错误的是 ()。

- A. 指令系统是一台机器硬件能执行的指令全体
- B. 任何程序运行前都要先转换为机器语言程序
- C. 指令系统是计算机软/硬件的界面
- ~~D. 指令系统和机器语言是无关的~~

- 指令系统是全部机器指令的集合, 反映机器的功能。
- 指令由操作码和地址码构成, 操作码反映操作类型, 位数反映指令种类数, 地址码可以是立即数、寄存器地址、存储器地址, 反映指令操作数。指令的操作数类型可以是地址、数字、字符和逻辑数据。指令的长度为指令字长, 可固定也可变。
- 指令的操作类型包括: 数据传送、算术逻辑操作、移位、转移(无条件转移、条件转移、调用、返回、陷阱)、输入输出和特权指令等。
需要在某个寄存器/内存位置/栈顶保存返回地址
- CISC(复杂指令系统计算机)和RISC(精简指令系统计算机): RISC选用频度高的简单指令, 指令长度固定, 指令格式和寻址方式少, 使用load/store访存, 多个通用寄存器, 采用流水线使得大部分指令花费一个周期(CPI趋近于1), 对编译优化友好, 时钟周期短, 易于设计。

04. 程序控制类指令的功能是 ()。

- A. 进行算术运算和逻辑运算
- B. 进行主存与 CPU 之间的数据传送
- C. 进行 CPU 和 I/O 设备之间的数据传送
- ☒ D. 改变程序执行的顺序

06. 下列指令中应用程序不准使用的指令是 ()。

- A. 循环指令
- B. 转换指令
- ☒ C. 特权指令
- D. 条件转移指令

02. 下列描述中, 不符合 RISC 指令系统特点的是 ()。

- A. 指令长度固定, 指令种类少
- ~~B. 寻址方式种类尽量减少, 指令功能尽可能强~~ CISC指令功能是比较强的
- C. 增加寄存器的数目, 以尽量减少访存次数
- D. 选取使用频率最高的一些简单指令, 以及很有用但不复杂的指令

04. 【2009 统考真题】下列关于 RISC 的说法中, 错误的是 ()。

- ~~A. RISC 普遍采用微程序控制器~~ RISC使用组合逻辑进行控制
- B. RISC 大多数指令在一个时钟周期内完成
- C. RISC 的内部通用寄存器数量相对 CISC 多
- D. RISC 的指令数、寻址方式和指令格式种类相对 CISC 少

05. 【2011 统考真题】下列指令系统的特点中, 有利于实现指令流水线的是 ()。

- ☒ I. 指令格式规整且长度一致
- ☒ II. 指令和数据按边界对齐存放
- ☒ III. 只有 Load/Store 指令才能对操作数进行存储访问
- A. 仅 I、II
- B. 仅 II、III
- C. 仅 I、III
- D. I、II、III

2. 寻址方式

10. 相对寻址方式中, 指令所提供的相对地址实质上是一种 ()。

- A. 立即数
- B. 内存地址
- C. 以本条指令在内存中首地址为基准位置的偏移量
- D. 以下条指令在内存中首地址为基准位置的偏移量

24. 【2016 统考真题】某指令格式如下所示。

OP	M	I	D
----	---	---	---

其中 M 为寻址方式, I 为变址寄存器编号, D 为形式地址。若采用先变址后间址的寻址方式, 则操作数的有效地址是 ()。

- A. $I + D$
- B. $(I) + D$
- C. $((I) + D)$
- D. $((I)) + D$

20. 【2011 统考真题】偏移寻址通过将某个寄存器的内容与一个形式地址相加来生成有效地址。下列寻址方式中, 不属于偏移寻址方式的是 ()。

- A. 间接寻址
- B. 基址寻址
- C. 相对寻址
- D. 变址寻址

05. 在指令寻址的各种方式中, 获取操作数最快的方式是 ()。

- A. 直接寻址
- B. 立即寻址
- C. 寄存器寻址
- D. 间接寻址

04. 简化地址结构的基本方法是尽量采用 ()。

- A. 寄存器寻址
- B. 隐地址
- C. 直接寻址
- D. 间接寻址

03. 为了缩短指令中某个地址段的位数, 有效的方法是采取 ()。

- A. 立即寻址
- B. 变址寻址
- C. 基址寻址
- D. 寄存器寻址

08. () 便于处理数组问题。

- A. 间接寻址
- B. 变址寻址
- C. 相对寻址
- D. 基址寻址

09. 堆栈寻址方式中, 设 A 为累加器, SP 为堆栈指示器, M_{sp} 为 SP 指示的栈顶单元。若进栈操作的动作是 $(A) \rightarrow M_{sp}, (SP) - 1 \rightarrow SP$, 则出栈操作的动作应为 ()。

- A. $(M_{sp}) \rightarrow A, (SP) + 1 \rightarrow SP$
- B. $(SP) + 1 \rightarrow SP, (M_{sp}) \rightarrow A$

指令操作数的寻址需要在指令中给出寻址特征和形式地址(A)字段, 操作数实际地址为EA。

①立即寻址, A不是操作数地址, 而是操作数本身(立即数)。

②直接寻址, $EA=A$, 访问1次主存, A字段位数限制寻址范围, 只能访问固定地址, 不灵活。

③隐含寻址, 操作数地址隐含在操作码中, 例如ADD隐含操作数在ACC中, 能缩短指令长度。

④间接寻址, $EA=(A)$, 实际地址在存储器中, 分为1次和多次(需要额外1位来判断是否为最终地址), 可以将操作数寻址范围扩大到存储字长, 但需要至少2次访存。

⑤寄存器寻址, $EA= Ri$, 操作数在指定编号的寄存器中, 无需访存, 且指令长度短。

⑥寄存器间接寻址, $EA=(Ri)$, 比间接寻址少访存一次。

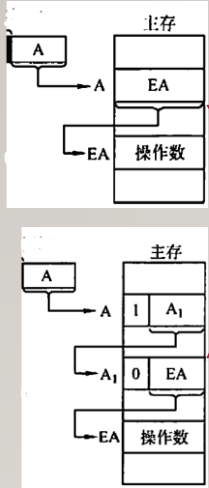
⑦基址寻址, $EA=A+(BR)$, BR是专用的基址寄存器(用户一般不可修改), 或者可显式指定通用寄存器, 可以实现主存空间分段以及多道程序等(操作系统管理)。

⑧变址寻址, $EA=A+(IX)$, IX是专用的变址寄存器(用户可修改), 或者可显式指定通用寄存器, 地址A应该保持不变, 可以实现数组访问(A为数组起始地址, IX为变化的下标)。

⑨相对寻址, $EA=(PC)+A$, 相对当前程序地址进行寻址, A作为可正可负的位移量使用补码表示, 可以实现位置无关的浮动程序代码。**注意: 这里的PC是取完指令进行自增后的PC! 要考虑当前指令长度!**

⑩堆栈寻址, 堆栈指针寄存器SP指向栈顶元素, 入栈和出栈会给SP增量。

无论如何入栈出栈必须对称



对于取指来说
又称跳跃寻址

2. 寻址方式 - 一些题

19. 【2009 统考真题】某机器字长为 16 位，主存按字节编址，转移指令采用相对寻址，由 2 字节组成，第一字节为操作码字段，第二字节为相对位移量字段。假定取指令时，每取一字节 PC 自动加 1。若某转移指令所在主存地址为 2000H，相对位移量字段的内容为 06H，则该转移指令成功转移后的目标地址是 ()。

- A. 2006H B. 2007H C. 2008H D. 2009H

取完指令后新PC=2000H+2=2002H
跳转直接在新PC上+6，为2008H

17. 设相对寻址的转移指令占 3B，第一字节为操作码，第二、三字节为相对位移量（补码表示），而且数据在存储器中采用以低字节为字地址的存放方式。每当 CPU 从存储器取出一字节时，即自动完成 $(PC) + 1 \rightarrow PC$ 。若 PC 的当前值为 240（十进制），要求转移到 290（十进制），则转移指令的第二、三字节的机器代码是 (D)；若 PC 的当前值为 240（十进制），要求转移到 200（十进制），则转移指令的第二、三字节的机器代码是 (C)。

- A. 2FH、FFH B. D5H、00H C. D5H、FFH D. 2FH、00H

取完指令后新PC=240+3=243
转移到290的位移量为 $290-243=47=002FH$ ，2FH和00H
转移到200的位移量为 $200-243=-43=FFD5H$ ，D5H和FFH

07. 一条双字长的取数指令（LDA）存于存储器的 200 和 201 单元，其中第一个字为操作码 OP 和寻址特征 M，第二个字为形式地址 A。假设 PC 的当前值为 200，变址寄存器 IX 的内容为 100，基址寄存器的内容为 200，存储器相关单元的内容如下表所示：

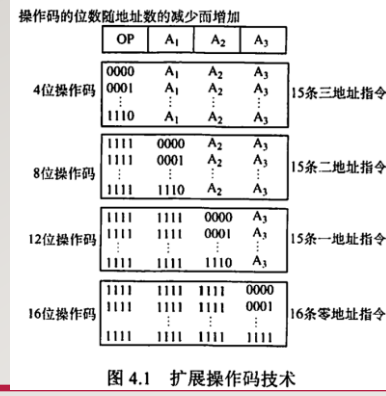
地址	201	300	400	401	500	501	502	700
内容	300	400	700	501	600	700	900	401

新PC=202

下表的各列分别为寻址方式、该寻址方式下的有效地址及取数指令执行结束后累加器（AC）的内容，试补全下表：

寻址方式	有效地址（EA）	累加器（AC）的内容
立即寻址		300
直接寻址	300	400
间接寻址	$(300)=400$	700
相对寻址	$202+300=502$	900
变址寻址	$300+100=400$	700
基址寻址	$300+200=500$	600
先变址后间址	$(300+100)=700$	401
先间址后变址	$(300)+100=500$	600

3. 指令格式设计



4位操作码1111未用，作为8位操作码前缀

8位操作码11111111未用，作为12位操作码前缀

11. 某指令系统有 200 条指令，对操作码采用固定长度二进制编码，最少需要用 () 位。
- A. 4 **B. 8** C. 16 D. 32

- n 位字段能够表示至多 2^n 个模式，这可以用于操作码、寄存器编号、寻址特征位等。
- 操作码是一种前缀编码，短操作码不能是长操作码的**前缀**，否则无法区分指令。设计操作码时要先分配短操作码，再将**未使用的**短码作为长操作码的前缀。**“扩展操作码”**
- 注意考虑指令字长、指令中的字段、每个字段有多少位。

28. 【2020 统考真题】某计算机采用 16 位定长指令字格式，操作码位数和寻址方式位数固定，指令系统有 48 条指令，支持直接、间接、立即、相对 4 种寻址方式。在单地址指令中，直接寻址方式的寻址范围是 ()。
- 指令码6位，寻址特征位2位，地址码8位**
- A. 0 ~ 255** B. 0 ~ 1023 C. -128 ~ 127 D. -512 ~ 511

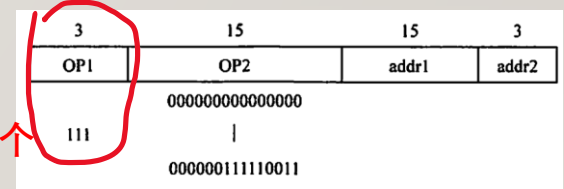
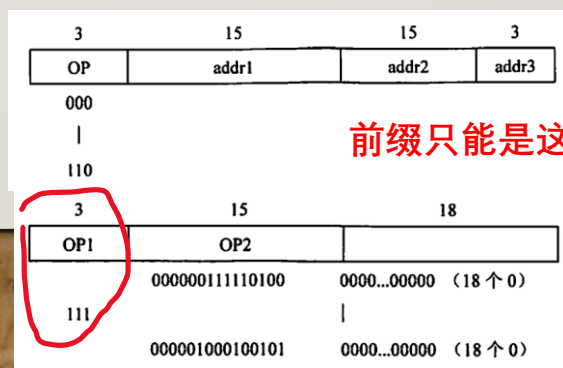
12. 在指令格式中，采用扩展操作码设计方案的目的是 ()。
- A. 减少指令字长度
B. 增加指令字长度
C. 保持指令字长度不变而增加指令的数量
D. 保持指令字长度不变而增加寻址空间

14. 【2017 统考真题】某计算机按字节编址，指令字长固定且只有两种指令格式，其中三地址指令 29 条、二地址指令 107 条，每个地址字段为 6 位，则指令字长至少应该是 ()。
- 短操作码至少5位**
- A. 24 位** B. 26 位 C. 28 位 D. 32 位



短操作码还剩 $2^6 - 29 = 35$ 个未用，它们可以作为长操作码的前缀，长操作码可以有 $35 \times 2^{12-6} = 2240$ 个，因此还可以再添 $2240 - 107 = 2133$ 条二地址指令！

03. 在一个 36 位长的指令系统中，设计一个扩展操作码，使之能表示下列指令：
- 7 条具有两个 15 位地址和一个 3 位地址的指令。
 - 500 条具有一个 15 位地址和一个 3 位地址的指令。
 - 50 条无地址指令。



4. 指令周期

15. () 可区分存储单元中存放的是指令还是数据。

- ☒ A. 控制器 B. 运算器 C. 存储器 D. 数据通路

17. 【2009 统考真题】冯·诺依曼计算机中指令和数据均以二进制形式存放在存储器中，CPU 区分它们的依据是 ()。

- ☒ A. 指令操作码的译码结果 B. 指令和数据的寻址方式
☒ C. 指令周期的不同阶段 D. 指令和数据所在的存储单元

取指阶段从存储器取出的是指令
执行阶段从存储器取出的是数据

07. 以下叙述中，错误的是 ()。

- A. 指令周期的第一个操作是取指令
☒ B. 为了进行取指操作，控制器需要得到相应的指令
C. 取指操作是控制器自动进行的
D. 指令执行时有些操作是相同或相似的

04. 指令 () 从主存中读出。

- ☒ A. 总是根据程序计数器
B. 有时根据程序计数器，有时根据转移指令
C. 根据地址寄存器
D. 有时根据程序计数器，有时根据地址寄存器

• 指令周期是CPU从开始取指到指令执行结束的时间，被划分为四个阶段：

必须有 • 取指周期， $PC \rightarrow MAR \rightarrow M \rightarrow MDR \rightarrow IR$ ， $PC+1 \rightarrow PC$

仅间址寻址指令有 • 间址周期，取出间址寻址的有效地址，(1次间址) $Ad(IR) \rightarrow MAR \rightarrow M \rightarrow MDR \rightarrow Ad(IR)$

必须有 • 执行周期，指令真正的执行过程，对不同指令都是不同的。

仅有中断响应时有 • 中断周期，检查并响应中断，保存PC(特定位置或栈顶)，向量地址 $\rightarrow PC$ ，关中断

05. 在一条无条件跳转指令的指令周期内，程序计数器(PC)的值被修改了 () 次。

- A. 1 ☒ B. 2 C. 3 D. 不能确定

书上明确说了取指时必须自增PC

13. CPU 响应中断的时间是 ()。

- ☒ A. 一条指令执行结束 B. I/O 设备提出中断
C. 取指周期结束 D. 指令周期结束

• 多级时序系统：指令周期由多个机器周期构成，每个机器周期对应一个阶段，机器周期由多个时钟周期(节拍)构成，时钟周期是最小时间单位。

机器周期通常可以由较慢的存取时间确定

节拍信号指示当前是否处在机器周期的第i个时钟周期内，随着机器周期循环

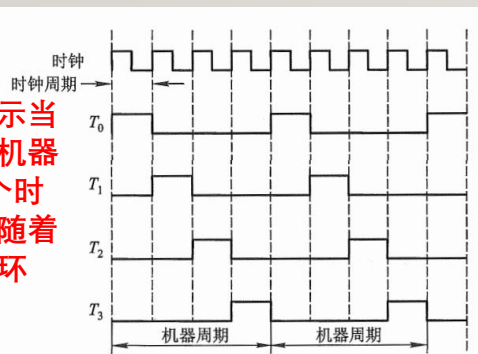


图 9.8 机器周期、时钟周期和节拍的关系

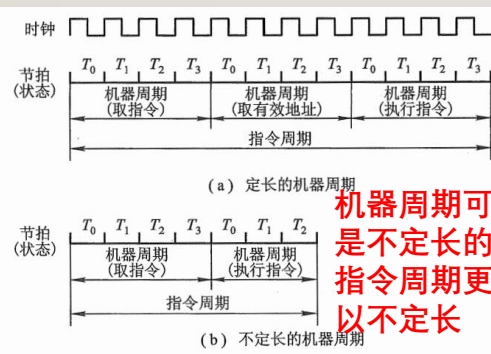


图 9.9 指令周期、机器周期、节拍和时钟周期的关系

机器周期可以是不定长的，指令周期更可以不定长

11. 下列说法中，合理的是 ()。

- A. 执行各条指令的机器周期数相同，各机器周期的长度均匀
B. 执行各条指令的机器周期数相同，各机器周期的长度可变
C. 执行各条指令的机器周期数可变，各机器周期的长度均匀
☒ D. 执行各条指令的机器周期数可变，各机器周期的长度可变

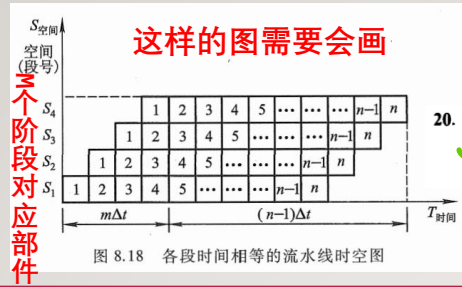
09. 由于 CPU 内部操作的速度较快，而 CPU 访问一次存储器的时间较长，因此机器周期通常由 () 来确定。若机器周期定长，则取决于最慢的阶段

- A. 指令周期 ☒ B. 存取周期 C. 间址周期 D. 中断周期

10. 以下有关机器周期的叙述中，错误的是 ()。

- A. 通常把通过一次总线事务访问一次主存或 I/O 的时间定为一个机器周期
B. 一个指令周期通常包含多个机器周期
C. 不同的指令周期所包含的机器周期数可能不同
☒ D. 每个指令周期都包含一个中断响应机器周期

5. 流水线



14. 【2013 统考真题】某 CPU 主频为 1.03GHz, 采用 4 级指令流水线, 每个流水段的执行需要 1 个时钟周期。假定 CPU 执行了 100 条指令, 在其执行过程中, 没有发生任何流水线阻塞, 此时流水线的吞吐率为 ()。 1.0×10^9 条指令/s

20. 【2020 统考真题】下列给出的处理器类型中, 理想情况下, CPI 为 1 的是 ()。
I. 单周期 CPU II. 多周期 CPU III. 基本流水线 CPU IV. 超标量流水线 CPU
A. 仅 I、II B. 仅 I、III C. 仅 II、IV D. 仅 III、IV

18. 【2018 统考真题】若某计算机最复杂指令的执行需要完成 5 个子功能, 分别由功能部件 A~E 实现, 各功能部件所需时间分别为 80ps、50ps、50ps、70ps 和 50ps, 采用流水线方式执行指令, 流水段寄存器延时为 20ps, 则 CPU 时钟周期至少为 ()。
A. 60ps B. 70ps C. 80ps D. 100ps

12. 【2009 统考真题】某计算机的指令流水线由 4 个功能段组成, 指令流经各功能段的时间 (忽略各功能段之间的缓存时间) 分别为 90ns、80ns、70ns 和 60ns, 则该计算机的 CPU 周期至少是 ()。
A. 90ns B. 80ns C. 70ns D. 60ns

13. 【2010 统考真题】下列不会引起指令流水线阻塞的是 ()。
A. 数据旁路 B. 数据相关 C. 条件转移 D. 资源冲突

• **流水线**将指令的执行阶段划分为多个使用独立器件的阶段, 每个阶段时间为 Δt (取决于**最慢**的阶段), 可以使连续多条指令在处理器上重叠执行。影响流水线的3种相关:

- **结构相关**: 不同指令在重叠执行时争用同一部件, 主要是访存指令和下一条指令的取指对于存储器的竞争。可以暂停下条指令的取指, 或将指令和数据分开存储, 或在执行时用队列进行指令预取。
- **数据相关**: 在正常的按序流水线中因对同一寄存器先写后读(RAW)引起(非按序也可WAW/WAR), 可以暂停后续指令执行, 或使用**定向(旁路)**, 不等结果送回寄存器时就给后续指令使用。

控制相关: 由转移指令引起, 干扰后续指令的正常取指, 可以暂停+分支预测, 尽早生成转移目标地址。

• 衡量流水线性能的3个量: **吞吐率**为单位时间内完成的指令数, 理想情况最大吞吐率 $T_{pmax} = \frac{1}{\Delta t}$, n 条指

流水线实际时间为
 $m\Delta t + (n-1)\Delta t$

令 m 阶段的实际吞吐率 $T_p = \frac{n}{m\Delta t + (n-1)\Delta t} = \frac{T_{pmax}}{1 + \frac{m-1}{n}}$ 。加速比 $S_p = \frac{\text{非流水线时间}}{\text{流水线时间}} = \frac{nm\Delta t}{m\Delta t + (n-1)\Delta t} = \frac{m}{1 + \frac{m-1}{n}}$, 效率

$$E = \frac{\sum \text{每个阶段工作时间}}{\sum \text{每个阶段总时间}} = \frac{m \times n \Delta t}{m \times (m\Delta t + (n-1)\Delta t)} = \frac{n}{1 + \frac{m-1}{n}}$$

04. 流水 CPU 是由一系列称为“段”的处理线路组成的。一个 m 段流水线稳定时的 CPU 的吞吐能力, 与 m 个并行部件的 CPU 的吞吐能力相比, ()。
A. 具有同等水平的吞吐能力

• 优化流水线的3种高级技术: **超标量**(每个时钟周期同时并发多条独立指令, 需要多个执行部件), **超流水**(将流水线中的每个阶段继续流水线化), **超长指令字**(将多条能并行的指令编译为一条超长指令)。都需要编译器配合优化

02. 下列关于超标量流水线的描述中, 不正确的是 ()。
A. 在一个时钟周期内一条流水线可执行一条以上的指令
B. 一条指令分为多段指令由不同电路单元完成
C. 超标量通过内置多条流水线来同时执行多个处理, 其实质是以空间换取时间
D. 超标量流水线是指运算操作并行

16. 【2017 统考真题】下列关于超标量流水线特性的叙述中, 正确的是 ()。
I. 能缩短流水线功能段的处理时间
II. 能在一个时钟周期内同时发射多条指令
III. 能结合动态调度技术提高指令执行并行性
A. 仅 II B. 仅 I、III C. 仅 II、III D. I、II 和 III

11. 关于流水线技术的说法中, 错误的是 ()。
A. 与超标量技术和超流水线技术相比, 超长指令字技术对优化编译器要求更高, 而无其他硬件要求
B. 流水线按序流动时, 在 RAW、WAR 和 WAW 中, 只可能出现 RAW 相关
C. 超流水线技术相当于将流水线再分段, 从而提高每个周期内功能部件的使用次数

6. 指令微操作

这些微操作的标准写法需要掌握其套路，作为八股，考完扔了即可

- 取指周期：① $PC \rightarrow MAR$ ，② $1 \rightarrow R$ ，③ $M(MAR) \rightarrow MDR$ ，④ $MDR \rightarrow IR$ ，⑤ $OP(IR) \rightarrow CU$ ，⑥ $(PC)+1 \rightarrow PC$
- 间址周期：① $Ad(IR) \rightarrow MAR$ ，② $1 \rightarrow R$ ，③ $M(MAR) \rightarrow MDR$ ，④ $MDR \rightarrow Ad(IR)$
- 执行周期对不同的指令不同：（以下唐书制造的指令需要大家记住）
 - 清除累加器指令CLA： $0 \rightarrow ACC$
 - 累加器取反指令COM： $\overline{ACC} \rightarrow ACC$
 - 算术右移1位指令SHR： $L(ACC) \rightarrow R(ACC)$ ， $ACC_0 \rightarrow ACC_0$
 - 循环左移1位指令CSL： $R(ACC) \rightarrow L(ACC)$ ， $ACC_0 \rightarrow ACC_n$
唐书在这里取0为最高位
 - 停机指令STP： $0 \rightarrow G$
 - 加法指令ADD X：① $Ad(IR) \rightarrow MAR$ ，② $1 \rightarrow R$ ，③ $M(MAR) \rightarrow MDR$ ，④ $(ACC) + (MDR) \rightarrow ACC$
 - 存数指令STA X：① $Ad(IR) \rightarrow MAR$ ，② $1 \rightarrow W$ ，③ $ACC \rightarrow MDR$ ，④ $MDR \rightarrow M(MAR)$
 - 取数指令LDA X：① $Ad(IR) \rightarrow MAR$ ，② $1 \rightarrow R$ ，③ $M(MAR) \rightarrow MDR$ ，④ $MDR \rightarrow ACC$
 - 无条件转移指令JMP X： $Ad(IR) \rightarrow PC$
 - 累加器负则转移指令BAN X： $ACC_0 \cdot Ad(IR) + \overline{ACC_0} \cdot PC \rightarrow PC$

需要访存，注意访存套路

02. 在组合逻辑控制器中，微操作控制信号的形成主要与()信号有关。

A. 指令操作码和地址码

B. 指令译码信号和时钟

C. 操作码和条件码

D. 状态信息和条件

6. 指令微操作：节拍划分

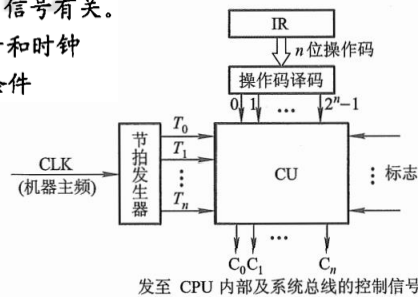


图 10.1 带译码和节拍输入的控制单元框图

当某个节拍信号有效时，进行这个指令在这个节拍应进行的微操作

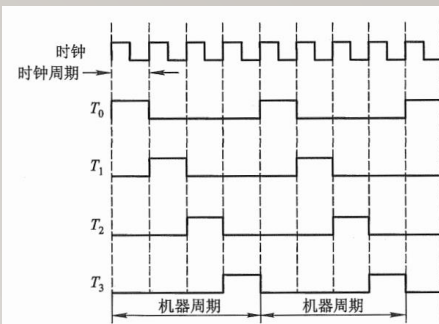


图 9.8 机器周期、时钟周期和节拍的关系

- 基于组合逻辑的控制单元可以接受节拍信号的输入，在不同的节拍下生成对应的控制信号，使指令微操作按节拍有序进行，每个节拍可以容纳多个简单或独立操作。
- 取指周期： $T_0\{PC \rightarrow MAR, 1 \rightarrow R\}$, $T_1\{M(MAR) \rightarrow MDR, (PC)+1 \rightarrow PC\}$, $T_2\{MDR \rightarrow IR, OP(IR) \rightarrow CU\}$
- 间址周期： $T_0\{Ad(IR) \rightarrow MAR, 1 \rightarrow R\}$, $T_1\{M(MAR) \rightarrow MDR\}$, $T_2\{MDR \rightarrow Ad(IR)\}$
- 执行周期：
 - 加法指令ADD X: $T_0\{Ad(IR) \rightarrow MAR, 1 \rightarrow R\}$, $T_1\{M(MAR) \rightarrow MDR\}$, $T_2\{(ACC)+(MDR) \rightarrow ACC\}$
 - 存数指令STA X: $T_0\{Ad(IR) \rightarrow MAR, 1 \rightarrow W\}$, $T_1\{ACC \rightarrow MDR\}$, $T_2\{MDR \rightarrow M(MAR)\}$
 - 取数指令LDA X: $T_0\{Ad(IR) \rightarrow MAR, 1 \rightarrow R\}$, $T_1\{M(MAR) \rightarrow MDR\}$, $T_2\{MDR \rightarrow ACC\}$
 - 无条件转移指令JMP X: $T_2\{Ad(IR) \rightarrow PC\}$
 - 累加器负则转移指令BAN X: $T_2\{ACC_0 \cdot Ad(IR) + ACC_0 \cdot PC \rightarrow PC\}$

每个机器周期包含3个节拍
 T_0, T_1, T_2 ，唐书将仅有1个微操作的指令安排在 T_2 ， T_0, T_1 为空

7. 数据通路

05. 【2016 统考真题】单周期处理器中所有指令的指令周期为一个时钟周期。下列关于单周期处理器的叙述中，错误的是 ()。

- ~~A. 可以采用单总线结构数据通路 由于数据冲突无法在一个周期内实现~~
- B. 处理器时钟频率较低
- C. 在指令执行过程中控制信号不变
- D. 每条指令的 CPI 为 1

03. 采用 CPU 内部总线的数据通路与不采用 CPU 内部总线的数据通路相比，()。

- ~~A. 前者性能较高~~
- ~~B. 后者的数据冲突问题较严重~~
- ~~C. 前者的硬件量大，实现难度高~~
- D. 以上说法都不对

• 数据通路可以有非总线方式和内部总线方式两种实现：

CU产生的控制信号控制数据通路开闭以及寄存器的输入输出，实现微操作

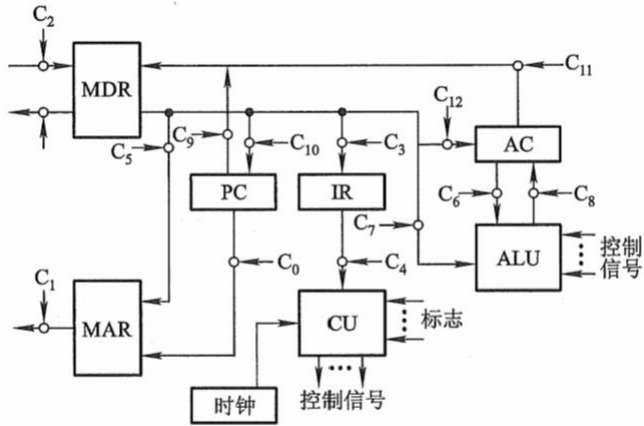


图 9.3 未采用 CPU 内部总线方式的数据通路和控制信号

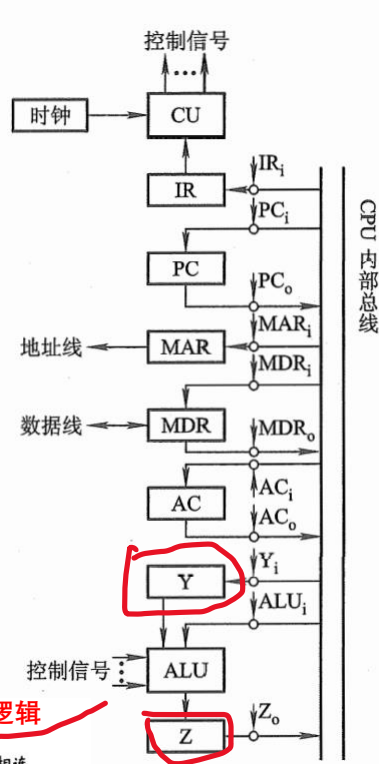
取指周期：

- ① C_0 有效, $PC \rightarrow MAR$
- ② C_1 有效, 传送地址
- ③ $1 \rightarrow R$, 发出读命令
- ④ C_2 有效, $M(MAR) \rightarrow MDR$
- ⑤ C_3 有效, $MDR \rightarrow IR$
- ⑥ C_4 有效, $OP(IR) \rightarrow CU$
- ⑦ $(PC)+1 \rightarrow PC$

间址周期：

- ① C_5 有效, $MDR \rightarrow MAR$
(实际上取的是指令的Ad字段)
- ② C_1 有效, 传送地址
- ③ $1 \rightarrow R$, 发出读命令
- ④ C_2 有效, $M(MAR) \rightarrow MDR$
- ⑤ C_3 有效, $MDR \rightarrow Ad(IR)$

内部总线节省连线，但可能有数据冲突



02. 在单总线的 CPU 中，()。

- A. ALU 的两个输入端及输出端都可与总线相连
- B. ALU 的两个输入端可与总线相连，但输出端需通过寄存器与总线相连
- C. ALU 的一个输入端可与总线相连，其输出端也可与总线相连
- ~~D. ALU 只能有一个输入端可与总线相连，另一输入端需通过寄存器与总线相连~~

注意ALU是组合逻辑

执行周期：(以间址加法ADD @X为例)

- ① C_5 有效, $MDR \rightarrow MAR$
(实际上取的是指令的Ad字段)
- ② C_1 有效, 传送地址
- ③ $1 \rightarrow R$, 发出读命令
- ④ C_2 有效, $M(MAR) \rightarrow MDR$
- ⑤ C_6, C_7 有效, 设置ALU输入
- ⑥ 对ALU发加信号
- ⑦ C_8 有效, 结果送回ACC

取指周期：

- ① PC_o, MAR_i 有效, $PC \rightarrow Bus \rightarrow MAR$
- ② $1 \rightarrow R$, 发出读命令
- ③ $M(MAR) \rightarrow MDR$
- ④ MDR_o, IR_i 有效, $MDR \rightarrow Bus \rightarrow IR$, 且CU开始译码
- ⑤ $(PC)+1 \rightarrow PC$

间址周期：

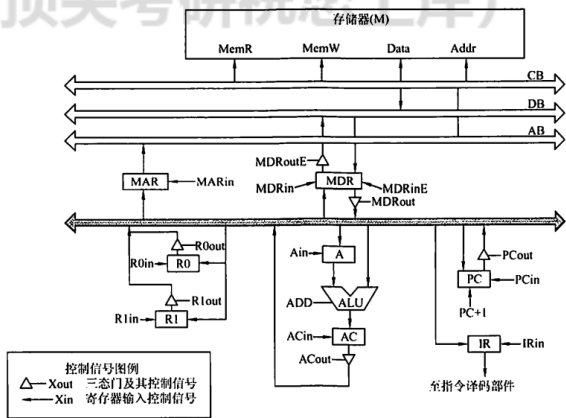
- ① MDR_o, MAR_i 有效, $MDR \rightarrow Bus \rightarrow MAR$
(实际上取的是指令的Ad字段)
- ② $1 \rightarrow R$, 发出读命令
- ③ $M(MAR) \rightarrow MDR$
- ④ MDR_o, IR_i 有效, $MDR \rightarrow Bus \rightarrow Ad(IR)$

执行周期：(以间址加法ADD @X为例)

- ① MDR_o, MAR_i 有效, $MDR \rightarrow Bus \rightarrow MAR$
(实际上取的是指令的Ad字段)
- ② $1 \rightarrow R$, 发出读命令
- ③ $M(MAR) \rightarrow MDR$
- ④ MDR_o, Y_i 有效, $MDR \rightarrow Bus \rightarrow Y$
- ⑤ AC_o, ALU_i 有效, $ACC \rightarrow Bus \rightarrow ALU$ 输入
- ⑥ 对ALU发加信号, $(ACC)+(Y) \rightarrow Z$
- ⑦ Z_o, AC_i 有效, $Z \rightarrow Bus \rightarrow ACC$

7. 数据通路——一些照本宣科之题

01. 【2009 统考真题】某计算机字长 16 位，采用 16 位定长指令字结构，部分数据通路结构如下图所示。图中所有控制信号为 1 时表示有效，为 0 时表示无效。例如，控制信号 MDRinE 为 1 表示允许数据从 DB 打入 MDR，MDRin 为 1 表示允许数据从总线打入 MDR。假设 MAR 的输出一直处于使能状态。加法指令“ADD (R1), R0”的功能为 $R0 + ((R1)) \rightarrow (R1)$ ，即将 R0 中的数据与 R1 的内容所指主存单元的数据相加，并将结果送入 R1 的内容所指主存单元中保存。



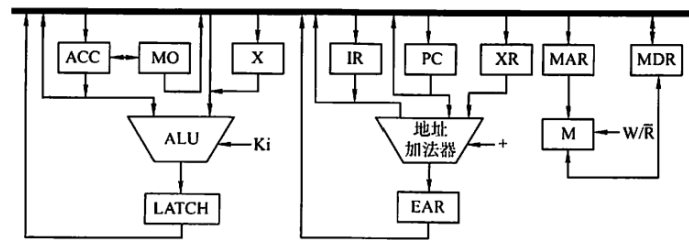
下表给出了上述指令取指和译码阶段每个节拍（时钟周期）的功能和有效控制信号，请按表中描述方式用表格列出指令执行阶段每个节拍的功能和有效控制信号。

时 钟	功 能	有效控制信号
C1	MAR ← (PC)	PCout, MARin
C2	MDR ← M(MAR) PC ← (PC) + 1	MemR, MDRinE, PC + 1
C3	IR ← (MDR)	MDRout, IRin
C4	指令译码	无

时 钟	功 能	有效控制信号
C5	$MAR \leftarrow (R1)$	R1out, MARin
C6	$MDR \leftarrow M(MAR)$	MemR, MDRinE
C7	$A \leftarrow (MDR)$	MDRout, Ain
C8	$AC \leftarrow (A) + (R0)$	R0out, Add, ACin
C9	$MDR \leftarrow (AC)$	ACout, MDRin
C10	$M(MAR) \leftarrow (MDR)$	MDRoutE, MemW

07. 已知单总线计算机结构如下图所示, 其中 M 为主存, XR 为变址寄存器, EAR 为有效地址寄存器, LATCH 为暂存器。假设指令地址已存在于 PC 中, 请给出 ADD X, D 指令周期信息流程和相应的控制信号。说明:

- 1) ADD X, D 指令字中, X 为变址寄存器 XR, D 为形式地址。
- 2) 寄存器的输入/输出均采用控制信号控制, 如 PC_i 表示 PC 的输入控制信号, MDR_o 表示 MDR 的输出控制信号。
- 3) 凡需要经过总线的传送, 都需要注明, 如 $(PC) \rightarrow MAR$, 相应的控制信号为 PC_o 和 MAR_i 。



周 期	微 操 作	有效控制信号
取指周期	(PC)→MAR	PC ₀ , MAR _i
	M(MAR)→MDR	MAR ₀ , R/W, MDR _i
	(PC) + 1→PC	+1
	(MDR)→IR	MDR ₀ , IR _i
执行周期	(XR) + Ad(IR)→EAR	XR ₀ , IR ₀ , +, EAR _i
	(EAR)→MAR	EAR ₀ , MAR _i
	M(MAR)→MDR	MAR ₀ , R/W, MDR _i
	(MDR)→X	MDR ₀ , X _i
	(ACC) + (X)→LATCH	ACC ₀ , X ₀ , K _i = +, LATCH _i
	(LATCH)→ACC	LATCH ₀ , ACC _i

07. 以下说法中, 正确的是 ()。

- A. 采用微程序控制器是为了提高速度 ~~✗~~
- B. 控制存储器由高速 RAM 电路组成 ~~✗~~
- C. 微指令计数器决定指令执行顺序 ~~✗~~
- D. 一条微指令存放在控制器的一个控制存储器单元中 ☒

8. 微指令与微程序

微程序CU是除了组合逻辑CU(硬布线控制器)之外的另一种实现形式

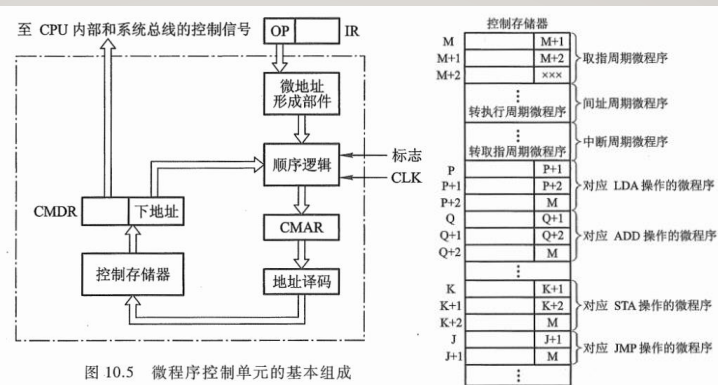


图 10.5 微程序控制单元的基本组成

20. 【2009 统考真题】相对于微程序控制器, 硬布线控制器的特点是 ()。

- A. 指令执行速度慢, 指令功能的修改和扩展容易
- B. 指令执行速度慢, 指令功能的修改和扩展难
- C. 指令执行速度快, 指令功能的修改和扩展容易
- D. 指令执行速度快, 指令功能的修改和扩展难 ☒

微程序CU可以修改控存来实现指令功能修改

03. 在微程序控制器中, 形成微程序入口地址的是 ()。

- A. 机器指令的地址码字段
- B. 微指令的微地址码字段
- C. 机器指令的操作码字段 ☒
- D. 微指令的微操作码字段

08. 硬布线控制器与微程序控制器相比, ()。

- A. 硬布线控制器的时序系统比较简单 ☒
- B. 微程序控制器的时序系统比较简单

- 一条机器指令对应一个微程序, 一个微程序包含若干条微指令, 每个微指令表示一些微操作命令。
- 指令对应的微程序存储在控制存储器(ROM)中, 对应的地址和数据寄存器为CMAR和CMDR, 每条微指令都需要显式给出下条微指令的地址(下地址字段), 执行指令时先将指令对应的微程序首地址送入CMAR, 循环以下步骤: ①CM(CMAR)→CMDR, ②由微指令发出微命令(控制信号), ③Ad(CMDR)→CMAR

05. 微程序控制器的速度比硬布线控制器慢, 主要是因为 ()。

- 微指令主要分为两种: ☒增加了从控制存储器读取微指令的时间

II. 微指令格式分为水平型和垂直型, 水平型微指令的位数 (), 用它编写的微程序 ()。

- A. 较少 ☒较多
- C. 较长 ☒较短

• 水平型微指令: 一次并行执行多个微命令。

• 垂直型微指令: 类似RISC, 具有微操作码和地址码, 仍然是“指令”, 可进一步拆成毫微指令.....

垂直型微指令位数少, 1次能做的微命令少, 微程序结构长

- 水平型微指令主要有这样两种编码方式:

• 直接编码方式: 微指令每位表示一个微命令的控制信号。

• 字段直接编码方式: 划分为若干段, 每段使用译码器产生1个微命令(每段至多对应 $2^i - 1$ 种互斥的微命令, 留1个状态表示不发出任何信号) 最多同时发出段数个微命令

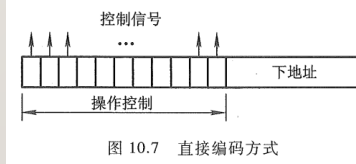


图 10.7 直接编码方式

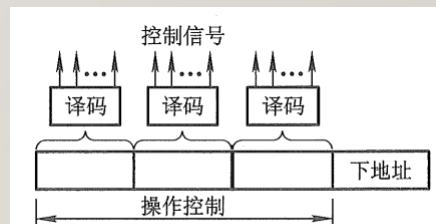


图 10.8 字段直接编码方式

21. 【2012 统考真题】某计算机的控制器采用微程序控制方式, 微指令中的操作控制字段采用字段直接编码法, 共有 33 个微命令, 构成 5 个互斥类, 分别包含 7、3、12、5 和 6 个微命令, 则操作控制字段至少有 ()。位数: 3, 2, 4, 3, 3, 注意每段多加1个空状态

- A. 5 位
- B. 6 位
- C. 15 位 ☒
- D. 33 位

22. 【2014 统考真题】某计算机采用微程序控制器, 共有 32 条指令, 公共的取指令微程序包含 2 条微指令, 各指令对应的微程序平均由 4 条微指令组成, 采用断定法(下地址字段法)确定下条微指令地址, 则微指令中下地址字段的位数至少是 ()。

- A. 5
- B. 6
- C. 8
- D. 9

控存中一共要存 $32 \times 4 + 2 = 130$ 条微指令, 控存地址应为8位

8. 微指令与微程序：指令微程序设计

每执行一条微指令都要在下一节拍设置CMAR

取指周期：

T_0 PC \rightarrow MAR, 1 \rightarrow R
 T_1 Ad(CMDR) \rightarrow CMAR
 T_2 M(MAR) \rightarrow MDR, (PC)+1 \rightarrow PC
 T_3 Ad(CMDR) \rightarrow CMAR
 T_4 MDR \rightarrow IR, OP(IR) \rightarrow 微地址形成部件
 T_5 微地址形成部件 \rightarrow CMAR

指令JMP X执行周期：

T_0 Ad(IR) \rightarrow PC
 T_1 Ad(CMDR) \rightarrow CMAR (跳转到取指微程序)

指令ADD X执行周期：

T_0 Ad(IR) \rightarrow MAR, 1 \rightarrow R
 T_1 Ad(CMDR) \rightarrow CMAR
 T_2 M(MAR) \rightarrow MDR
 T_3 Ad(CMDR) \rightarrow CMAR
 T_4 (ACC)+(MDR) \rightarrow ACC
 T_5 Ad(CMDR) \rightarrow CMAR (跳转到取指微程序)

- 2) 写出硬布线控制器完成 STA X (X 为主存地址) 指令发出的全部微操作命令及节拍安排。
- 3) 若采用微程序控制，还需增加哪些微操作？

2) 微操作命令及节拍安排如下：

T_0 PC \rightarrow MAR, 1 \rightarrow R
 T_1 M(MAR) \rightarrow MDR, (PC)+1 \rightarrow PC
 T_2 MDR \rightarrow IR, OP(IR) \rightarrow ID
 T_0 Ad(IR) \rightarrow MAR, 1 \rightarrow W
 T_1 ACC \rightarrow MDR
 T_2 MDR \rightarrow M(MAR)

3) 若采用微程序控制，还需增加下列微操作：

取指周期：
Ad(CMDR) \rightarrow CMAR
OP(IR) \rightarrow CMAR
执行周期：
Ad(CMDR) \rightarrow CMAR