

# 计算机组成原理

## 第四讲

刘松波

哈工大计算学部

模式识别与智能系统研究中心

# 第 3 章 系统总线

## 3.1 总线的基本概念

## 3.2 总线的分类

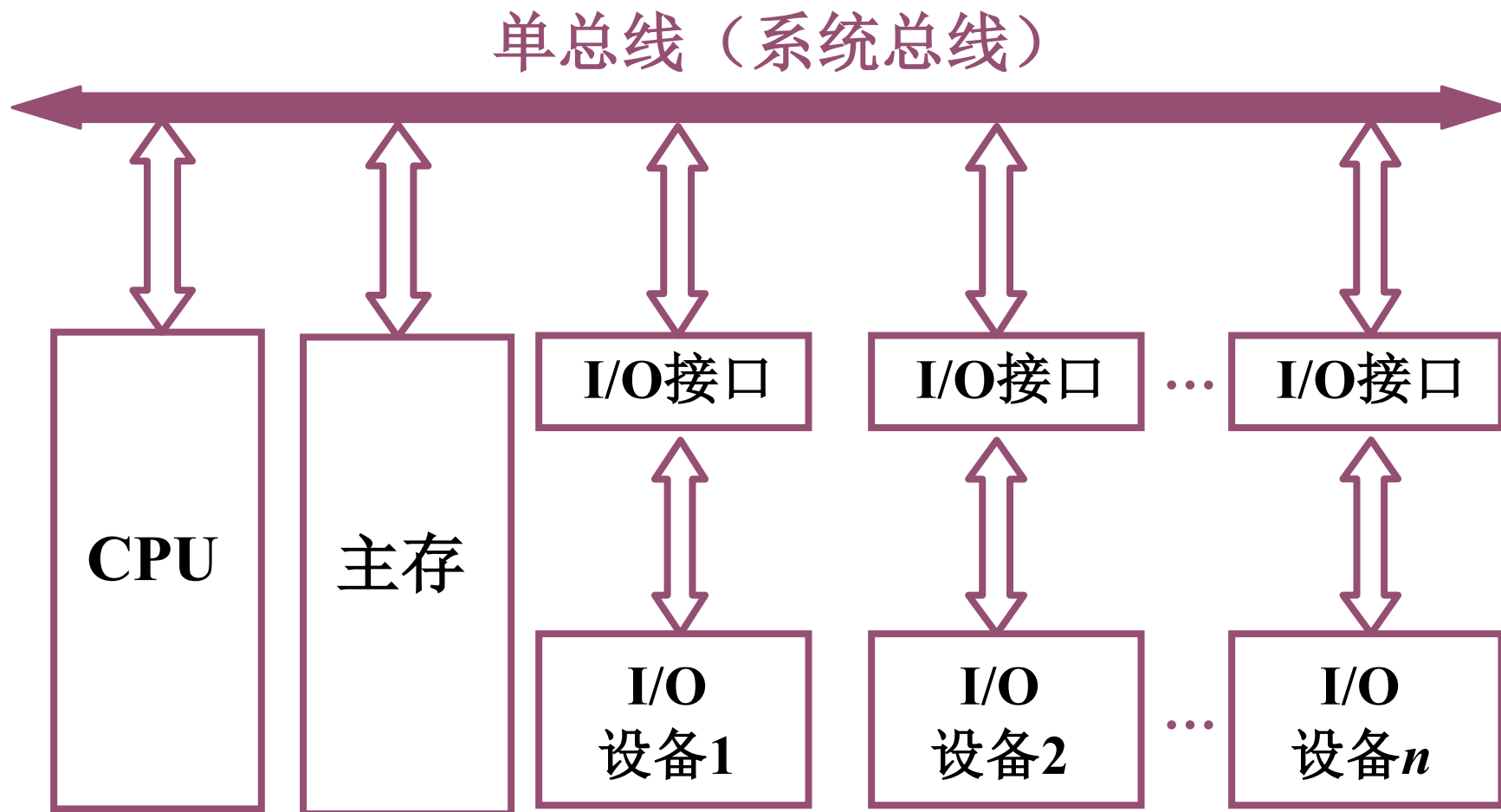
## 3.3 总线特性及性能指标

## 3.4 总线结构

## 3.5 总线控制

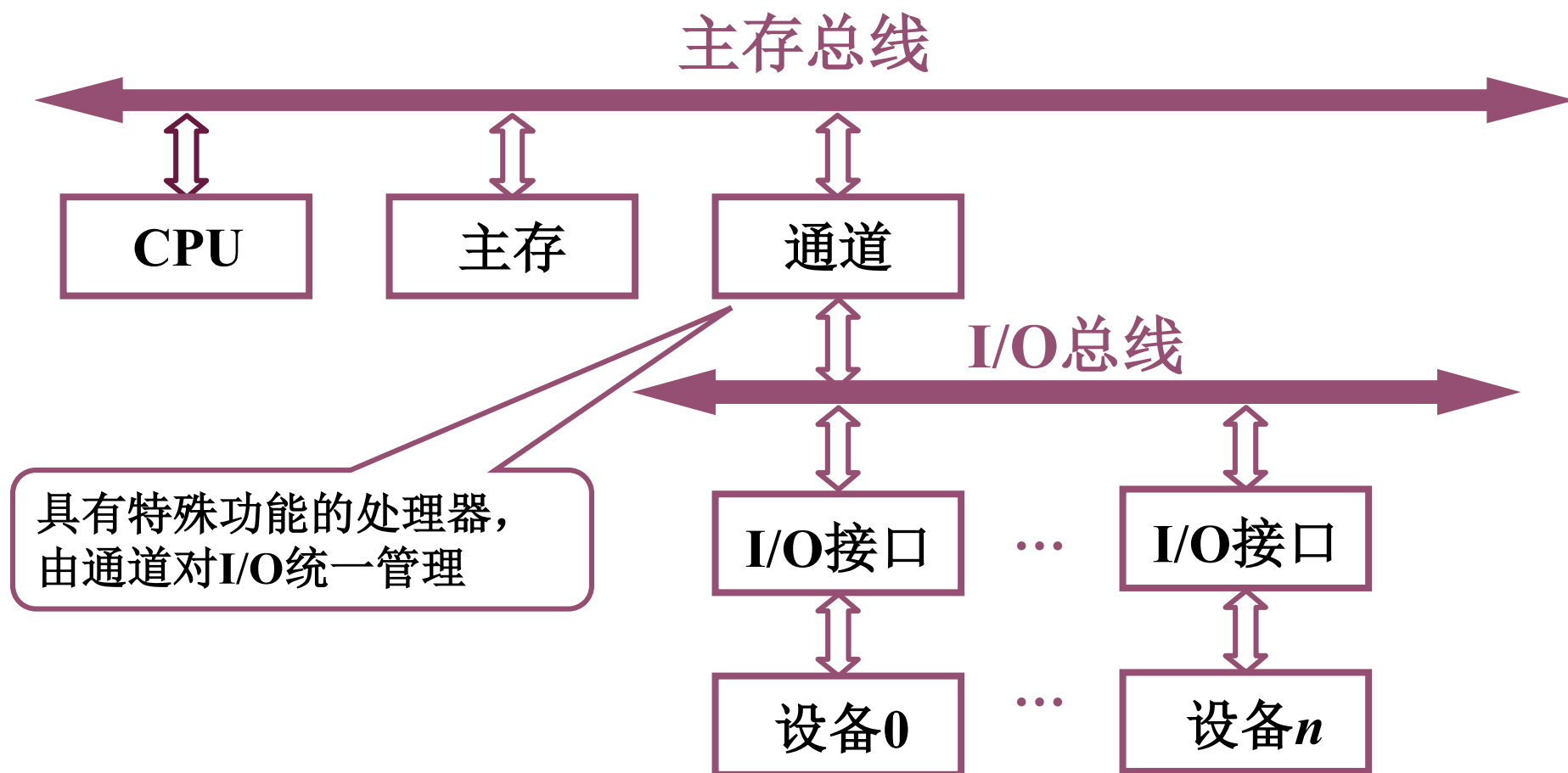
## 3.4 总线结构

### 一、单总线结构

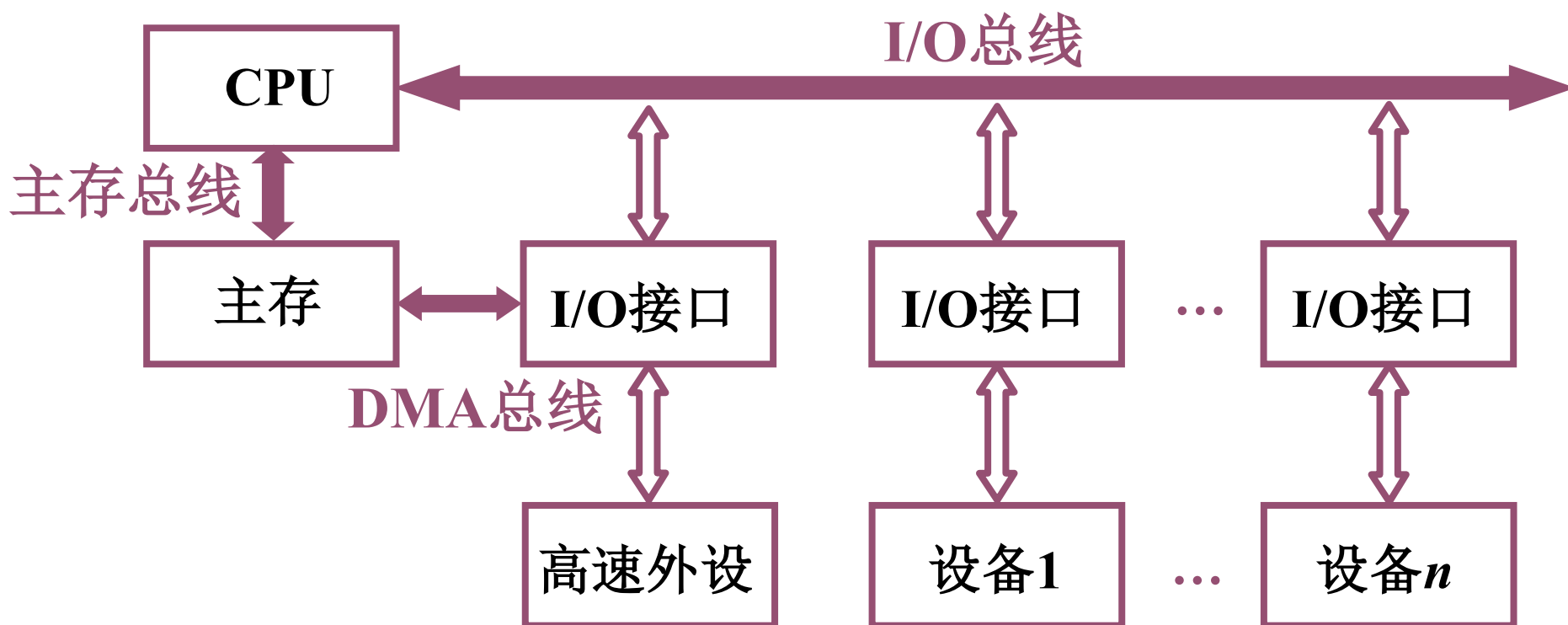


## 二、多总线结构

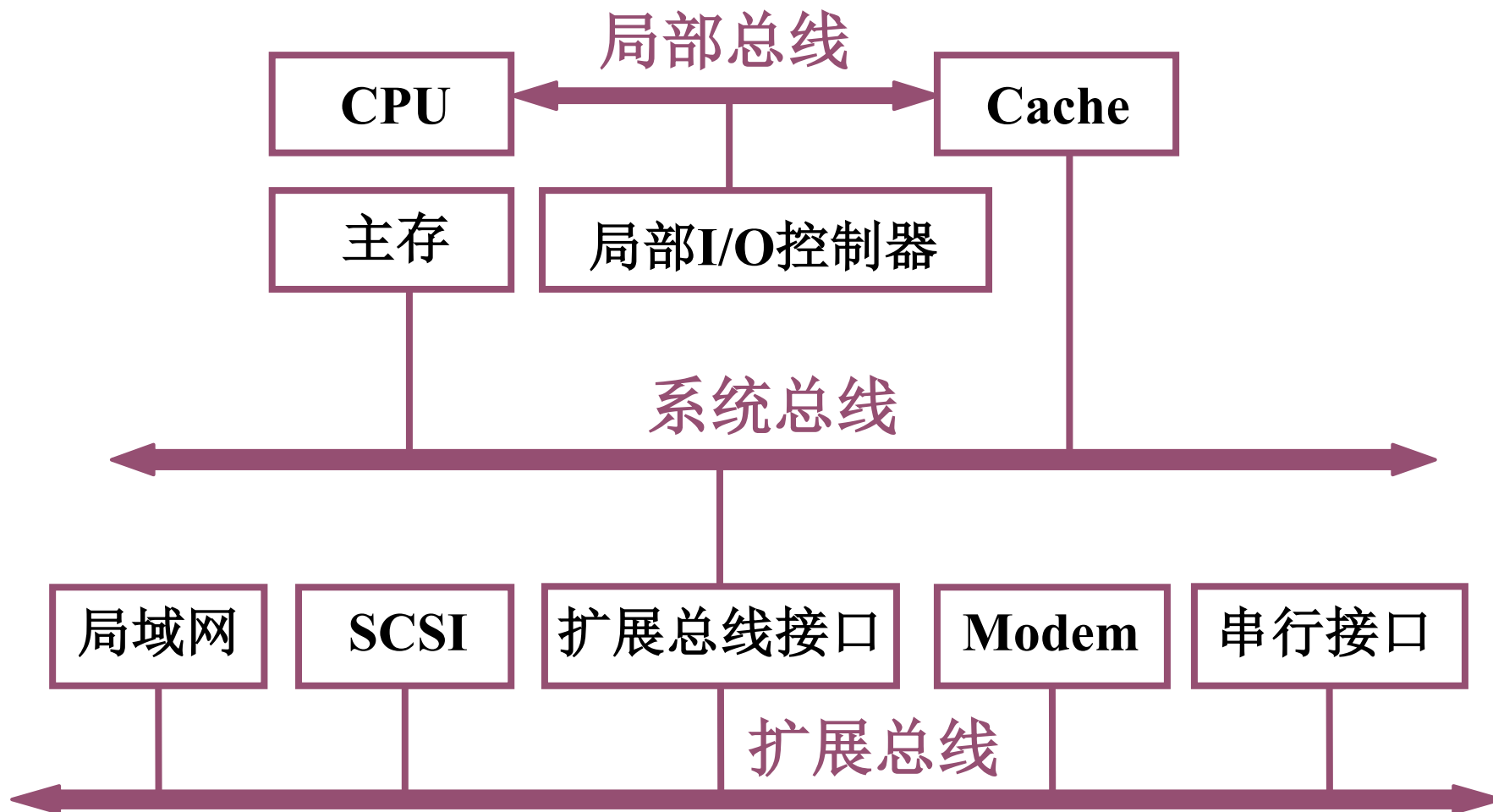
### 1. 双总线结构



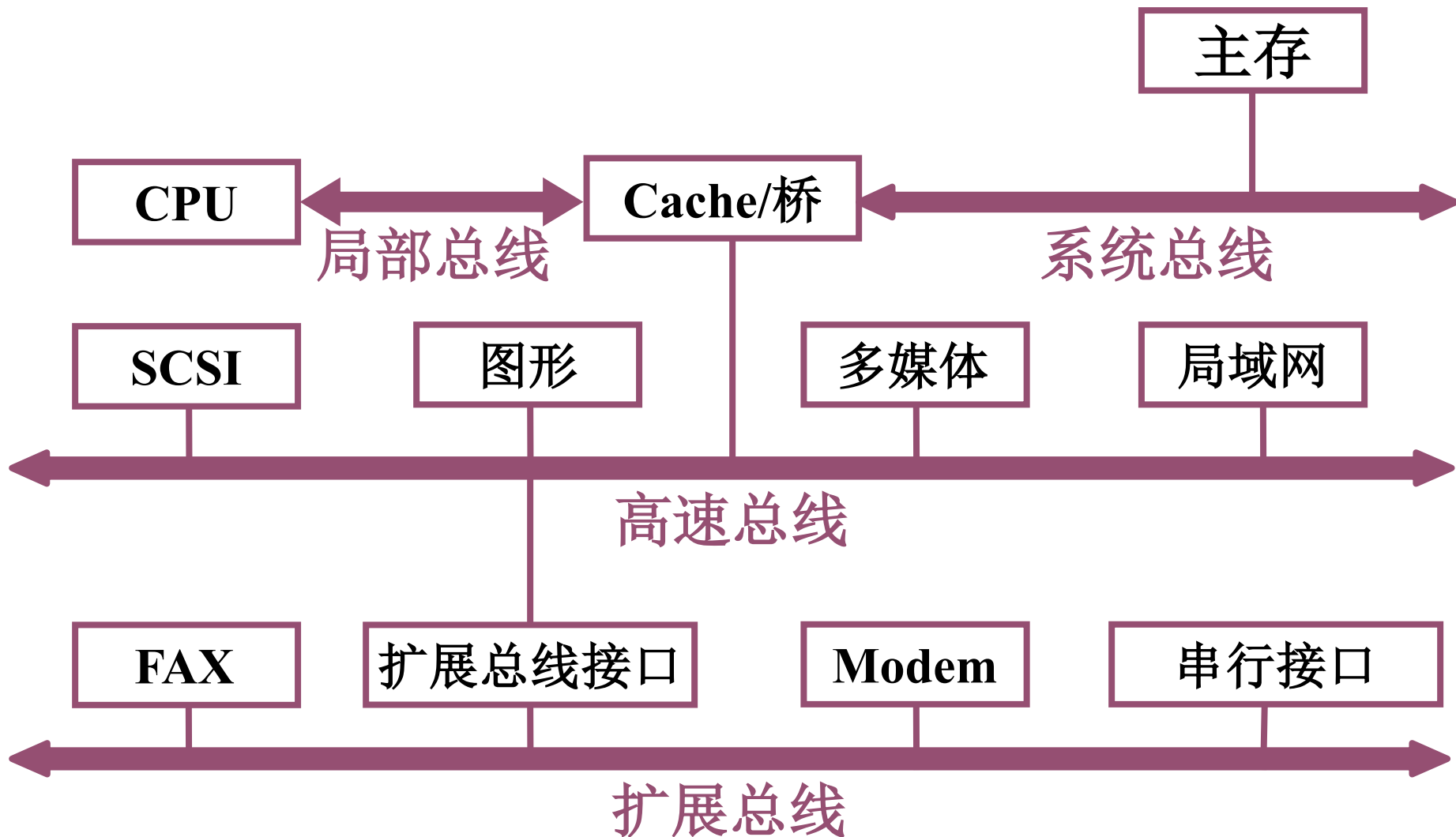
## 2. 三总线结构



### 3. 三总线结构的又一形式



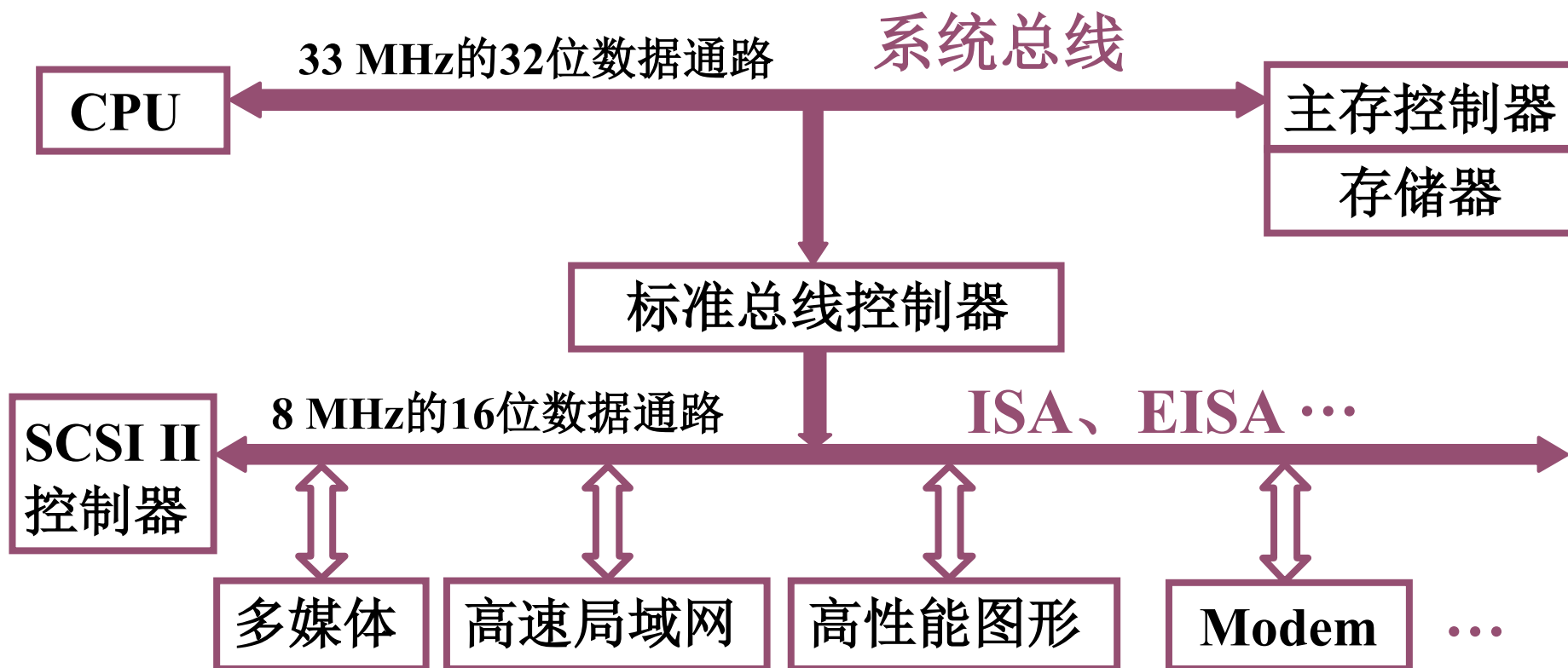
## 4. 四总线结构



# 三、总线结构举例

## 3.4

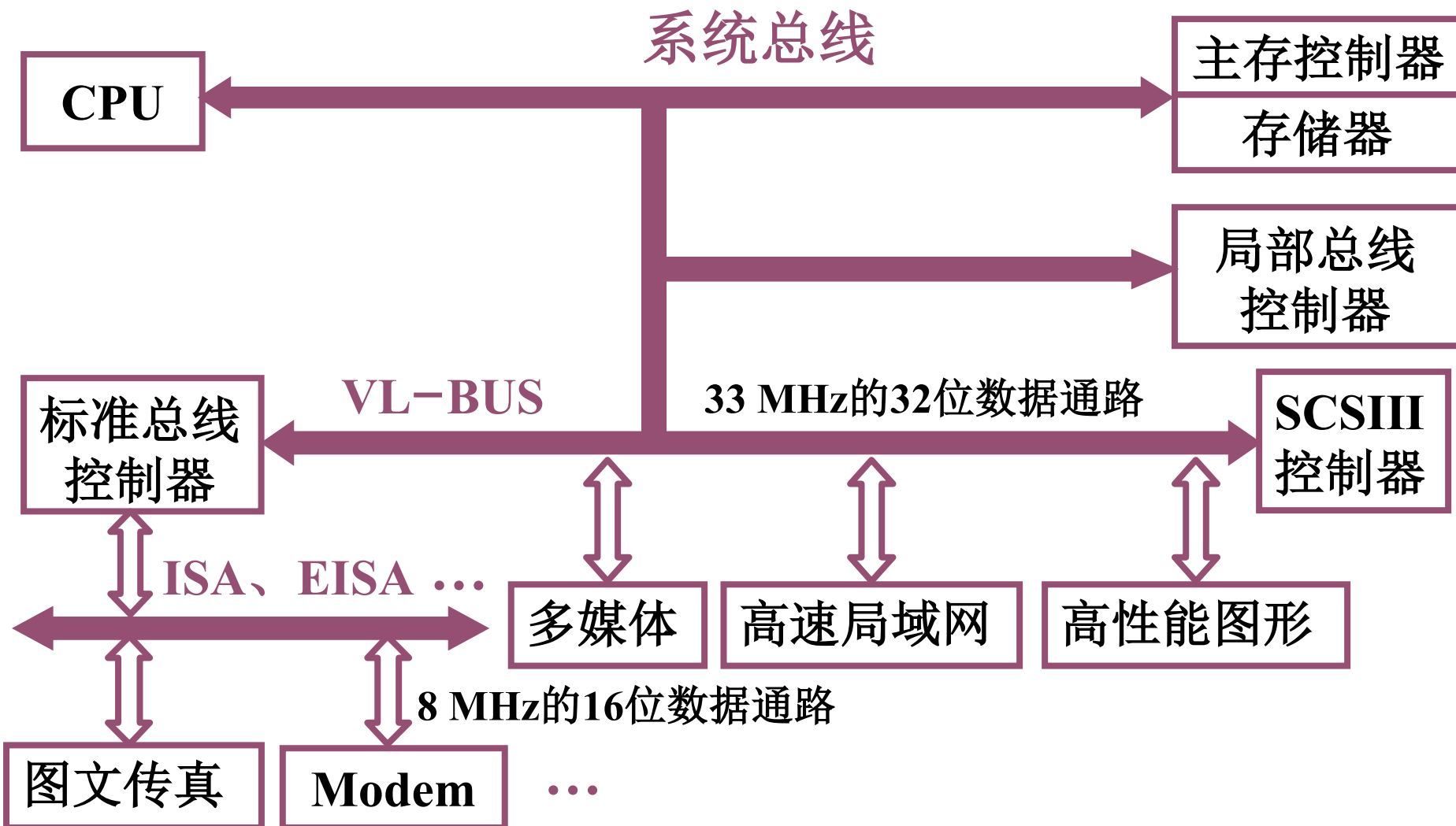
### 1. 传统微型机总线结构





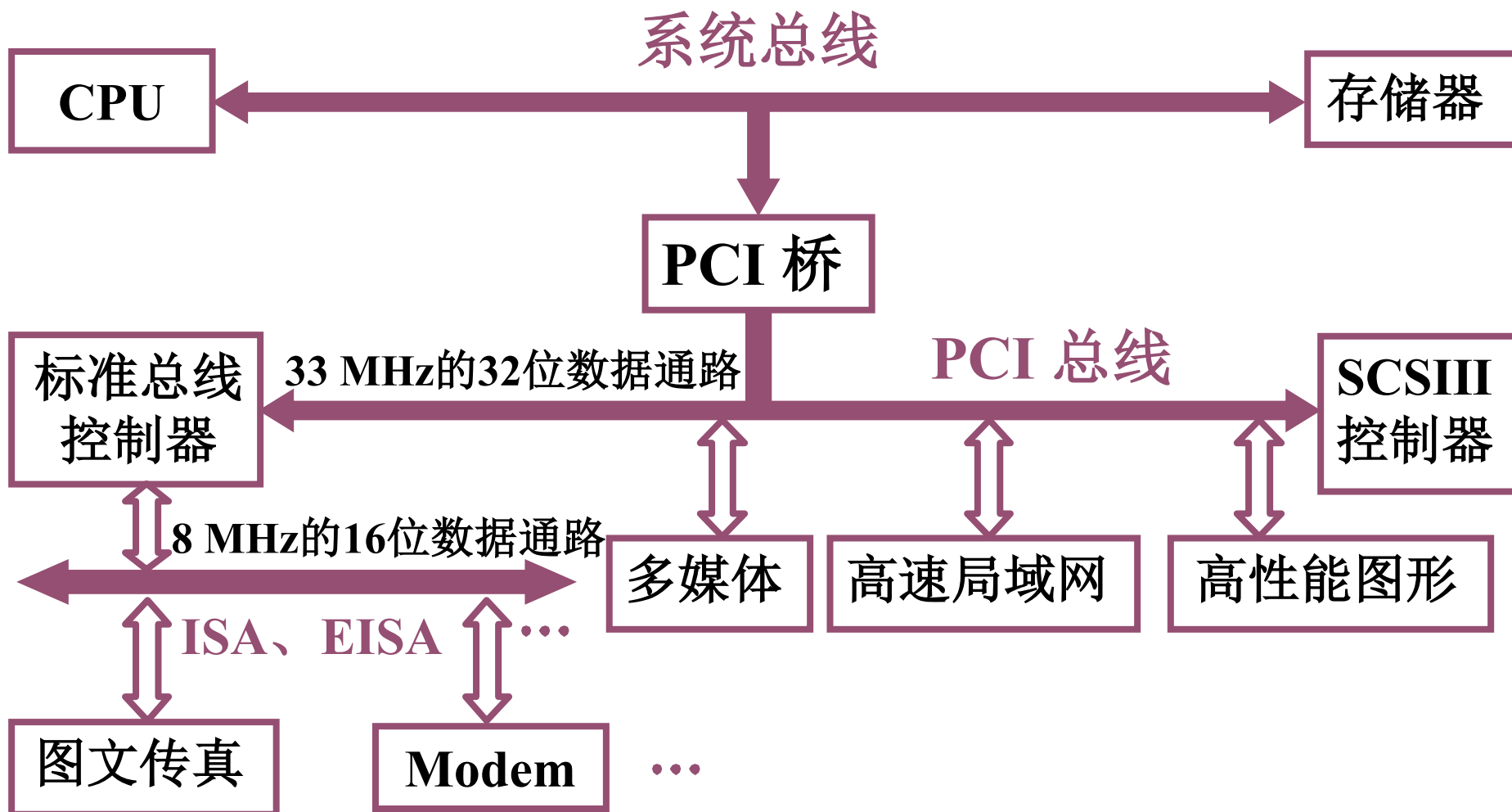
## 2. VL-BUS局部总线结构

## 3.4

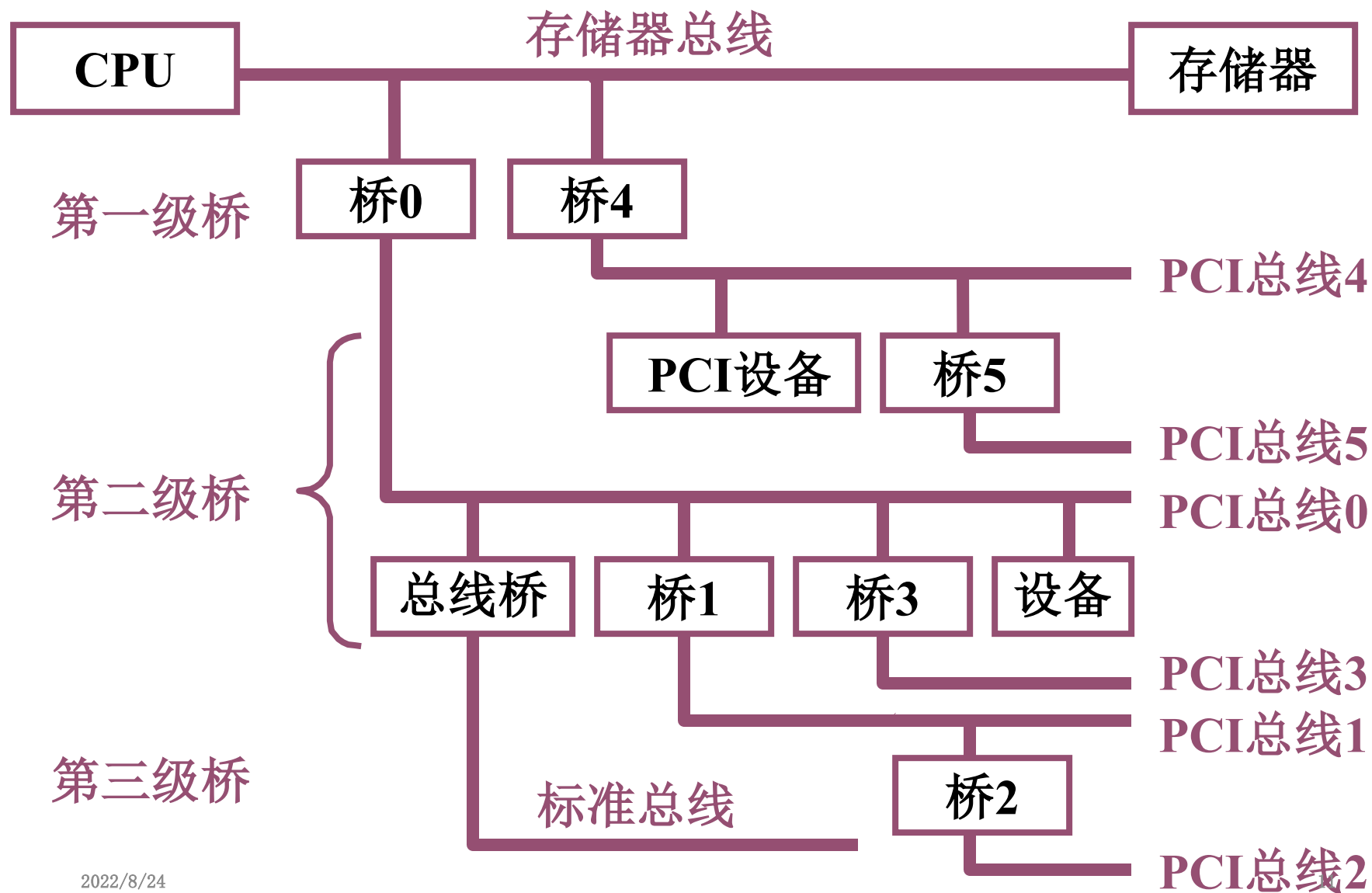


# 3. PCI 总线结构

3.4



## 4. 多层 PCI 总线结构

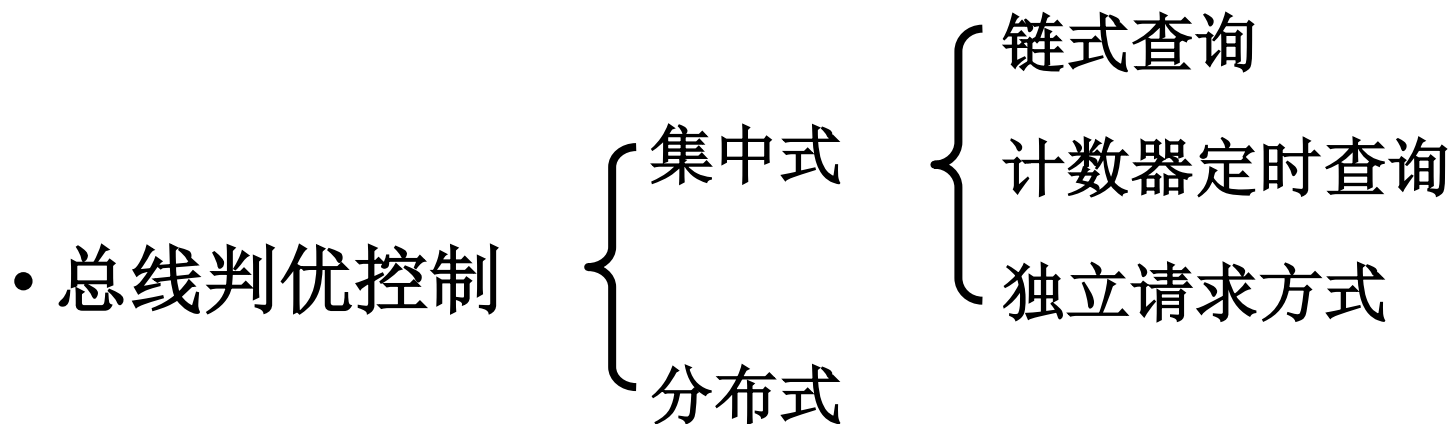


## 3.5 总线控制

### 一、总线判优控制

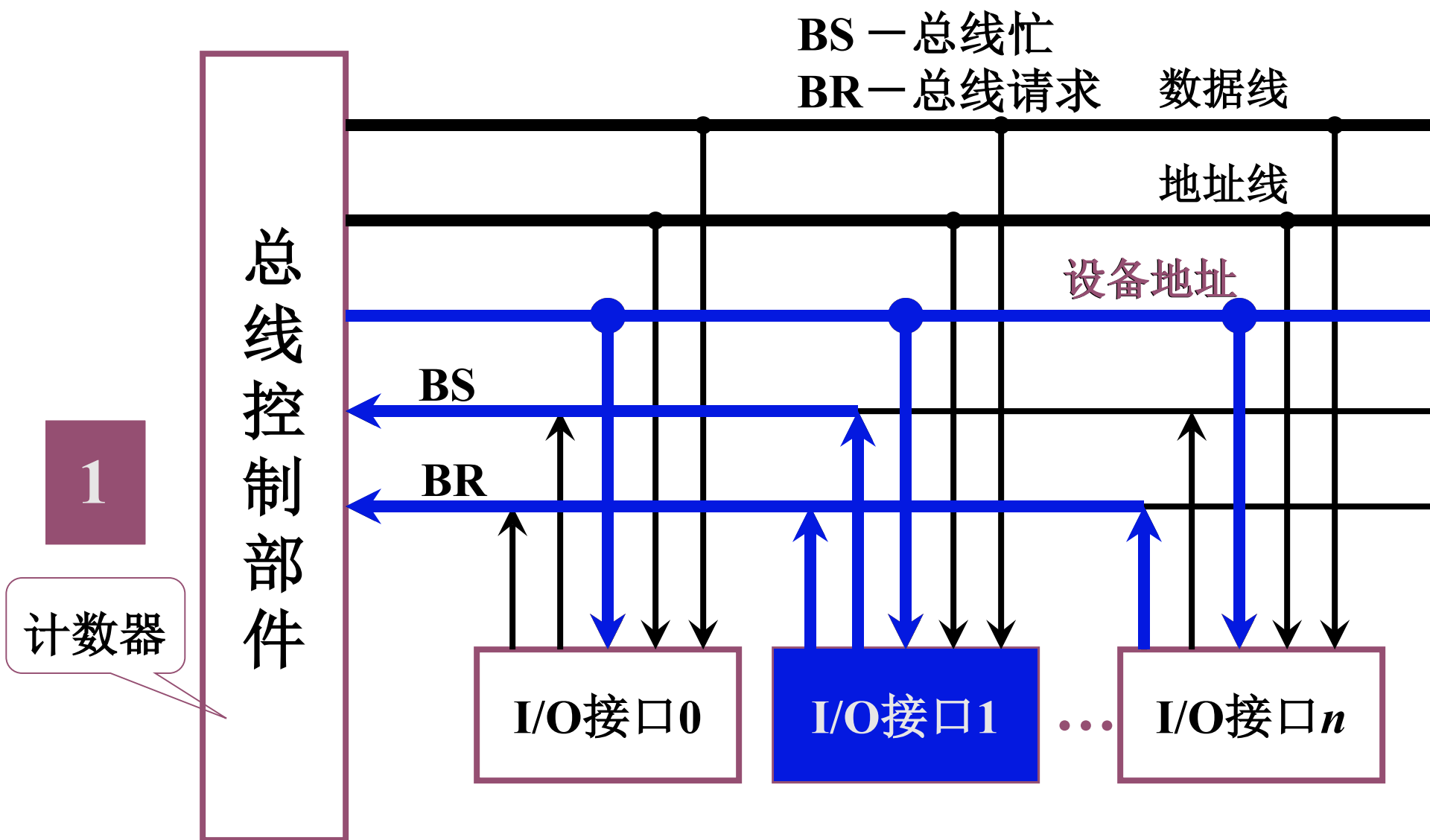
#### 1. 基本概念

- 主设备(模块) 对总线有 **控制权**
- 从设备(模块) **响应** 从主设备发来的总线命令

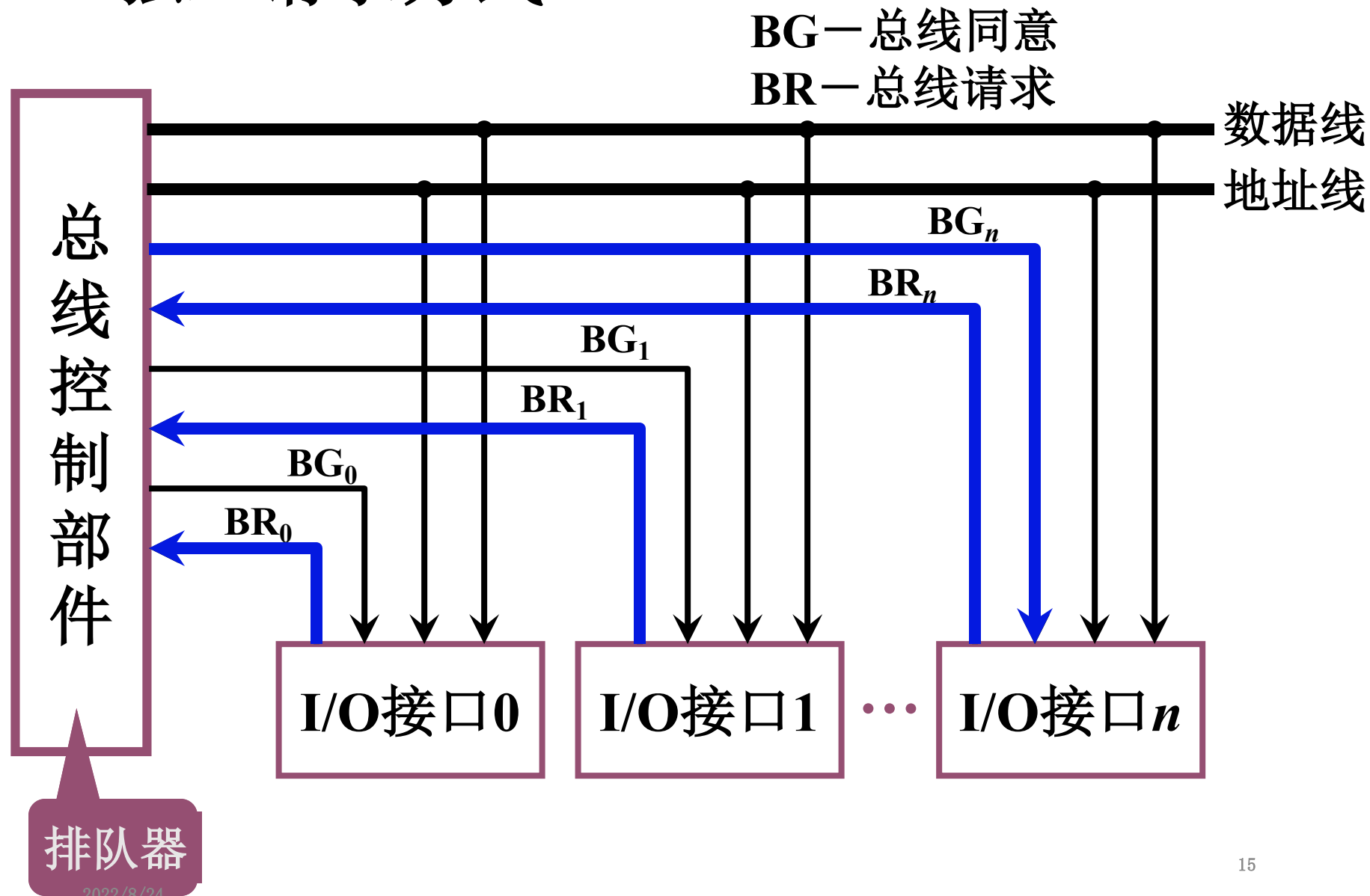




# 3. 计数器定时查询方式

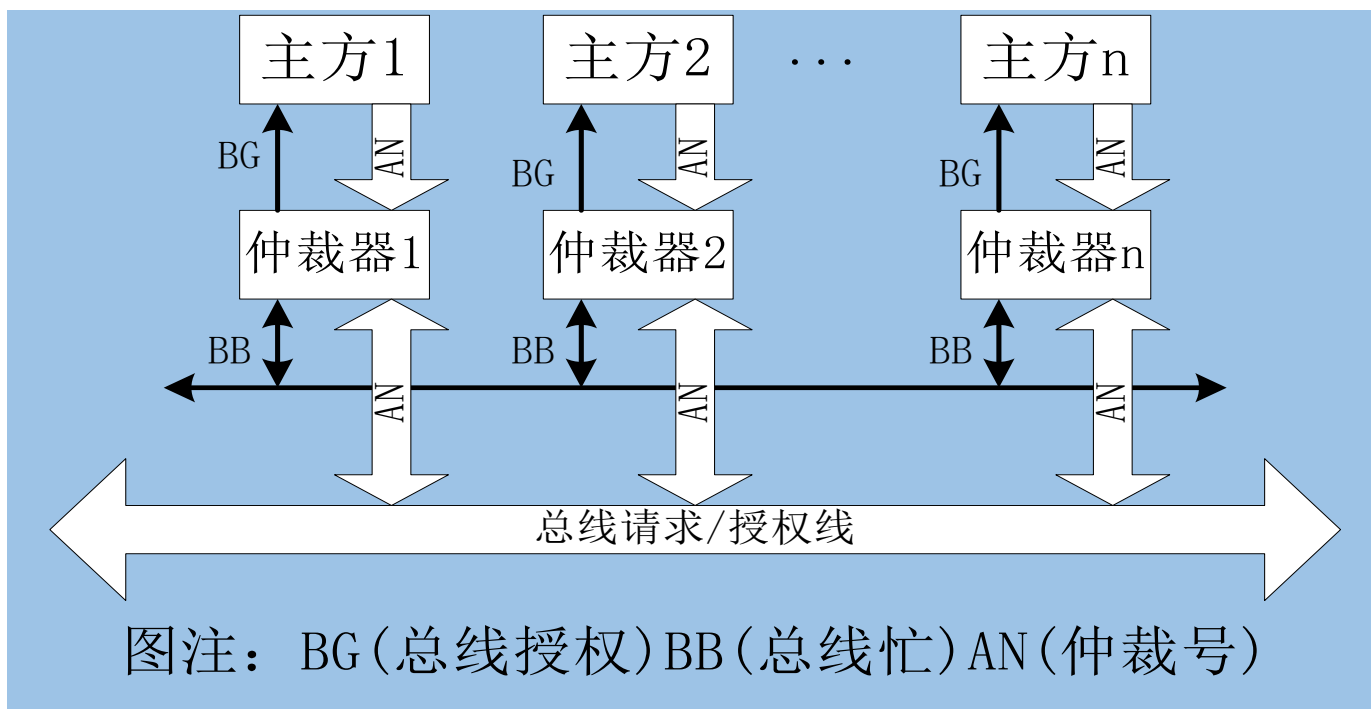


## 4. 独立请求方式



# 分布式控制

✓将总线控制逻辑分布在连接到总线的各个部件中。






## 二、总线通信控制

1. 目的 解决通信双方 协调配合 问题

### 2. 总线传输周期



申请分配阶段	主模块申请，总线仲裁决定
寻址阶段	主模块向从模块 给出地址 和 命令
传数阶段	主模块和从模块 交换数据
结束阶段	主模块 撤消有关信息

### 3. 总线通信的四种方式

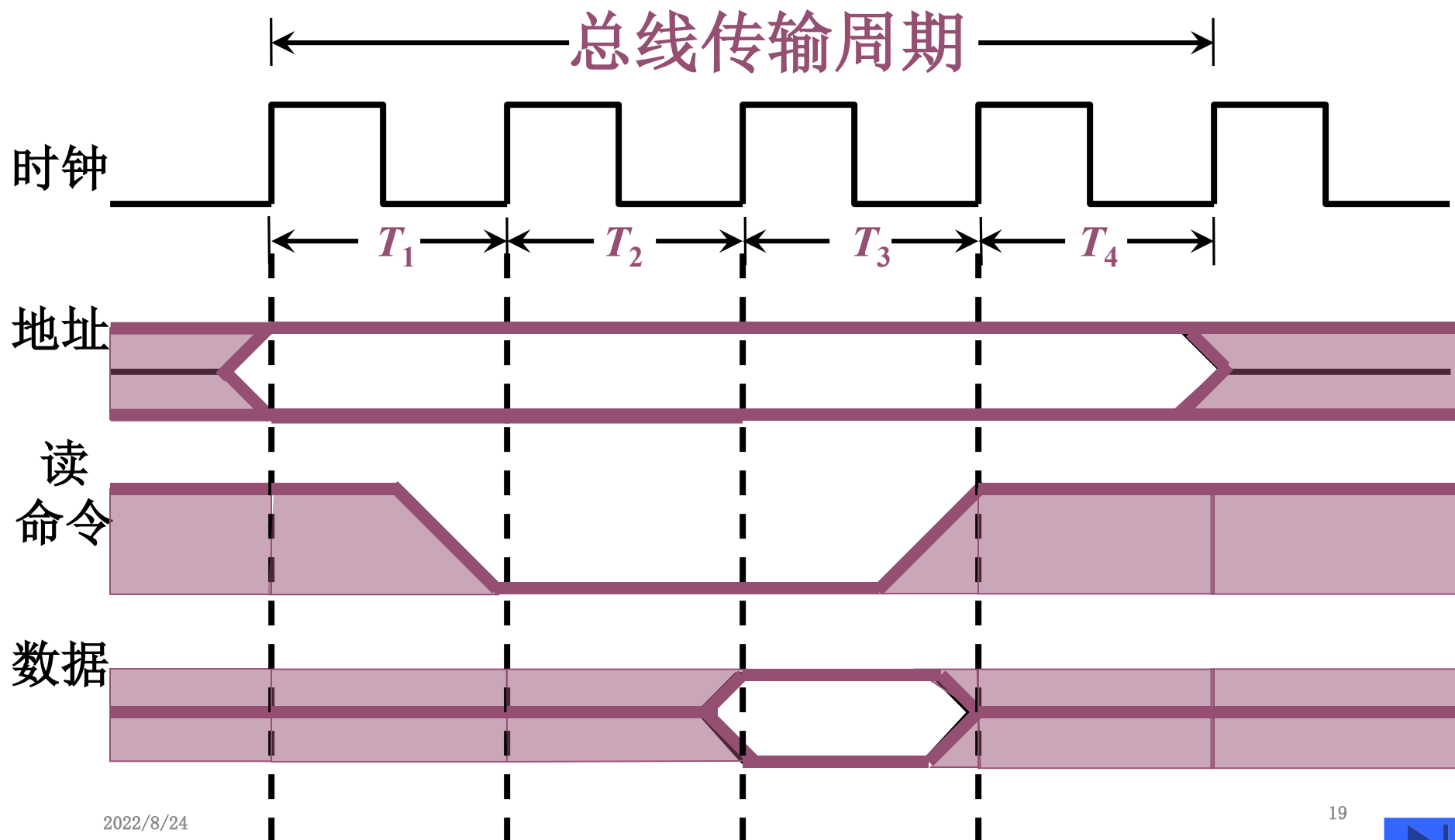
同步通信 由 统一时标 控制数据传送

异步通信 采用 应答方式，没有公共时钟标准

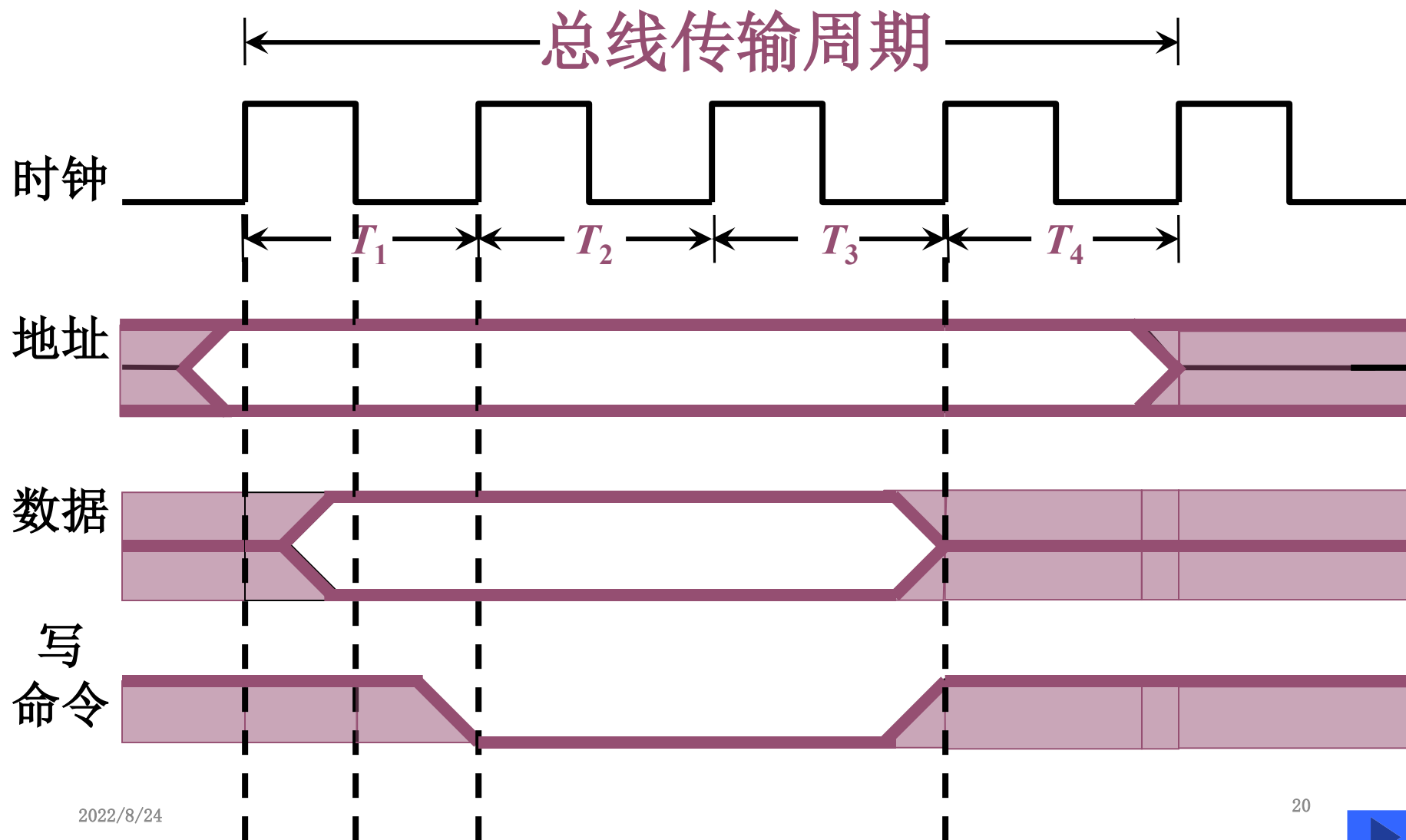
半同步通信 同步、异步结合

分离式通信 充分 挖掘 系统 总线每个瞬间 的 潜力

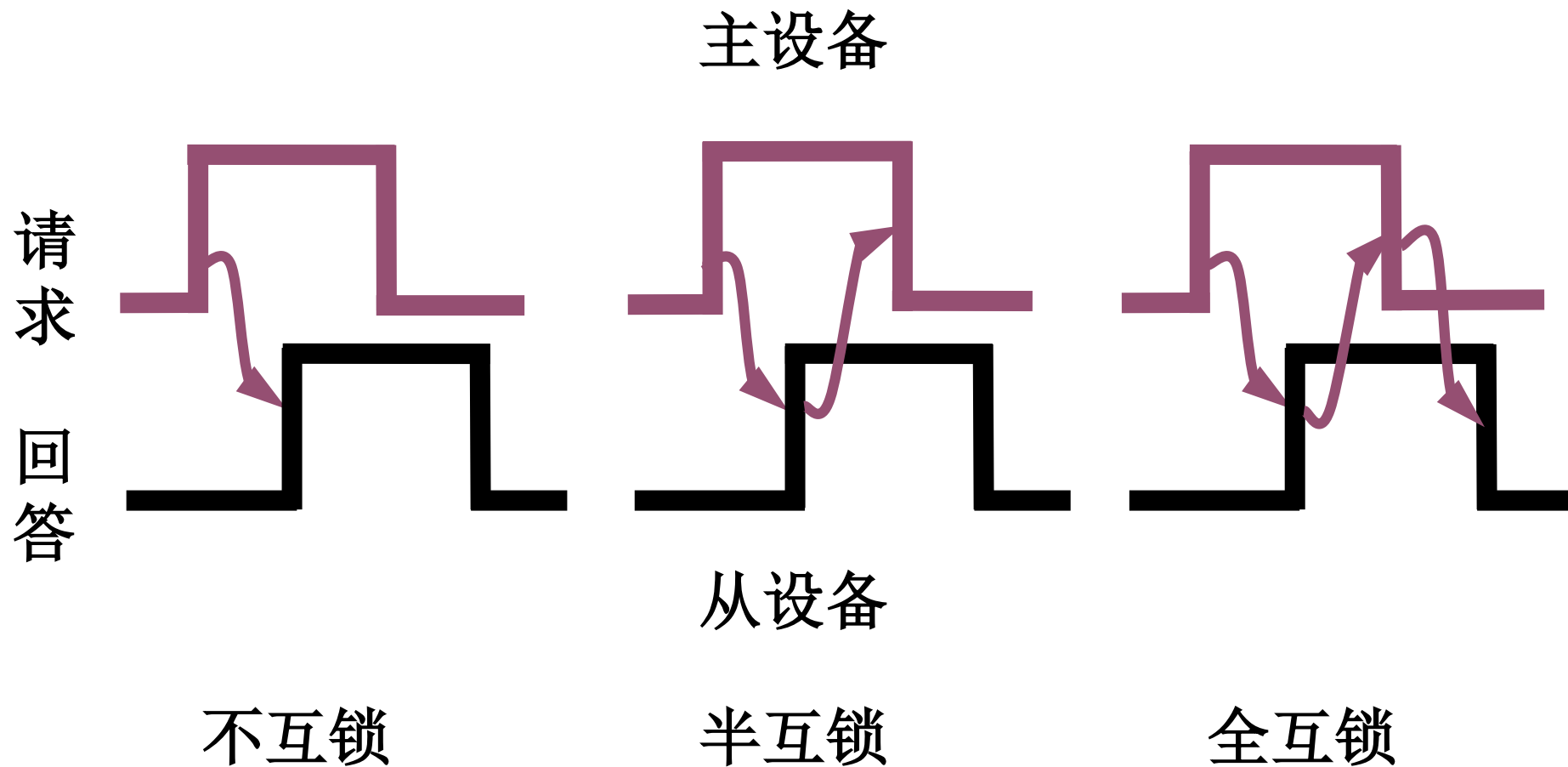
# (1) 同步式数据输入



## (2) 同步式数据输出



### (3) 异步通信



## (4) 半同步通信 (同步、异步 结合) 3.5

同步 发送方 用系统 时钟前沿 发信号

接收方 用系统 时钟后沿 判断、识别

异步 允许不同速度的模块和谐工作

增加一条 “等待” 响应信号  $\overline{\text{WAIT}}$

# 以输入数据为例的半同步通信时序

$T_1$  主模块发地址

$T_2$  主模块发命令

$T_w$  当  $\overline{\text{WAIT}}$  为低电平时，等待一个  $T$

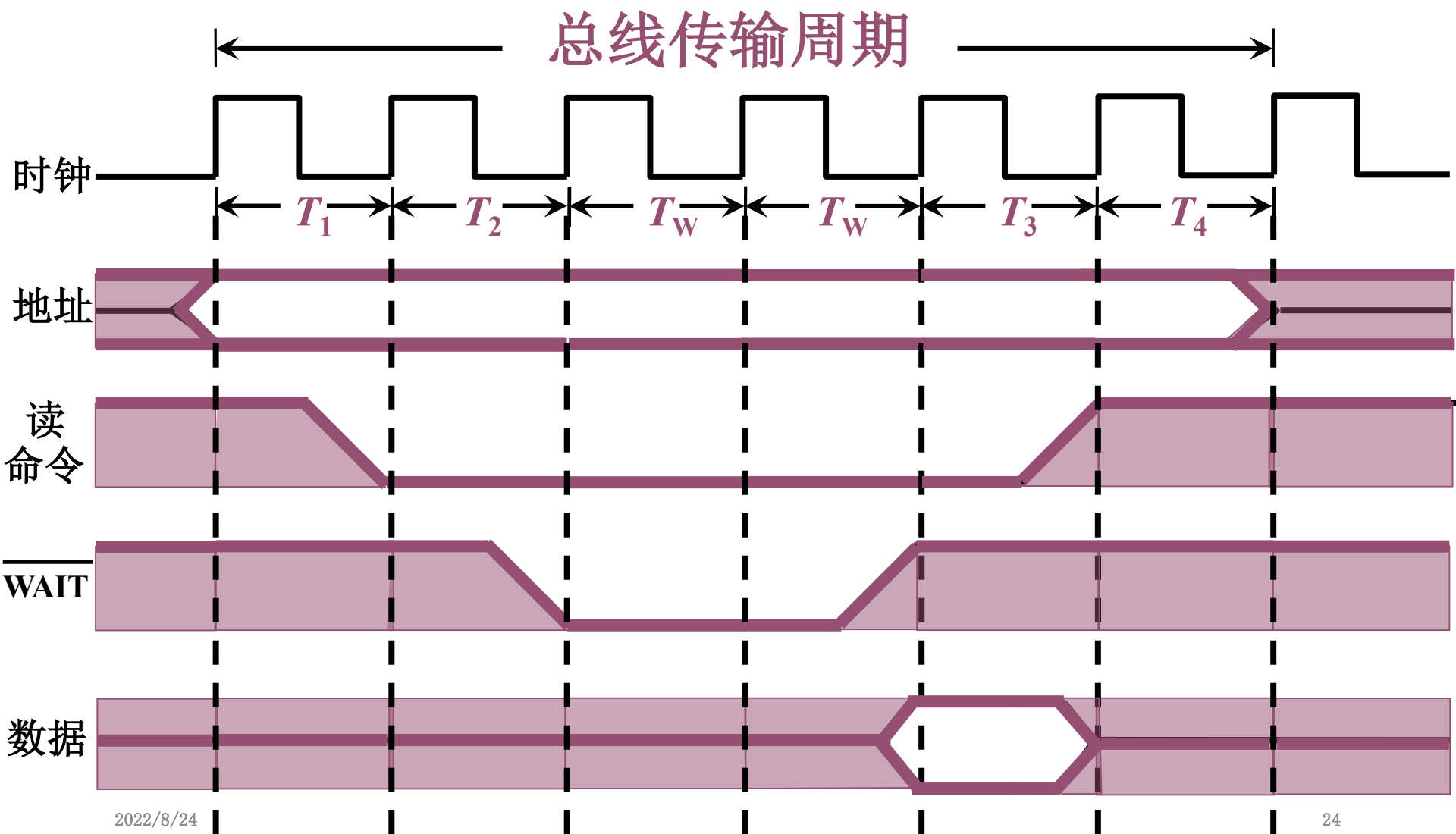
$T_w$  当  $\overline{\text{WAIT}}$  为低电平时，等待一个  $T$

⋮

$T_3$  从模块提供数据

$T_4$  从模块撤销数据，主模块撤销命令

# (4) 半同步通信 (同步、异步 结合) 3.5





## 上述三种通信的共同点

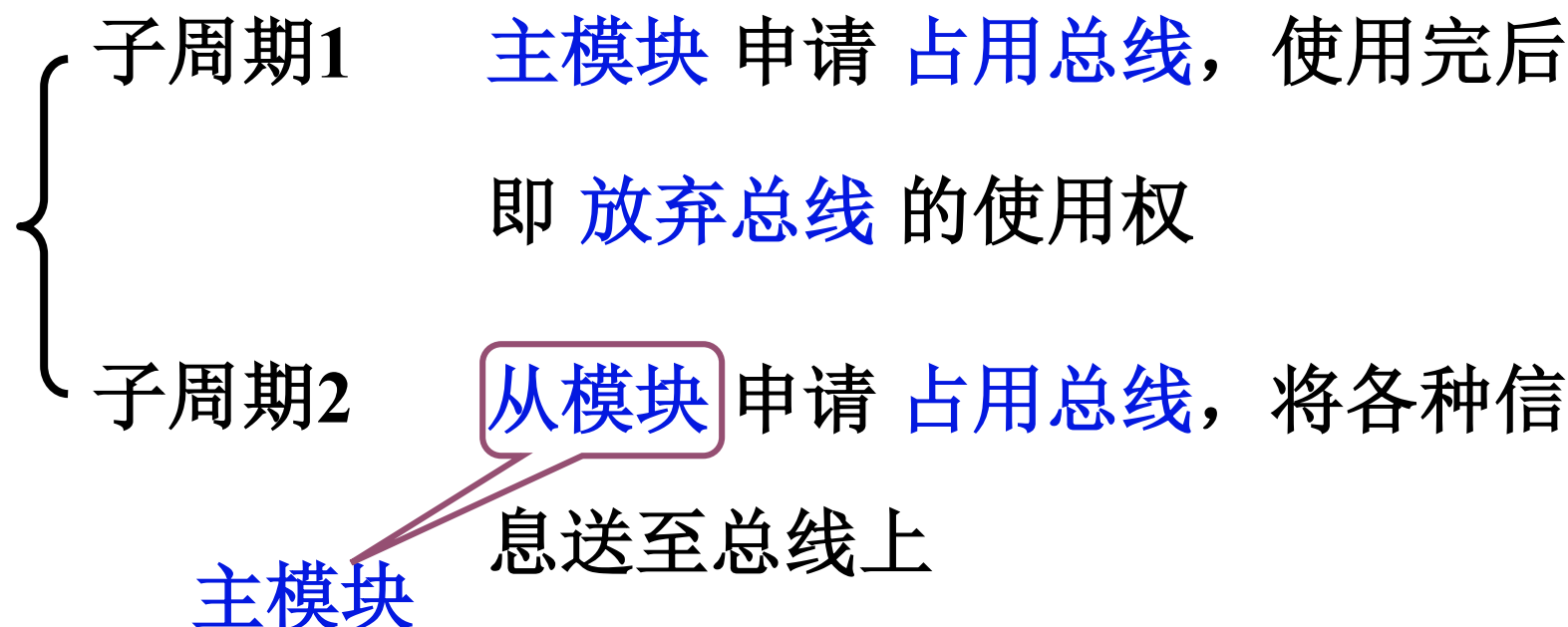
### 一个总线传输周期（以输入数据为例）

- 主模块发地址、命令      占用总线
- 从模块准备数据      不占用总线    总线空闲
- 从模块向主模块发数据    占用总线

## (5) 分离式通信

充分挖掘系统总线每个瞬间的潜力

一个总线传输周期



# 分离式通信特点

1. 各模块有权申请占用总线
2. 采用同步方式通信，不等对方回答
3. 各模块准备数据时，不占用总线
4. 总线被占用时，无空闲

充分提高了总线的有效占用

# 第4章 存储器

## 4.1 概述

## 4.2 主存储器

## 4.3 高速缓冲存储器

## 4.4 辅助存储器

## 4.1 概 述

### 一、存储器分类

#### 1. 按存储介质分类

(1) 半导体存储器	TTL、MOS	易失
(2) 磁表面存储器	磁头、载磁体	非 易 失
(3) 磁芯存储器	硬磁材料、环状元件	
(4) 光盘存储器	激光、磁光材料	

## 2. 按存取方式分类

### (1) 存取时间与物理地址无关（随机访问）

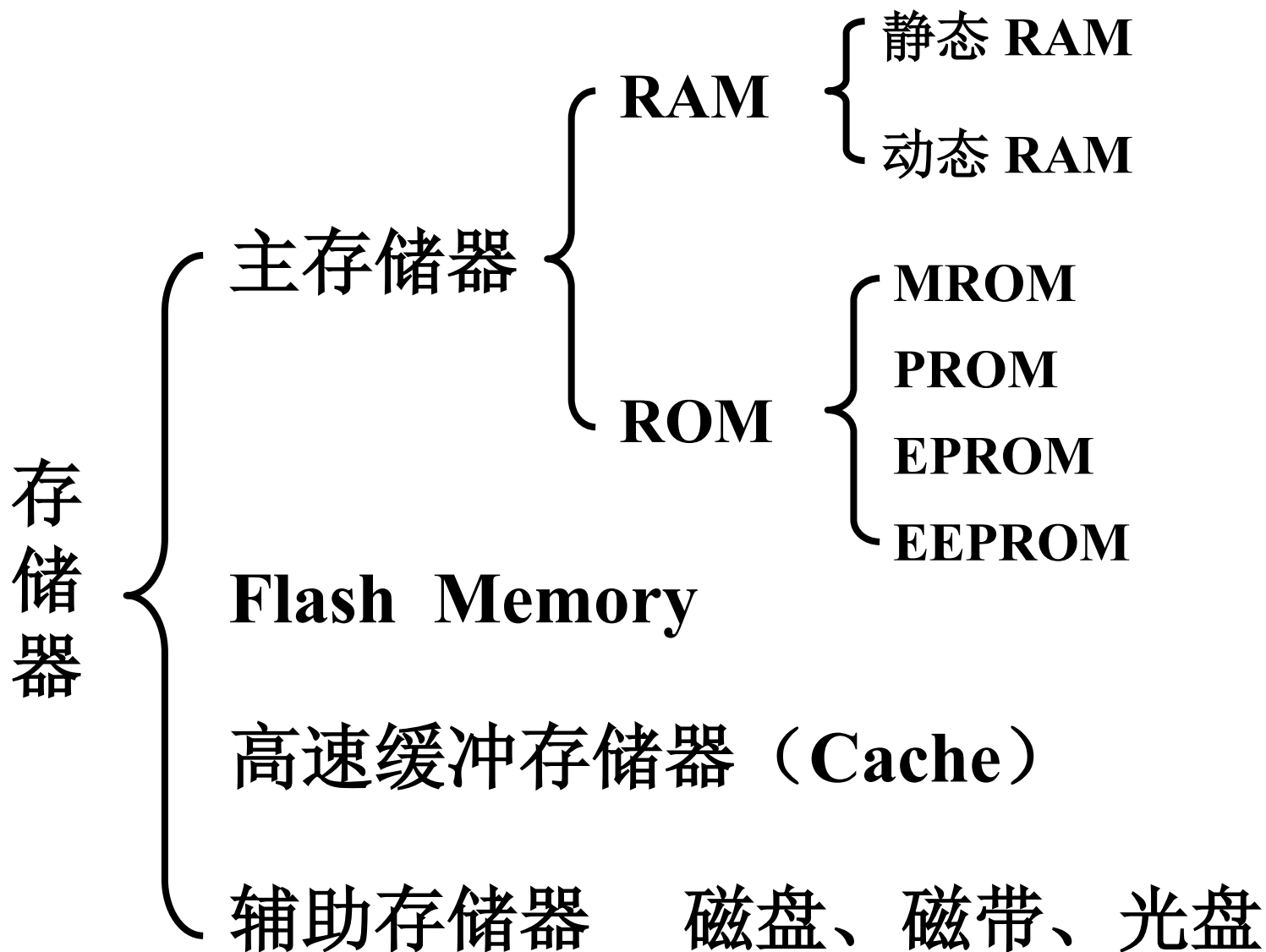
- 随机存储器      在程序的执行过程中 可读 可 写
- 只读存储器      在程序的执行过程中 只 读

### (2) 存取时间与物理地址有关（串行访问）

- 顺序存取存储器      磁带
- 直接存取存储器      磁盘

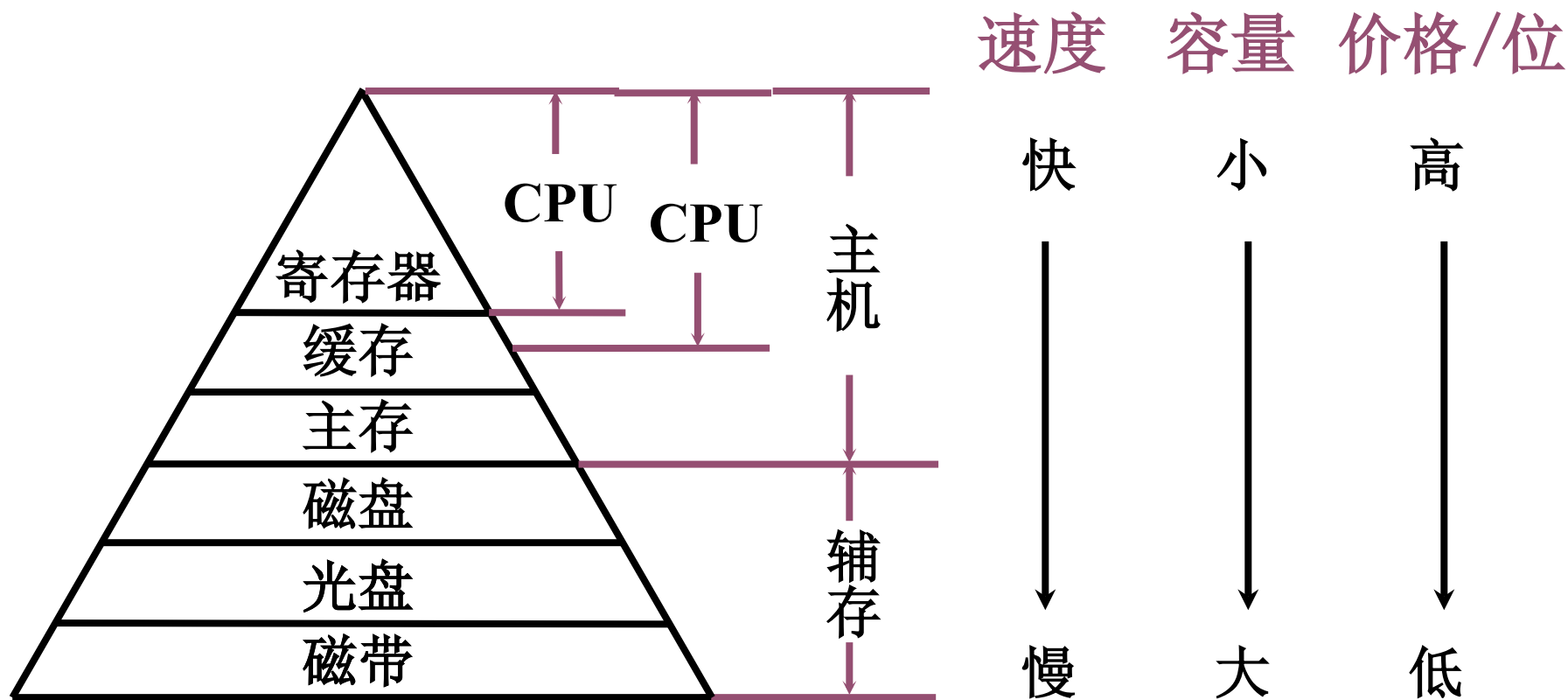
### 3. 按在计算机中的作用分类

4.1



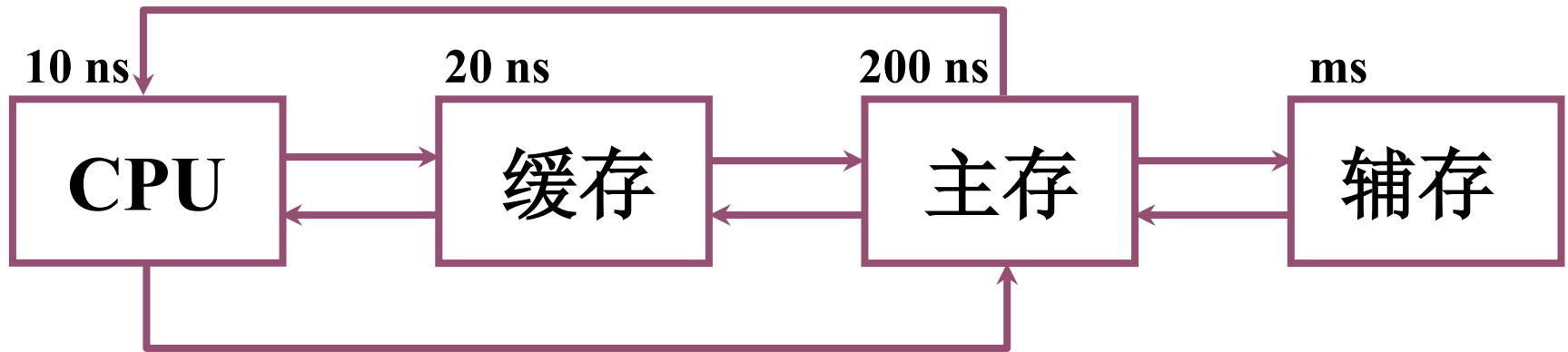
## 二、存储器的层次结构

### 1. 存储器三个主要特性的关系





## 2. 缓存—主存层次和主存—辅存层次 4.1



(速度)                      (容量)  
缓存—主存      主存—辅存

主存储器

虚拟存储器

实地址

虚地址

物理地址

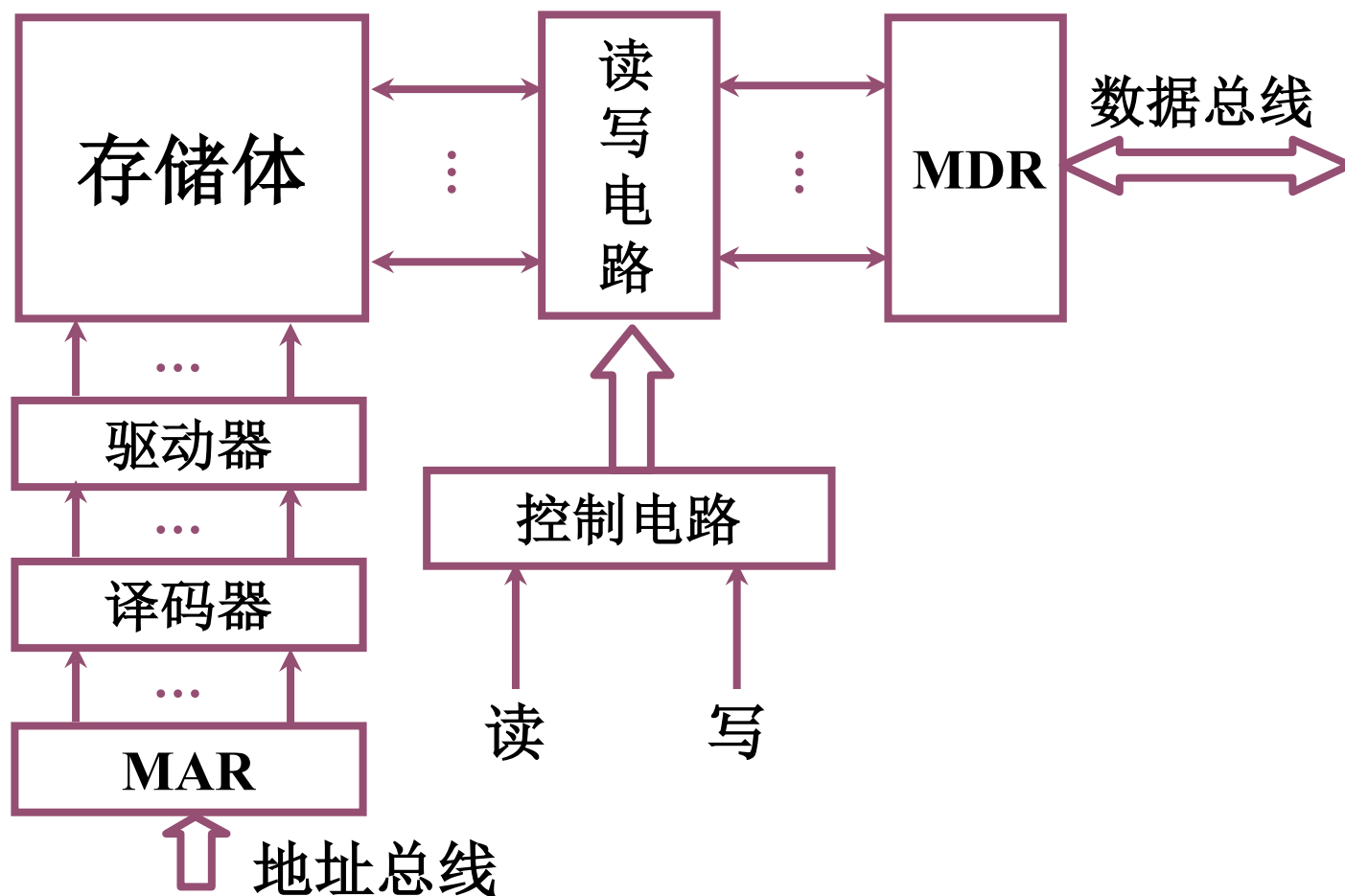
逻辑地址



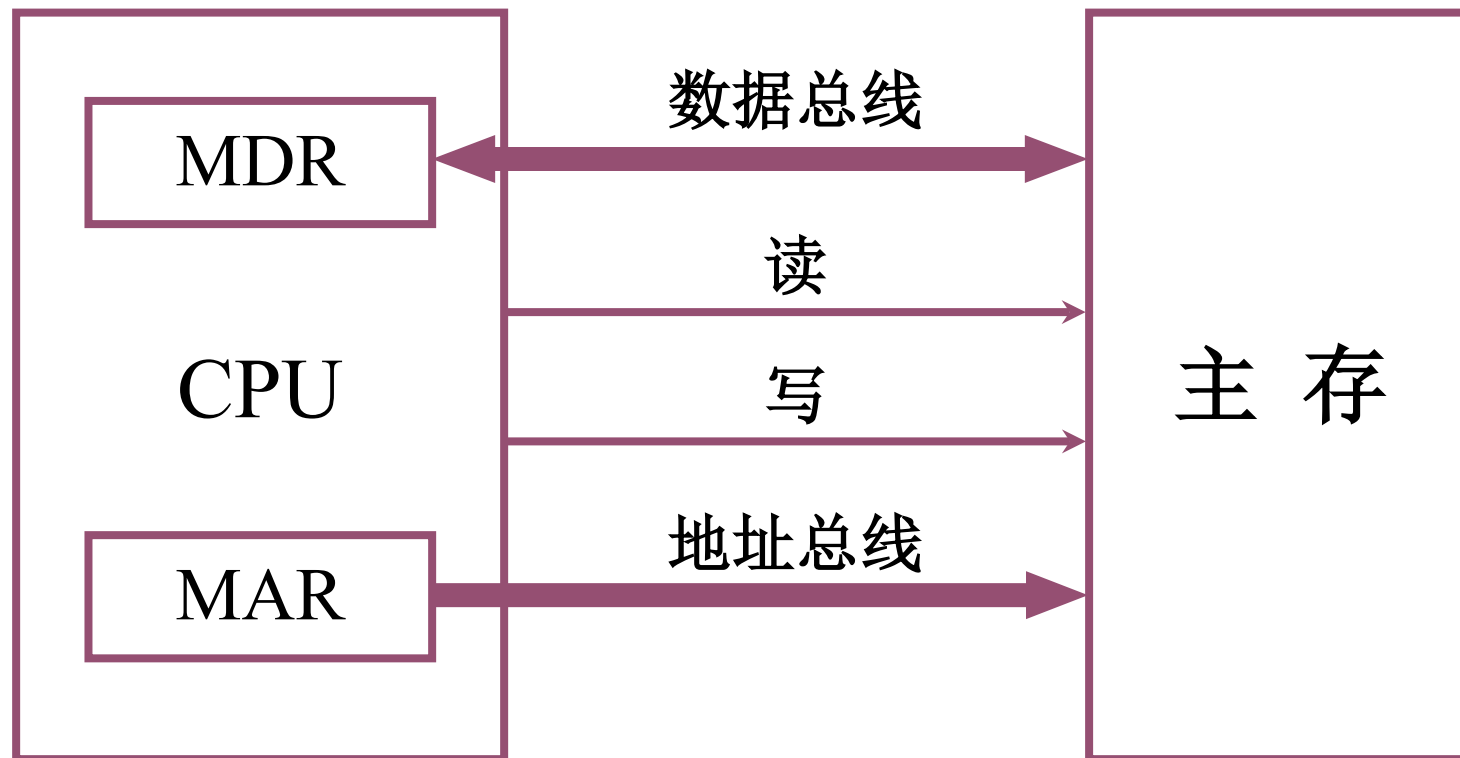
## 4.2 主存储器

### 一、概述

#### 1. 主存的基本组成



## 2. 主存和 CPU 的联系



### 3. 主存中存储单元地址的分配

高位字节 地址为字地址

低位字节 地址为字地址

字地址	字节地址			
0	0	1	2	3
4	4	5	6	7
8	8	9	10	11

字地址	字节地址	
0	1	0
2	3	2
4	5	4

设地址线 24 根

若字长为 16 位

若字长为 32 位

按 字节 寻址  $2^{24} = 16 \text{ MB}$

按 字 寻址  $8 \text{ MW}$

按 字 寻址  $4 \text{ MW}$

## 4. 主存的技术指标

## 4.2

(1) 存储容量      主存 存放二进制代码的总位数

(2) 存储速度

- 存取时间      存储器的 访问时间

读出时间    写入时间

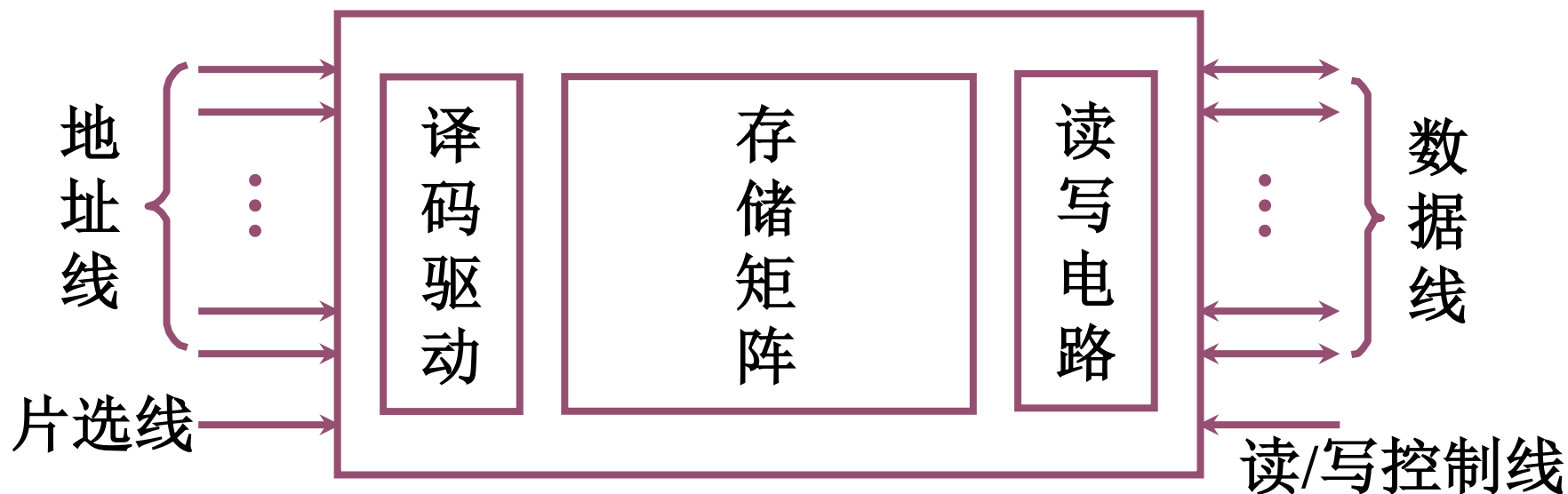
- 存取周期      连续两次独立的存储器操作  
(读或写) 所需的 最小间隔时间

读周期    写周期

(3) 存储器的带宽      位/秒

## 二、半导体存储芯片简介

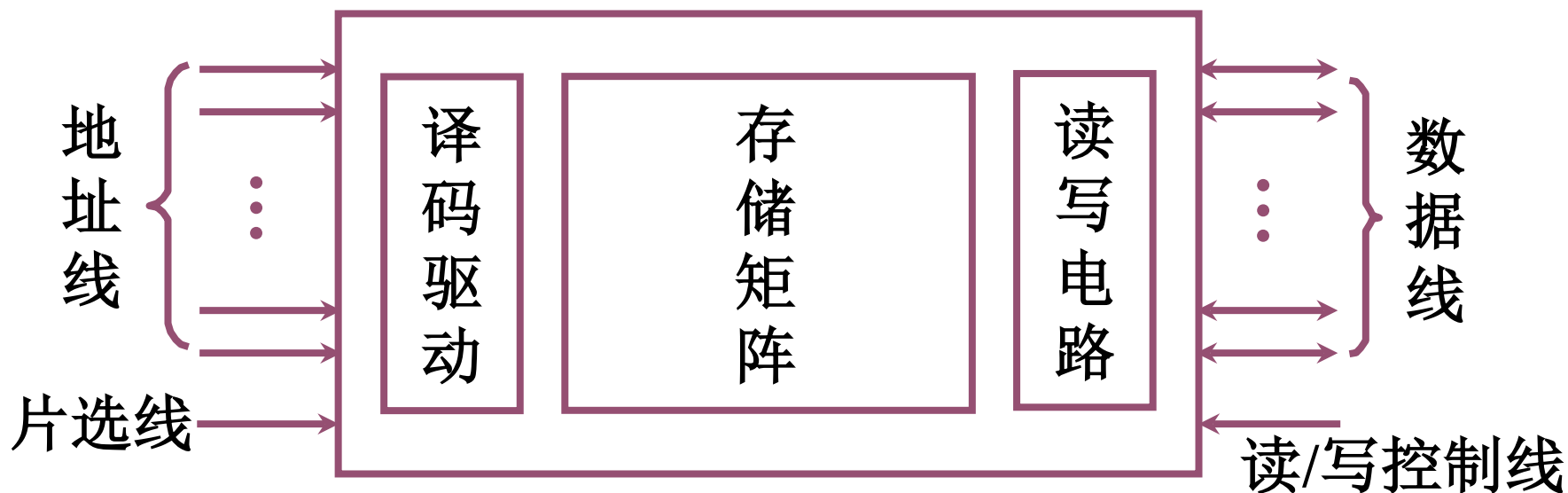
### 1. 半导体存储芯片的基本结构



地址线（单向）	数据线（双向）	芯片容量
10	4	1K×4位
14	1	16K×1位
13	8	8K×8位

## 二、半导体存储芯片简介

### 1. 半导体存储芯片的基本结构

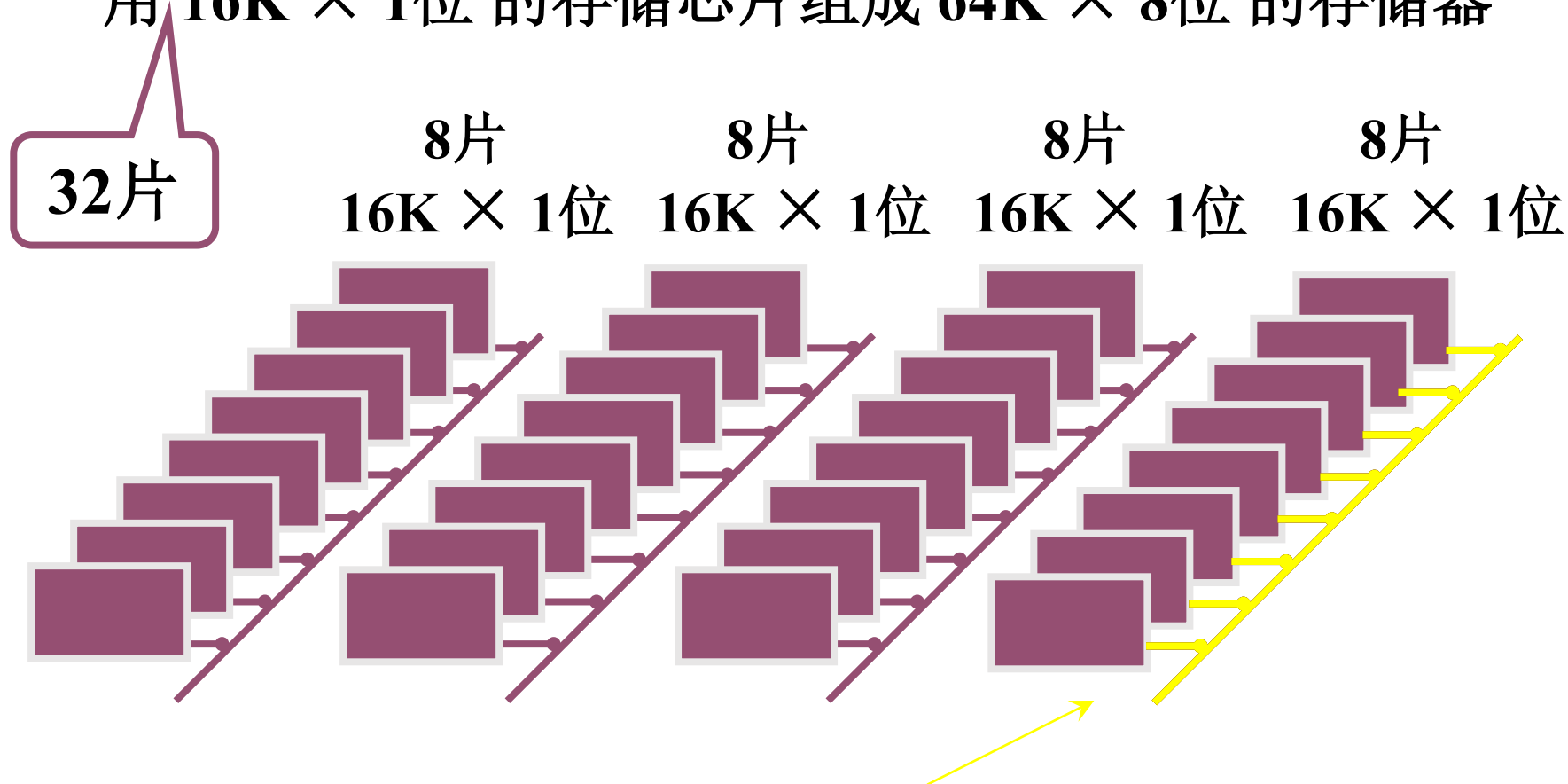


片选线      $\overline{\text{CS}}$       $\overline{\text{CE}}$

读/写控制线      $\overline{\text{WE}}$  (低电平写 高电平读)  
                                   $\overline{\text{OE}}$  (允许读)      $\overline{\text{WE}}$  (允许写)

# 存储芯片片选线的作用

用  $16\text{K} \times 1$  位的存储芯片组成  $64\text{K} \times 8$  位的存储器

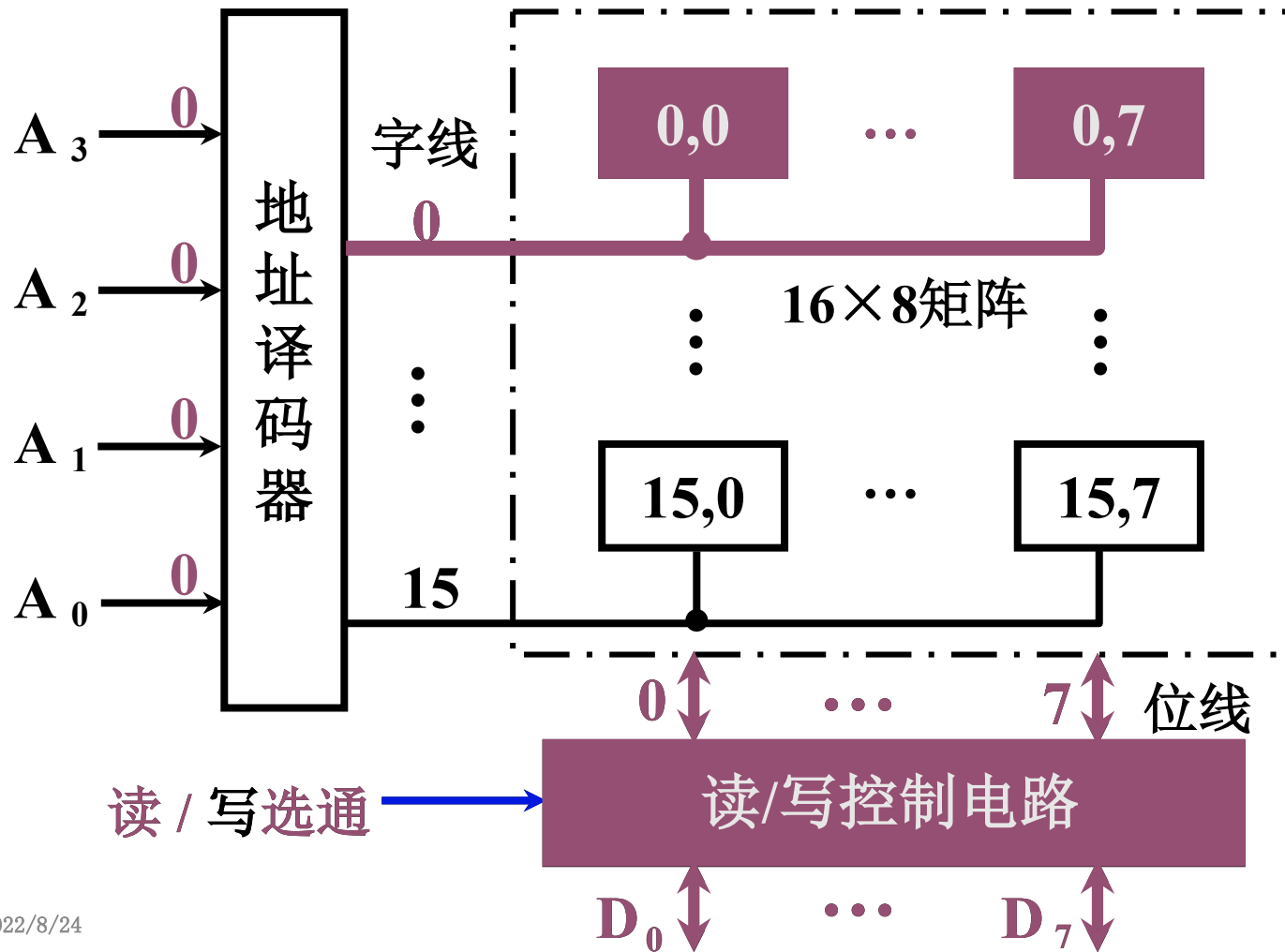


当地址为 65 535 时，此 8 片的片选有效



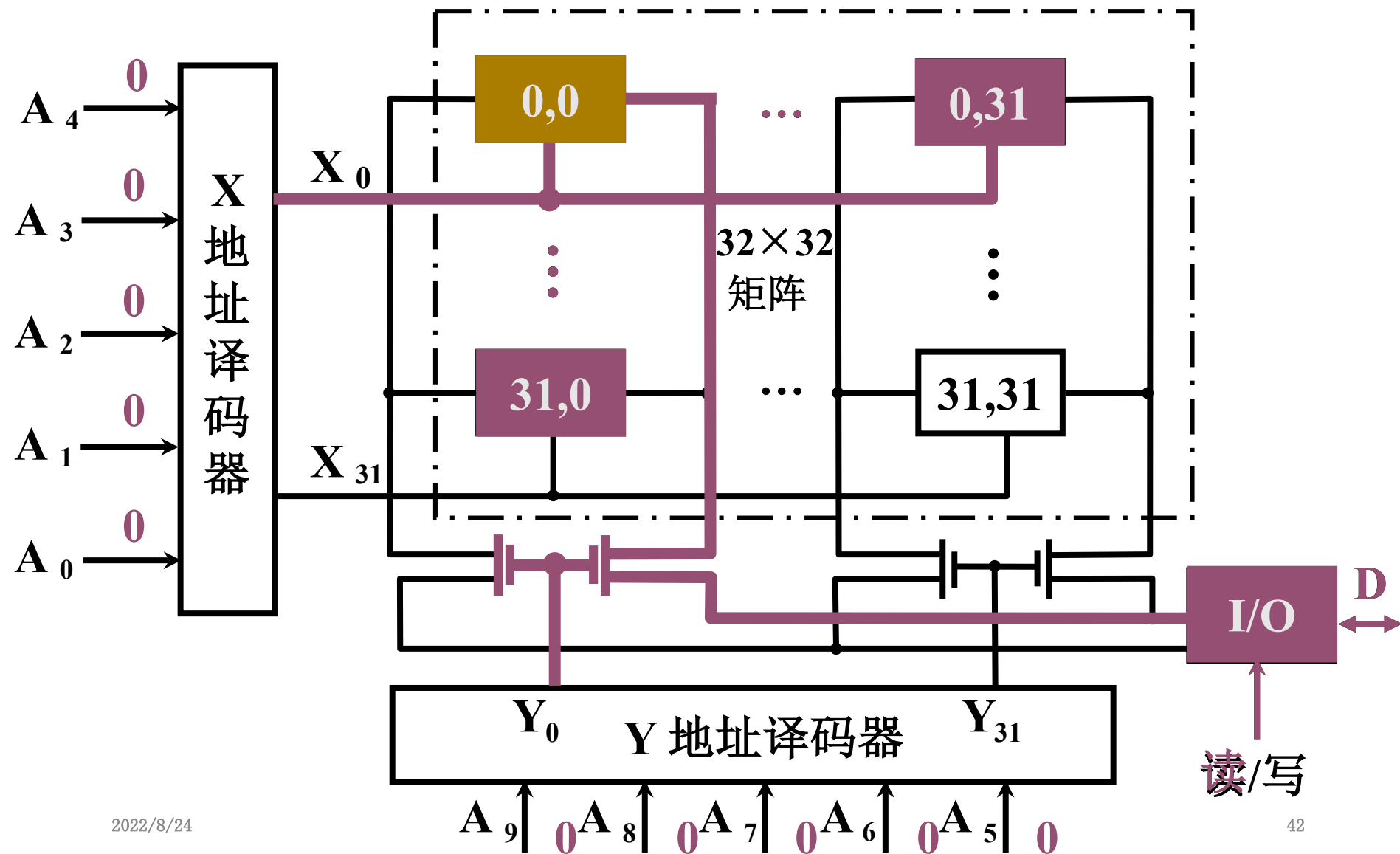
## 2. 半导体存储芯片的译码驱动方式 4.2

### (1) 线选法



## (2) 重合法

4.2

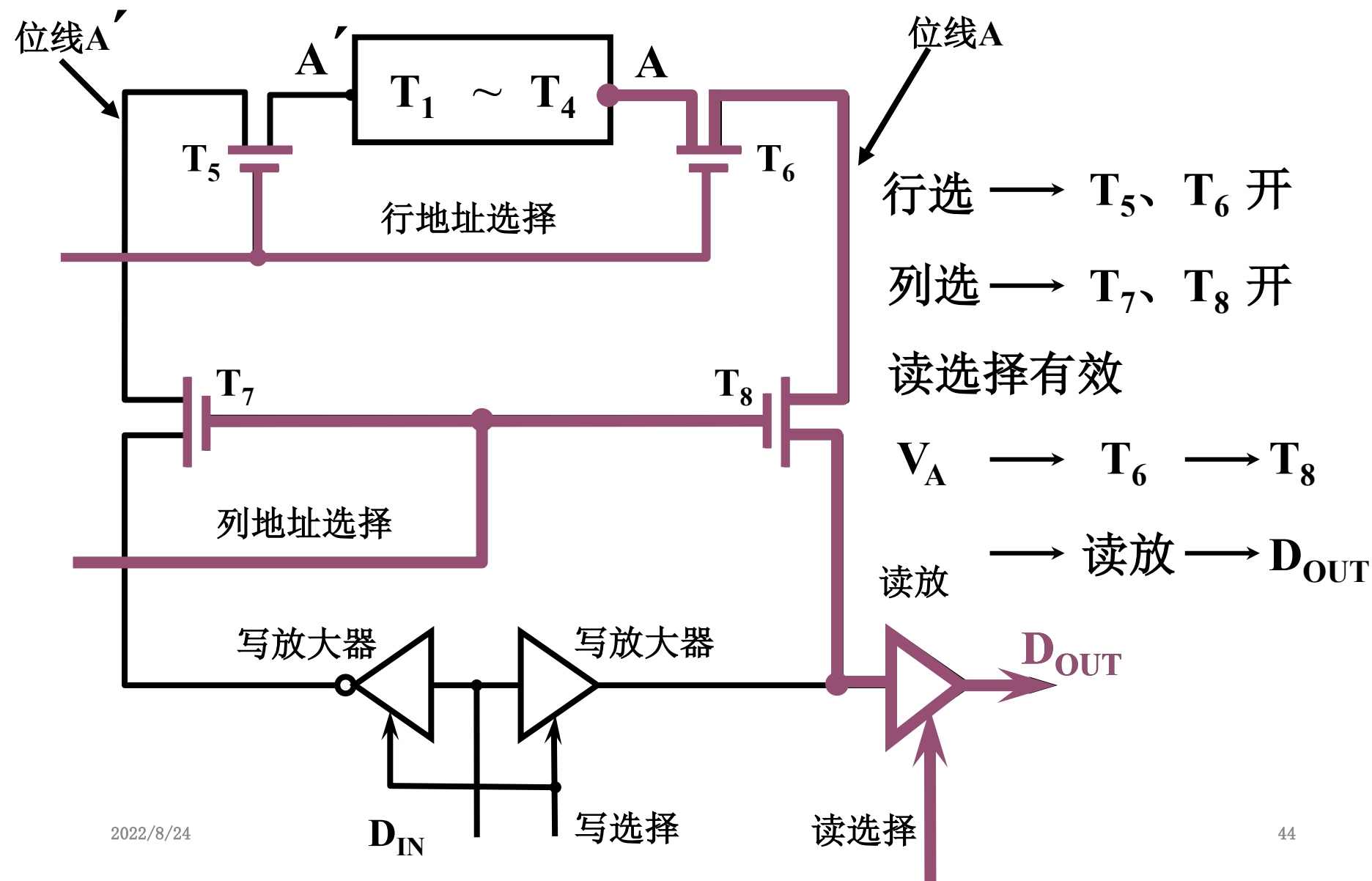


## 4.2

## (1) 静态 RAM 基本电路



## ① 静态 RAM 基本电路的 读 操作



## ② 静态 RAM 基本电路的 写 操作

