

# 计算机组成原理

## 第九讲

刘松波

哈工大计算学部

模式识别与智能系统研究中心

# 六、存储器的校验

## 4.2

### 1. 编码的最小距离

任意两组合法代码之间 二进制位数 的 最少差异  
编码的纠错、检错能力与编码的最小距离有关

$$L - 1 = D + C \quad (D \geq C)$$

$L$  —— 编码的最小距离  $L = 3$

$D$  —— 检测错误的位数 具有 一位 纠错能力

$C$  —— 纠正错误的位数

汉明码是具有一位纠错能力的编码

## 2. 汉明码的组成

组成汉明码的三要素

汉明码的组成需增添 ? 位检测位

$$2^k \geq n + k + 1$$

检测位的位置 ?

$$2^i \ (i = 0, 1, 2, 3, \dots)$$

检测位的取值 ?

检测位的取值与该位所在的检测“小组”中承担的奇偶校验任务有关

## 各检测位 $C_i$ 所承担的检测小组为

$C_1$  检测的  $g_1$  小组包含第 1, 3, 5, 7, 9, 11, ...

$C_2$  检测的  $g_2$  小组包含第 2, 3, 6, 7, 10, 11, ...

$C_4$  检测的  $g_3$  小组包含第 4, 5, 6, 7, 12, 13, ...

$C_8$  检测的  $g_4$  小组包含第 8, 9, 10, 11, 12, 13, 14, 15, 24, ...

$g_i$  小组独占第  $2^{i-1}$  位

$g_i$  和  $g_j$  小组共同占第  $2^{i-1} + 2^{j-1}$  位

$g_i$ 、 $g_j$  和  $g_l$  小组共同占第  $2^{i-1} + 2^{j-1} + 2^{l-1}$  位

例4.4 求 0101 按 “偶校验” 配置的汉明码

解：∵  $n = 4$

根据  $2^k \geq n + k + 1$

得  $k = 3$

汉明码排序如下：

二进制序号	1	2	3	4	5	6	7
名称	$C_1$	$C_2$	0	$C_4$	1	0	1
	0	1		0			

∴ 0101 的汉明码为 **0100101**

# 练习1 按配偶原则配置 0011 的汉明码 4.2

解：  $\because n = 4$  根据  $2^k \geq n + k + 1$

取  $k = 3$

二进制序号	1	2	3	4	5	6	7
名称	$C_1$	$C_2$	0	$C_4$	0	1	1
	1	0		0			

$$C_1 = 3 \oplus 5 \oplus 7 = 1$$

$$C_2 = 3 \oplus 6 \oplus 7 = 0$$

$$C_4 = 5 \oplus 6 \oplus 7 = 0$$

$\therefore$  0011 的汉明码为 1000011

### 3. 汉明码的纠错过程

## 4.2

形成新的检测位  $P_i$ ，其位数与增添的检测位有关，如增添 3 位（ $k=3$ ），新的检测位为  $P_4 P_2 P_1$ 。

以  $k=3$  为例， $P_i$  的取值为

$$P_1 = \overset{C_1}{1} \oplus 3 \oplus 5 \oplus 7$$

$$P_2 = \overset{C_2}{2} \oplus 3 \oplus 6 \oplus 7$$

$$P_4 = \overset{C_4}{4} \oplus 5 \oplus 6 \oplus 7$$

对于按“偶校验”配置的汉明码  
不出错时  $P_1=0, P_2=0, P_4=0$

例4.5 已知接收到的汉明码为 0100111

(按配偶原则配置) 试问要求传送的信息是什么?

解: 纠错过程如下

$$P_1 = 1 \oplus 3 \oplus 5 \oplus 7 = 0 \quad \text{无错}$$

$$P_2 = 2 \oplus \underset{\checkmark}{3} \oplus \boxed{6} \oplus \underset{\checkmark}{7} = 1 \quad \text{有错}$$

$$P_4 = 4 \oplus \underset{\checkmark}{5} \oplus \boxed{6} \oplus \underset{\checkmark}{7} = 1 \quad \text{有错}$$

$$\therefore P_4 P_2 P_1 = 110$$

第 6 位出错, 可纠正为 01001**0**1,

故要求传送的信息为 **0101**。



## 练习2 写出按偶校验配置的汉明码

0101101 的纠错过程

$$P_4 = 4 \oplus 5 \oplus 6 \oplus 7 = 1$$

$$P_2 = 2 \oplus 3 \oplus 6 \oplus 7 = 0$$

$$P_1 = 1 \oplus 3 \oplus 5 \oplus 7 = 0$$

$\therefore P_4 P_2 P_1 = 100$       第 4 位错，可不纠

## 练习3 按配奇原则配置 0011 的汉明码

配奇的汉明码为 0101011

# 第4章 存储器

## 4.1 概述

## 4.2 主存储器

## 4.3 高速缓冲存储器

## 4.4 辅助存储器

## 4.2 主存储器

- 一、概述
- 二、半导体存储芯片简介
- 三、随机存取存储器 (RAM)
- 四、只读存储器 (ROM)
- 五、存储器与 CPU 的连接
- 六、存储器的校验
- 七、提高访存速度的措施

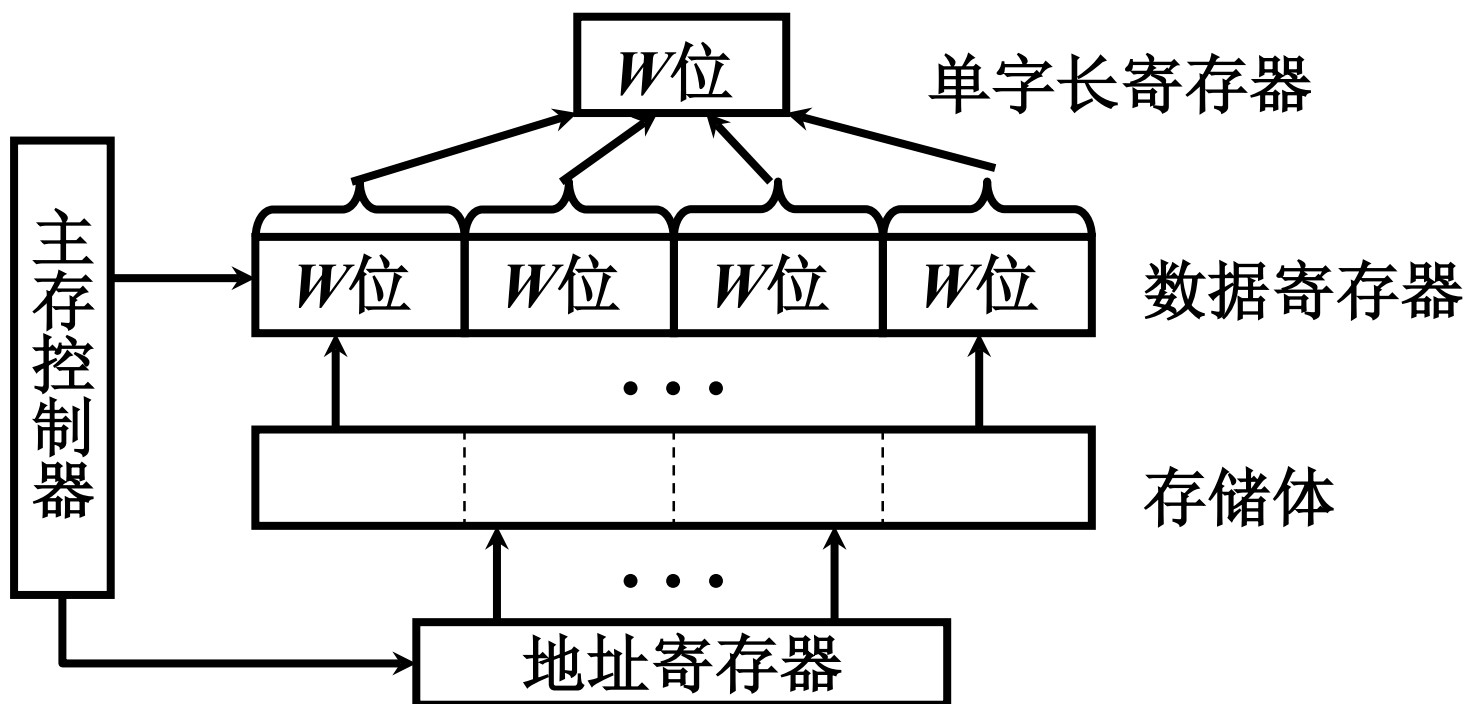
# 七、提高访存速度的措施

## 4.2

- 采用高速器件
- 采用层次结构 Cache – 主存
- 调整主存结构

### 1. 单体多字系统

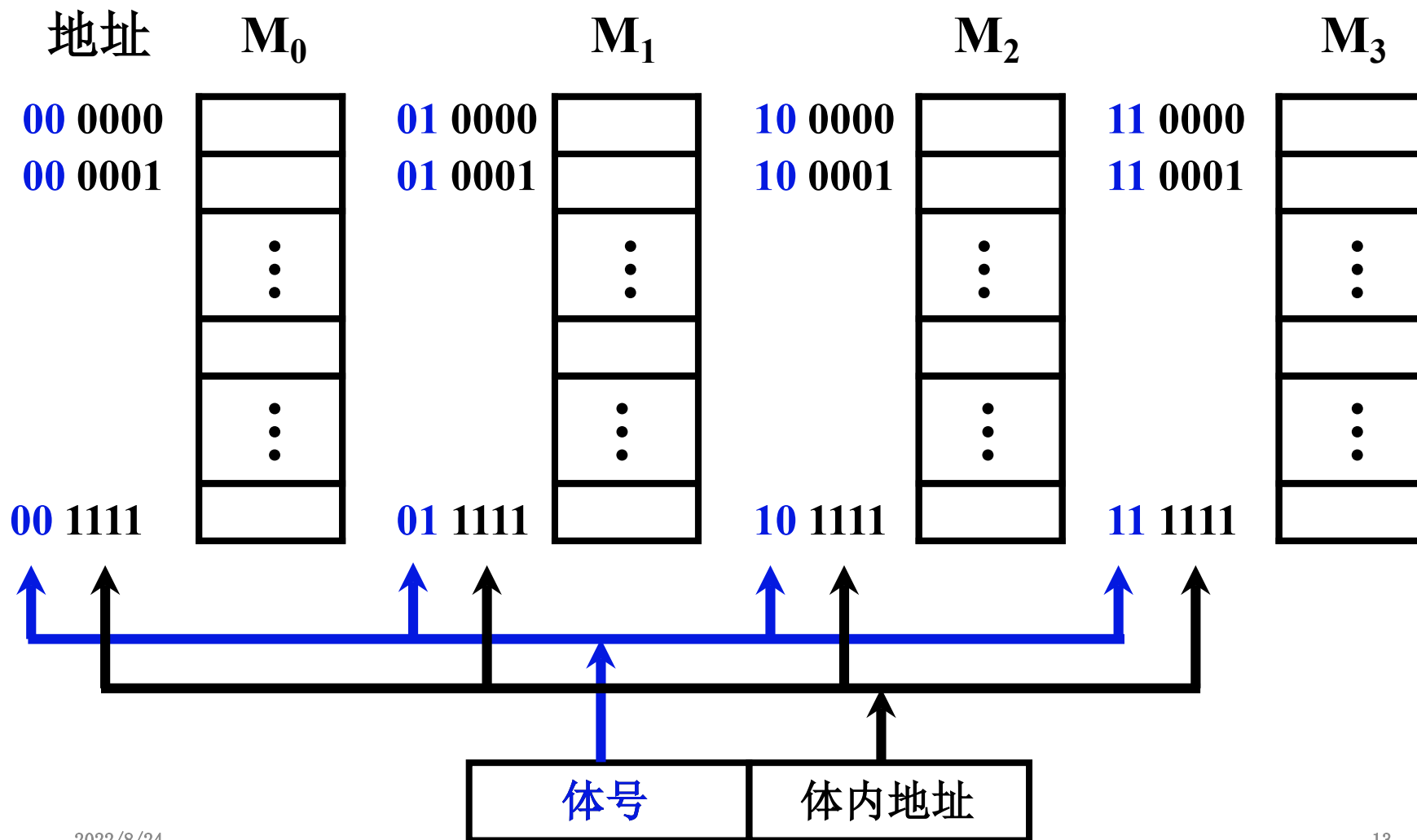
增加存储器的带宽



## 2. 多体并行系统

4.2

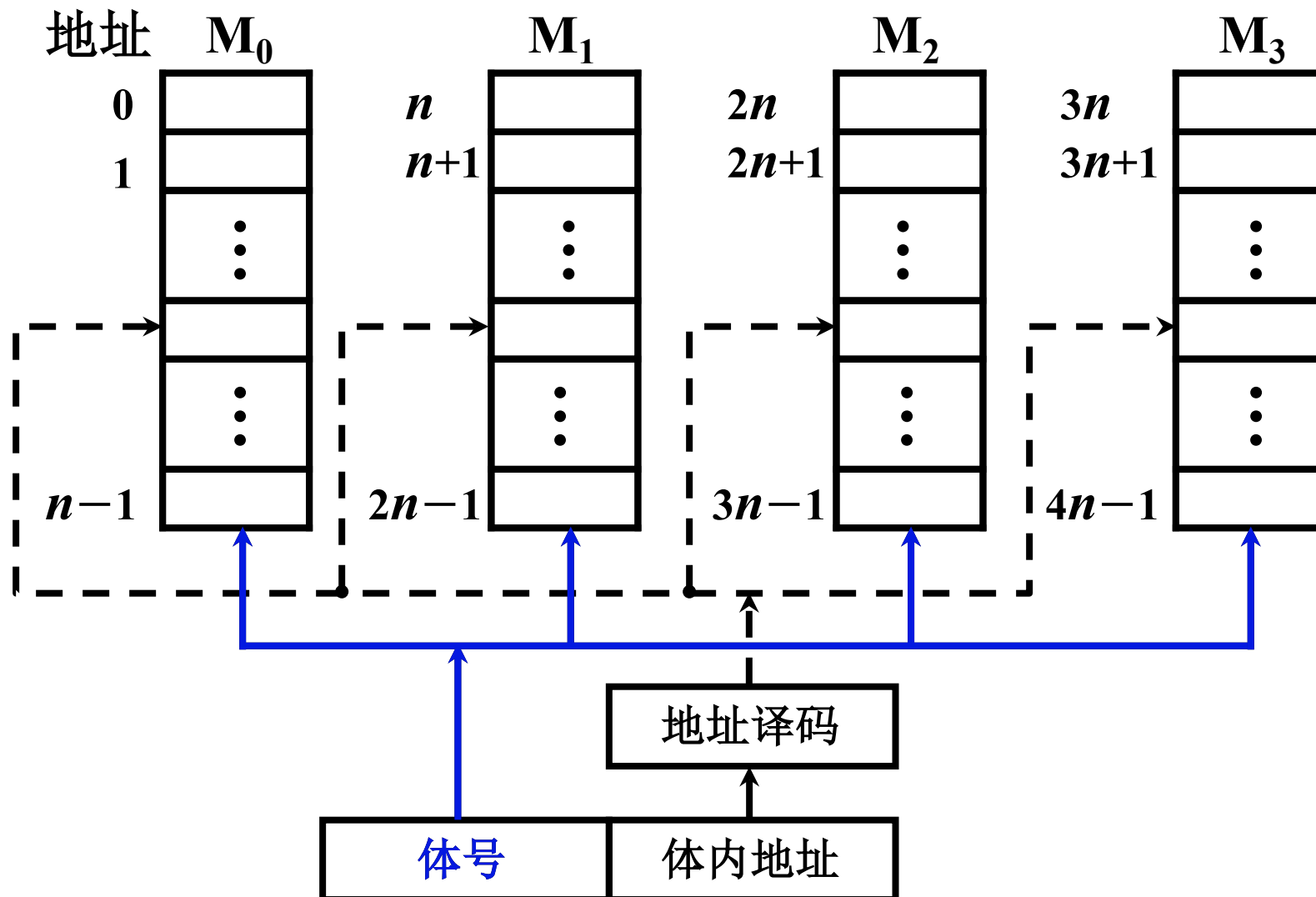
### (1) 高位交叉 顺序编址



# (1) 高位交叉

## 各个体并行工作

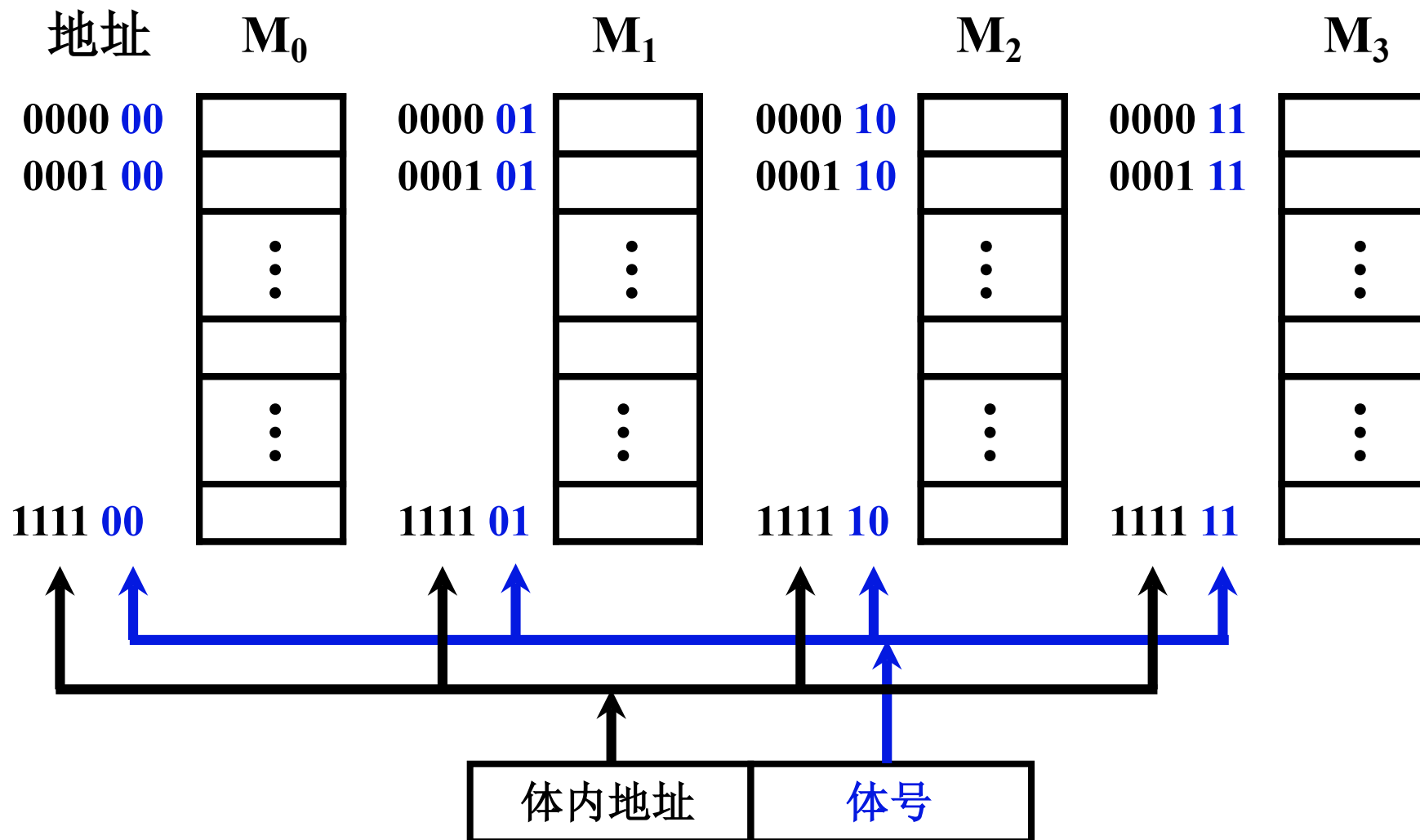
4.2



## (2) 低位交叉

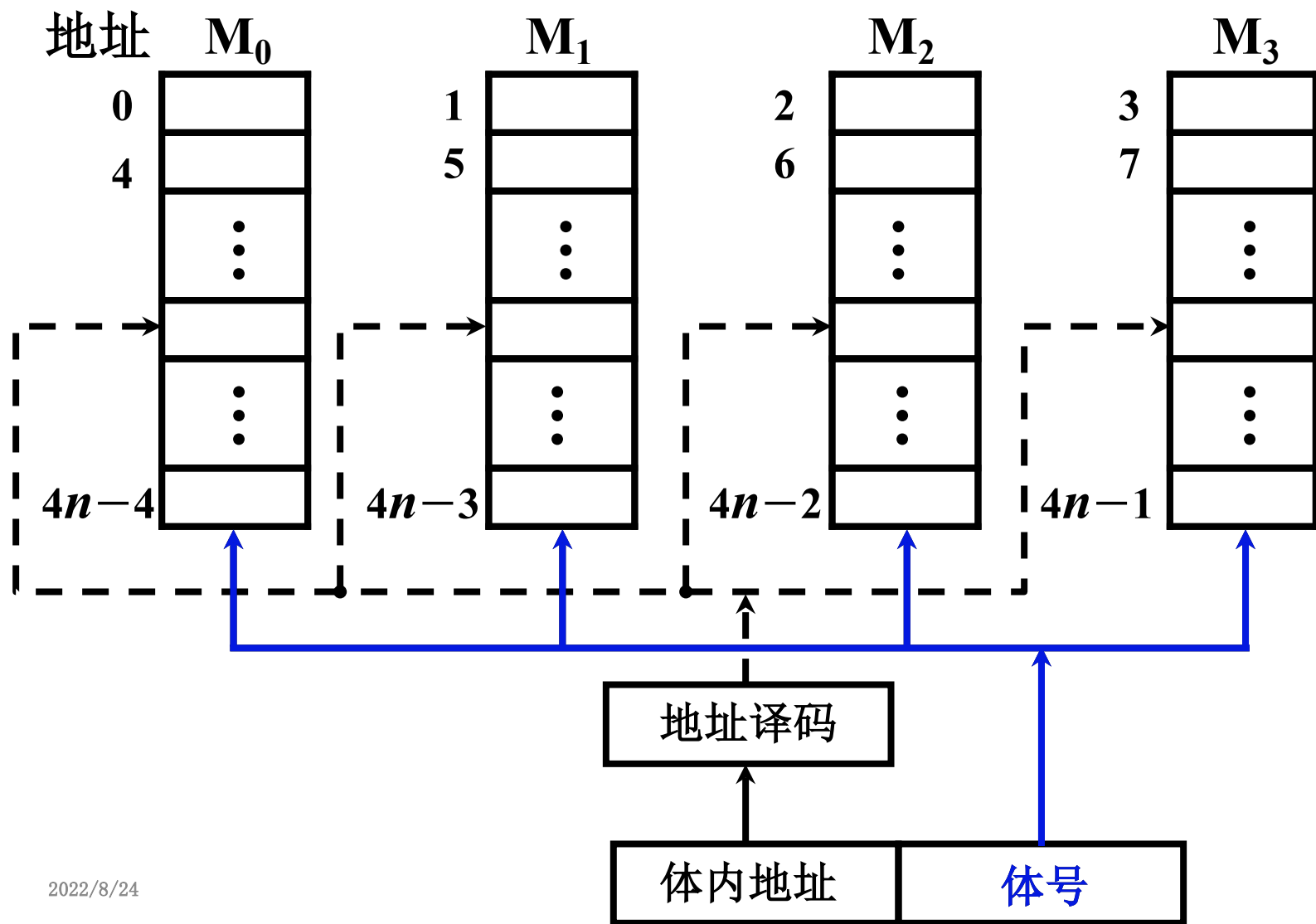
## 各个体轮流编址

# 4.2



## (2) 低位交叉 各个体轮流编址

4.2

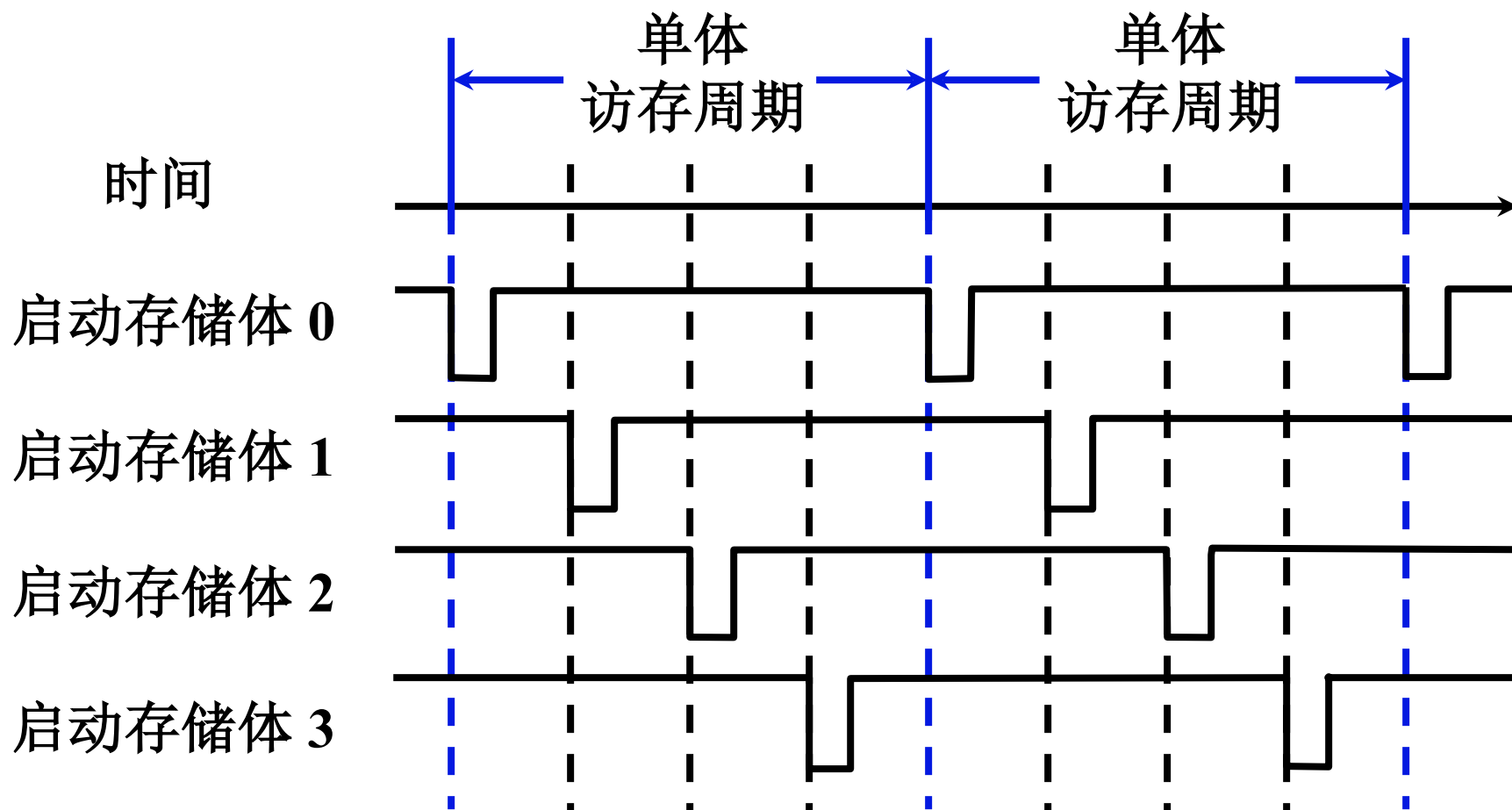




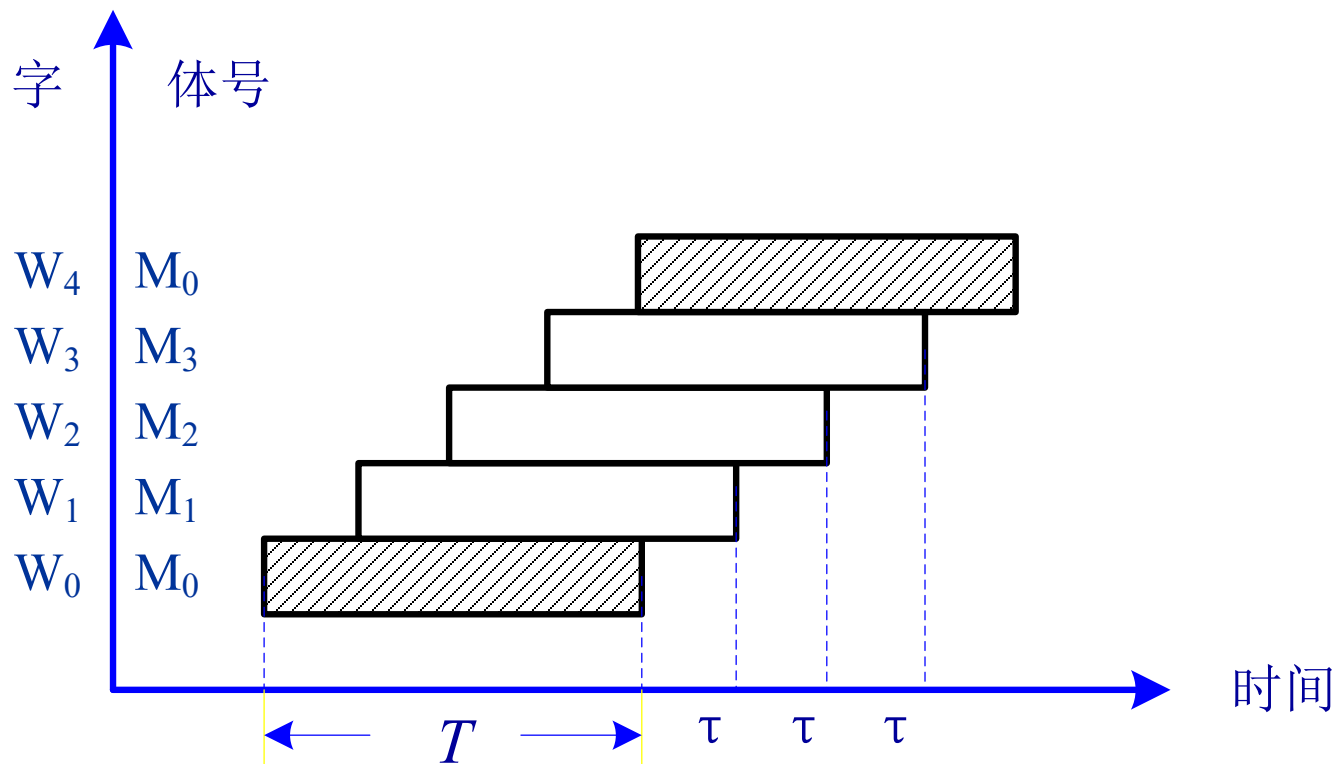
# 低位交叉的特点

## 4.2

在不改变存取周期的前提下，增加存储器的带宽

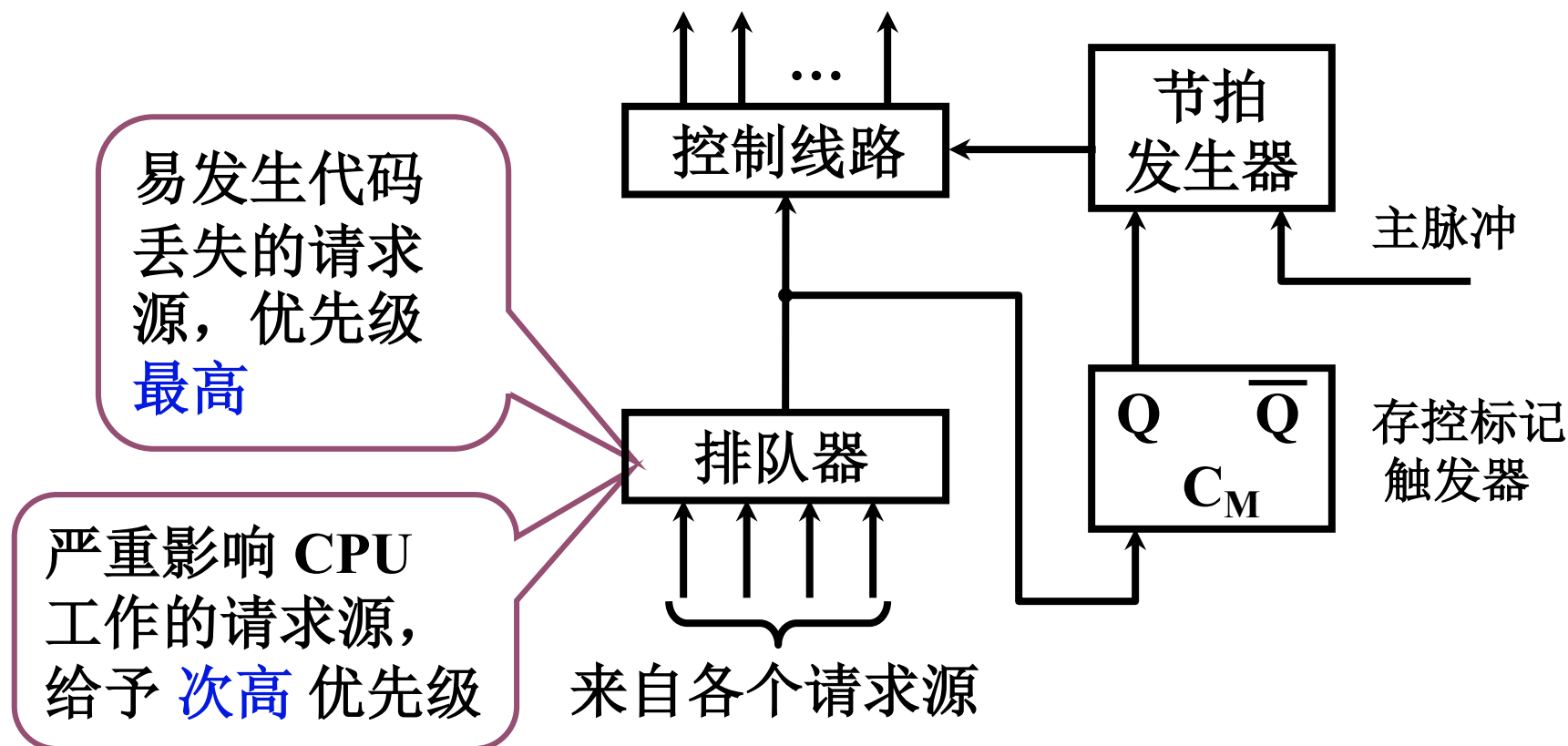


设四体低位交叉存储器，存取周期为 $T$ ，总线传输周期为 $\tau$ ，为实现流水线方式存取，应满足  $T = 4\tau$ 。



连续读取 4 个字所需的时间为  $T + (4 - 1)\tau$

### (3) 存储器控制部件（简称存控）



# 3.高性能存储芯片

## 4.2

### (1) SDRAM (同步 DRAM)

在系统时钟的控制下进行读出和写入

CPU 无须等待

### (2) RDRAM

由 Rambus 开发，主要解决 存储器带宽 问题

### (3) 带 Cache 的 DRAM

在 DRAM 的芯片内 集成 了一个由 SRAM 组成的

Cache ，有利于 猝发式读取

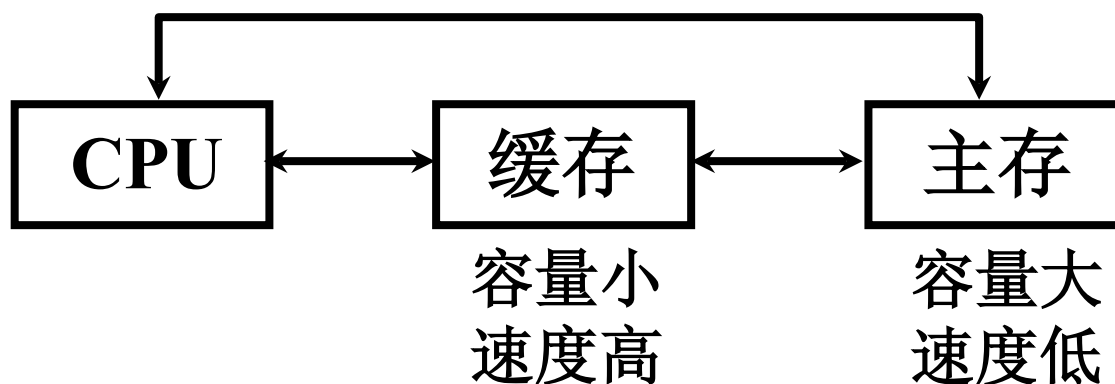
## 4.3 高速缓冲存储器

### 一、概述

#### 1. 问题的提出

避免 CPU “空等” 现象

CPU 和主存（DRAM）的速度差异

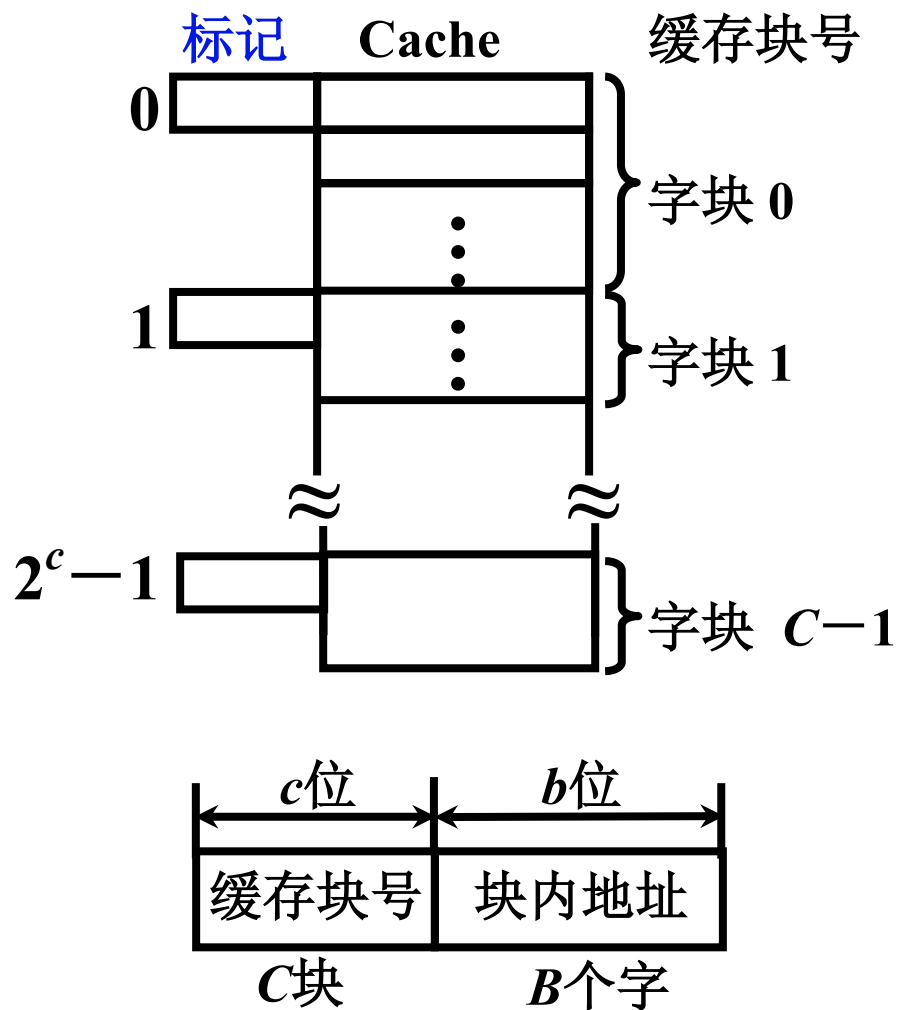
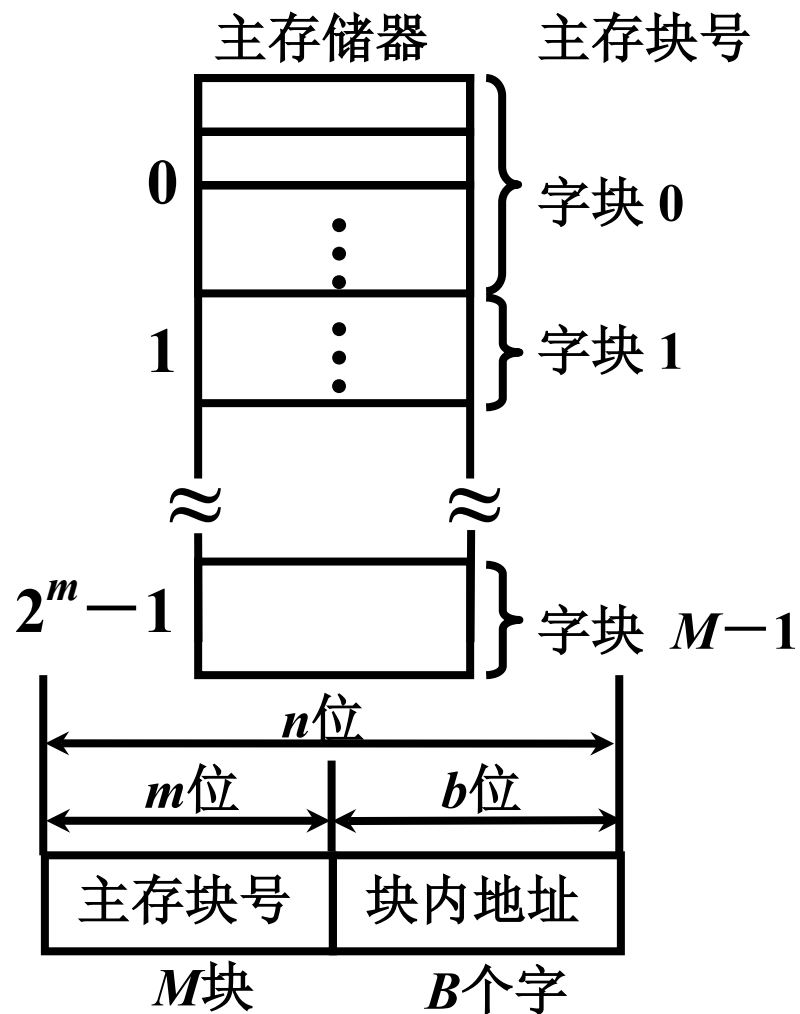


程序访问的局部性原理

## 2. Cache 的工作原理

4.3

### (1) 主存和缓存的编址



主存和缓存按块存储

块的大小相同

$B$  为块长

## (2) 命中与未命中

缓存共有  $C$  块

主存共有  $M$  块  $M \gg C$

命中      主存块 调入 缓存

主存块与缓存块 建立 了对应关系

用 标记记录 与某缓存块建立了对应关系的 主存块号

未命中      主存块 未调入 缓存

主存块与缓存块 未建立 对应关系

### (3) Cache 的命中率

CPU 欲访问的信息在 Cache 中的 **比率**

**命中率** 与 Cache 的 **容量** 与 **块长** 有关

一般每块可取 4 ~ 8 个字

**块长** 取一个存取周期内从主存调出的信息长度

**CRAY\_1**    16体交叉    块长取 16 个存储字

**IBM 370/168**    4体交叉    块长取 4 个存储字

(64位  $\times$  4 = 256位)



## (4) Cache –主存系统的效率

效率  $e$  与 命中率 有关

$$e = \frac{\text{访问 Cache 的时间}}{\text{平均访问时间}} \times 100\%$$

设 Cache 命中率为  $h$ ，访问 Cache 的时间为  $t_c$ ，  
访问 主存 的时间为  $t_m$

$$\text{则 } e = \frac{t_c}{h \times t_c + (1-h) \times t_m} \times 100\%$$