

논리회로 설계 및 실험

- 4주차 : Flip-Flop 및 Register 이해 -

담당 교수: 권동현 교수
조교: 송수현 박사과정

4주차 목표

목표

1. 조합회로와 순차회로의 차이에 대한 이해
2. Flip-flop의 동작과 상태에 대한 이해
3. Register의 이해와 구현

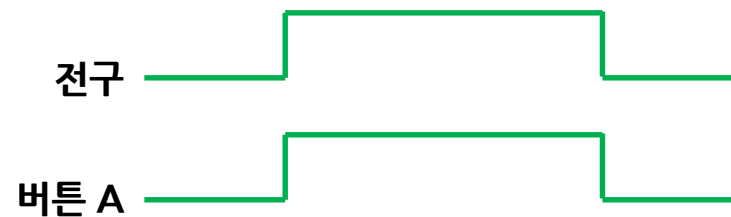
조합회로와 순차회로

조합회로

입력이 출력을 결정하는 회로

조합회로의 응용 예

버튼 A를 누르고 있는 동안 전구에 불이 들어오는 회로

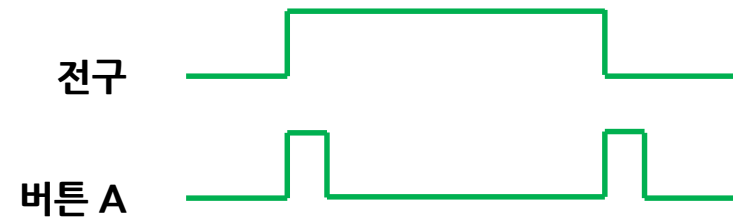


조합회로와 순차회로

순차회로

- 이전의 상태를 기억하여, **현재 입력과 이전 상태의 조합으로 출력이 결정되는 회로**
- 즉, **이전 상태의 출력값이 현재 상태의 입력으로 들어오는 회로**

조합회로의 응용 예



1. 전구가 꺼진 상태에서 버튼 A를 누르면 전구가 켜짐
2. 전구가 켜진 상태에서 버튼 A를 누르면 전구가 꺼짐

이전 상태

현재 입력

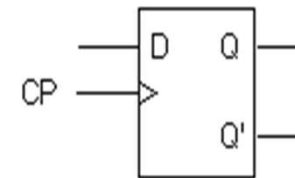
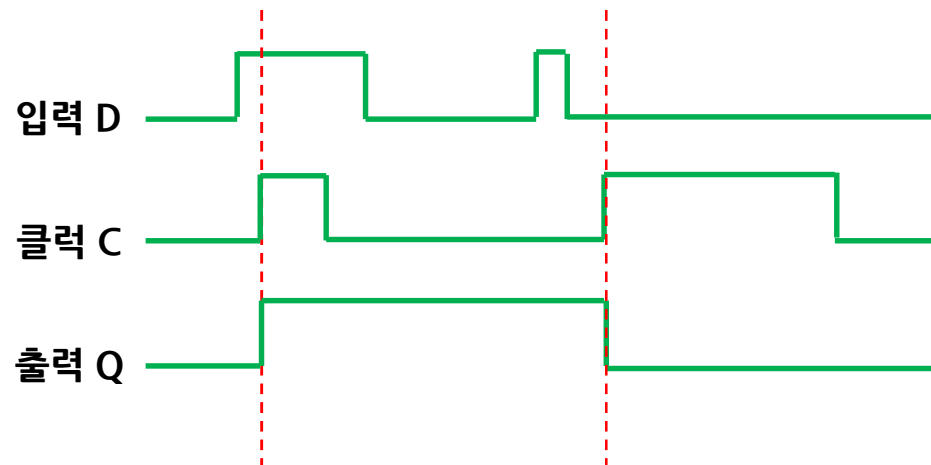
출력(현재상태)

Flip-Flop

Flip-Flop

- 1bit의 정보를 저장할 수 있는 회로
- 순차회로의 기본 요소

D Flip-Flop의 동작 예 (with Positive edge)



Q	D	Q(t+1)
0	0	0
0	1	1
1	0	0
1	1	1

Graphical symbol

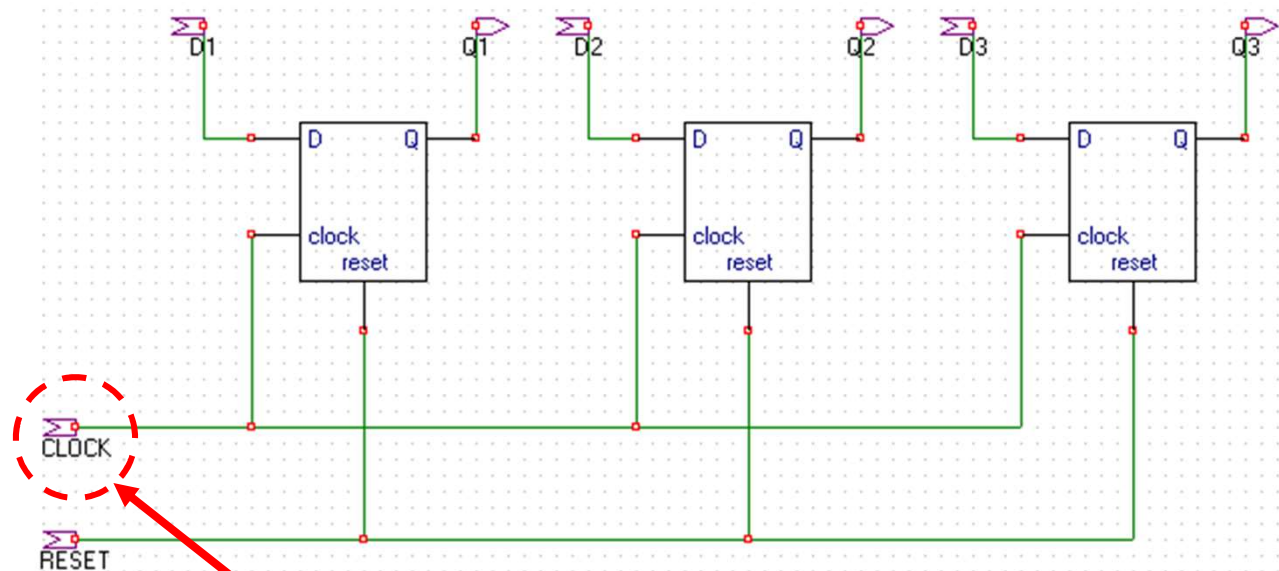
Transition table

좌측 예시에서 보인 D Flip-Flop은
클럭의 상승 엣지가 발생한 순간의 입력 D값을 캡처하여
다음 클럭의 상승엣지가 발생할 때 까지 저장함

Flip-Flop

클럭 동기식 Flip-Flop

- 둘 이상의 F/F이 하나의 입력 클럭으로 동시에 제어됨
- 클럭을 조절하여 특정 F/F에 값을 저장하기 힘들

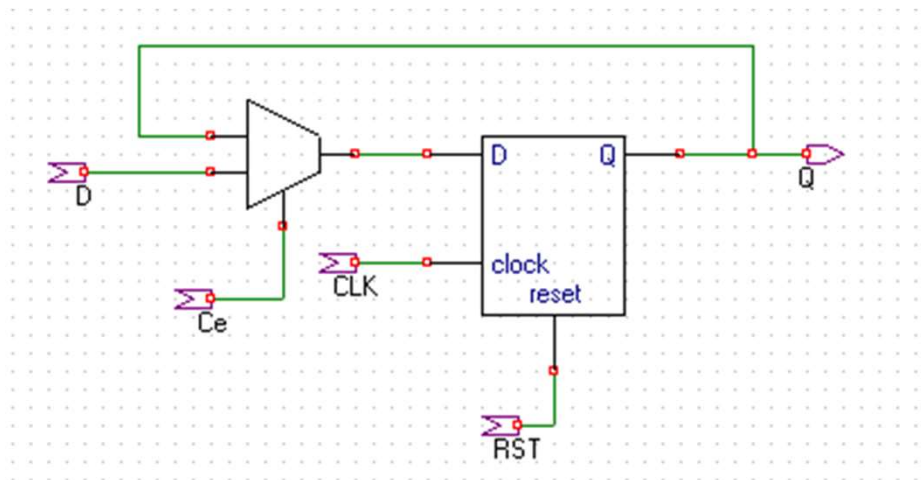


하나의 클럭으로 3개의 F/F을 제어

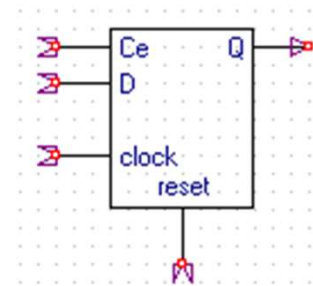
Flip-Flop

제어신호를 이용한 값의 저장

- Mux의 입력신호 Ce를 이용하여 D F/F의 값을 저장(유지)하거나 초기화
- Ce가 0이면 F/F은 현재 상태 유지
- Ce가 1이면 F/F은 D의 값으로 초기화
- 이전 상태의 값이 현재 상태의 입력으로 들어감



제어신호가 있는 클럭동기식 D F/F

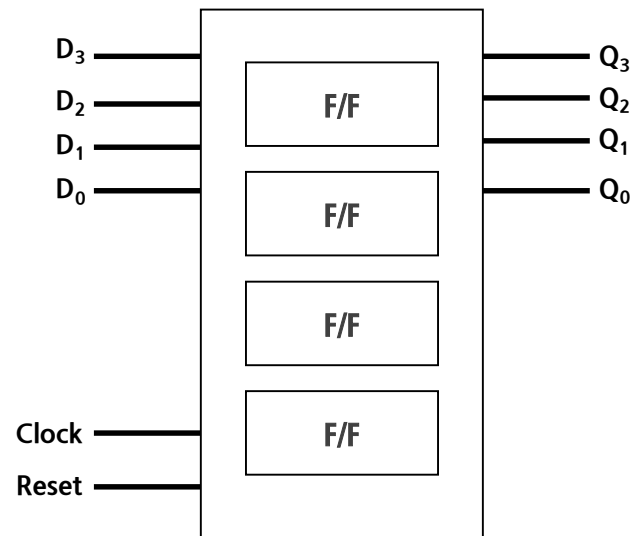


PNULib의 제어신호가 있는 클럭동기식 D F/F 심벌

Register

Register

- N개의 F/F으로 이루어진 저장장치
- 디지털 시스템에서 기본적인 구성요소
- Register에 저장된 데이터의 이동(Register Transfer)으로 시스템을 기술

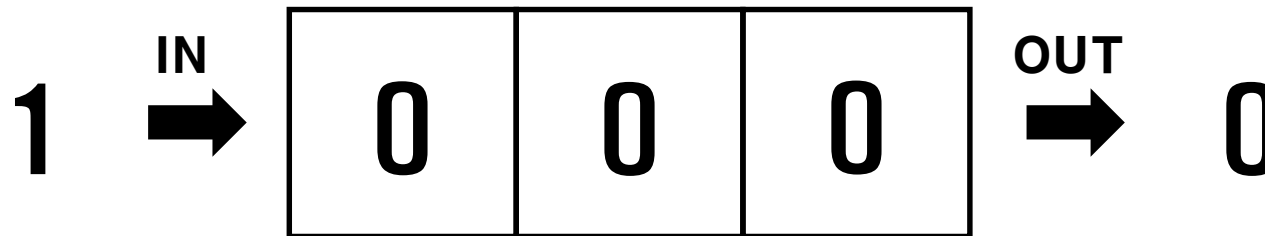


4개의 F/F를 갖는
4bit Register의 심벌

Register

Shift Register(1)

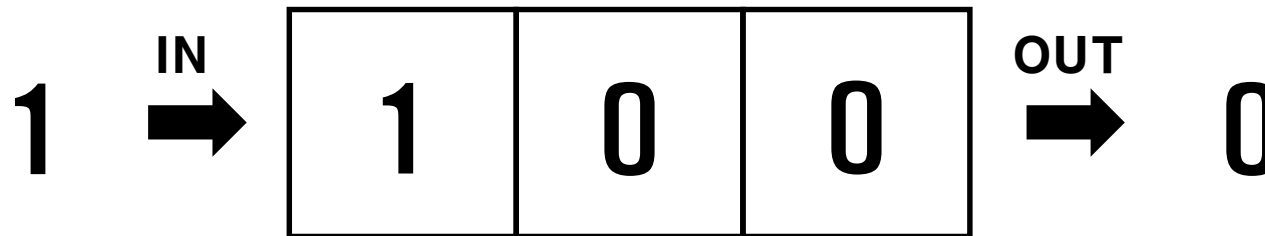
- 저장되어 있는 bit 데이터를 특정 방향으로 이동시키는 Register



Register

Shift Register(2)

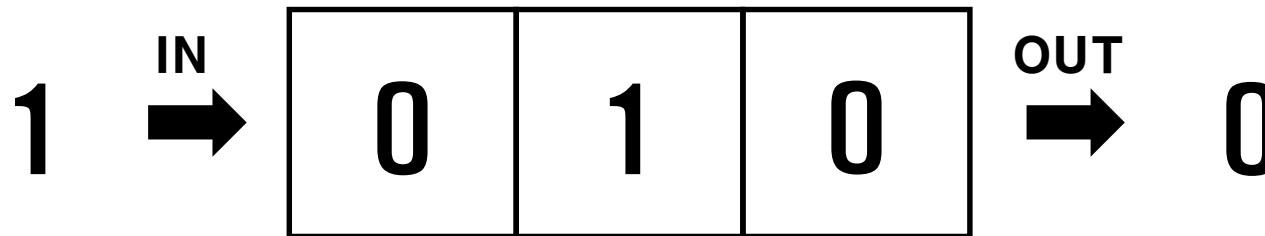
- 저장되어 있는 bit 데이터를 특정 방향으로 이동시키는 Register



Register

Shift Register(3)

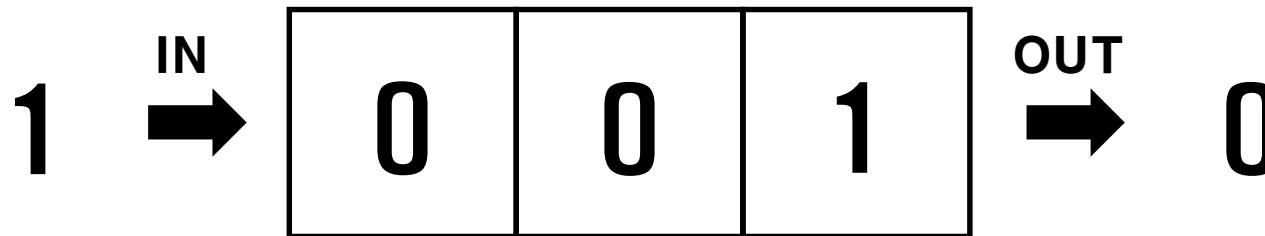
- 저장되어 있는 bit 데이터를 특정 방향으로 이동시키는 Register



Register

Shift Register(4)

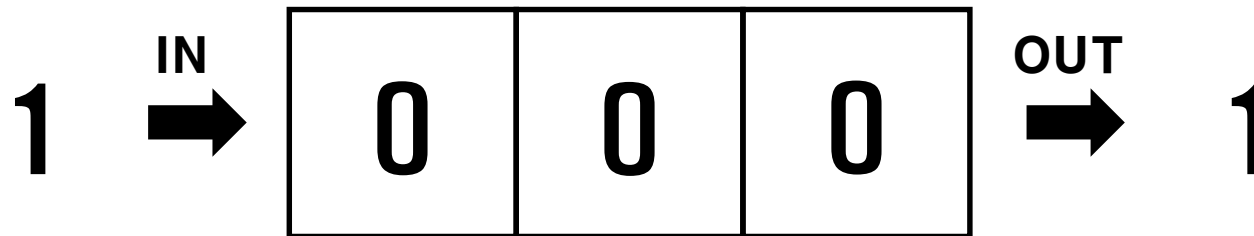
- 저장되어 있는 bit 데이터를 특정 방향으로 이동시키는 Register



Register

Shift Register(5)

- 저장되어 있는 bit 데이터를 특정 방향으로 이동시키는 Register



실습

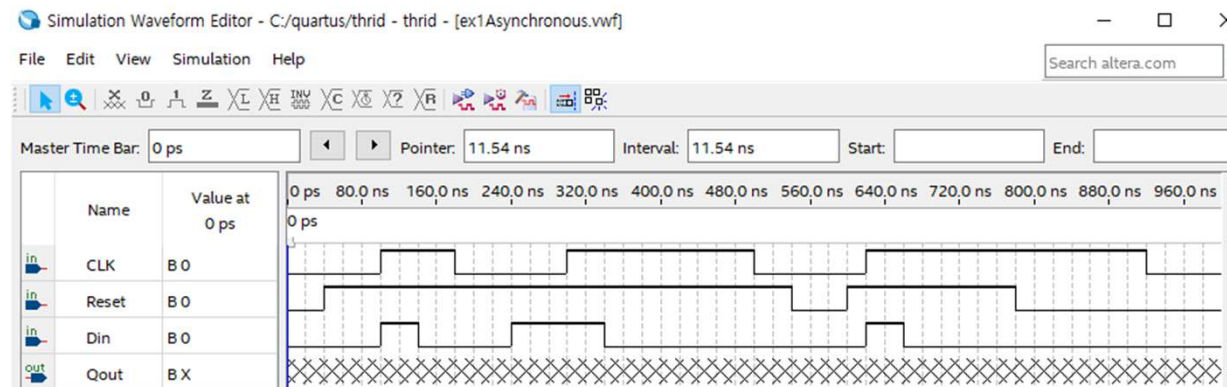
- 4주차 : Flip-Flop 및 Register 이해 -

실습 1

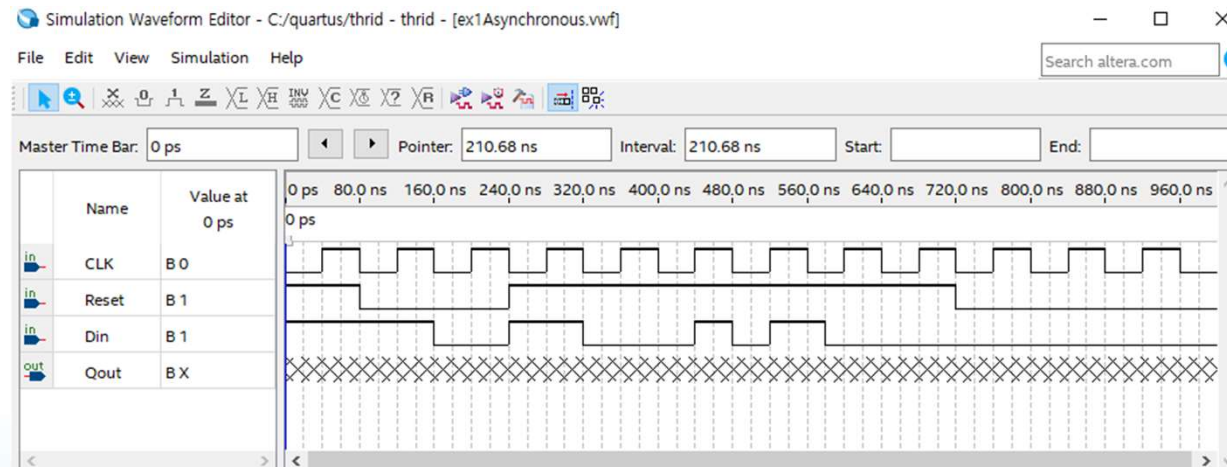
다음 회로의 동작을 확인하시오

- Quartus로 다음 2가지 D flip-flop의 실제 Qout의 출력을 확인하시오

① Synchronous D flip-flop with Asynchronous Reset

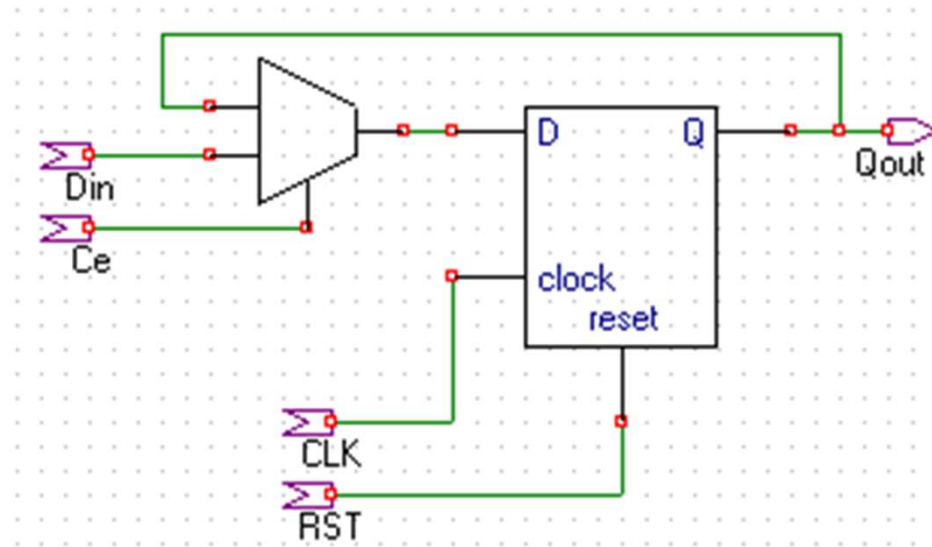


② Synchronous D flip-flop with Synchronous Reset

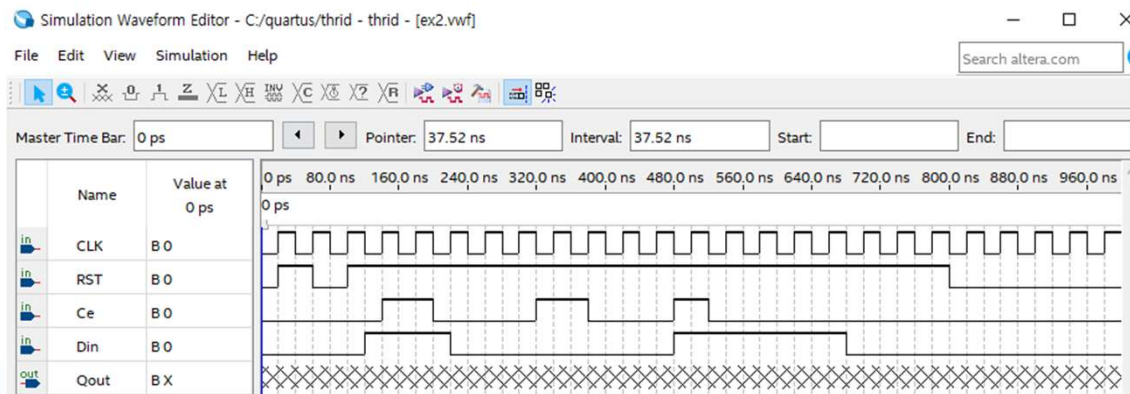


실습 2

다음 회로의 동작을 확인하시오

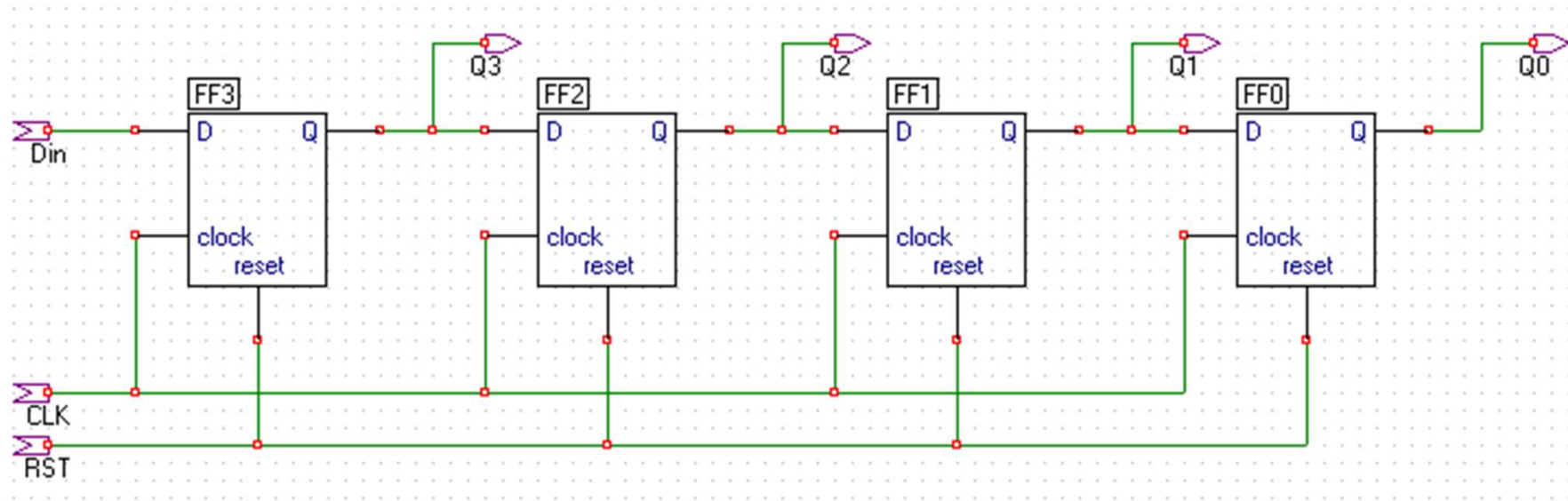


① FDRE: D Flip-Flop with Synchronous Reset and Clock Enable(Asynchronous)

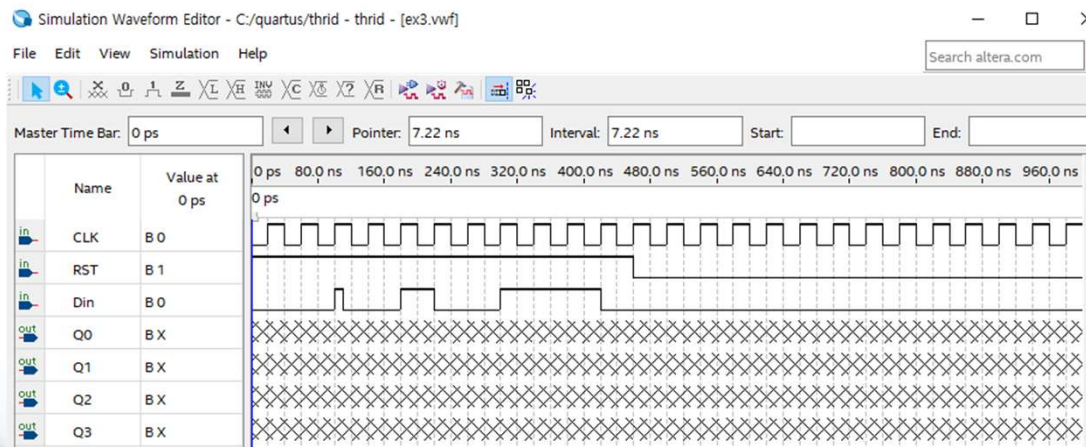


실습 3

다음 회로의 동작을 확인하시오



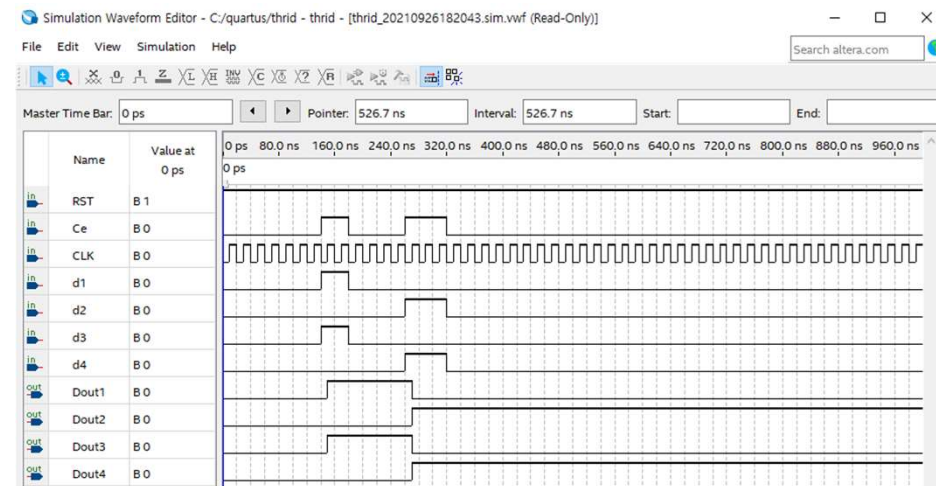
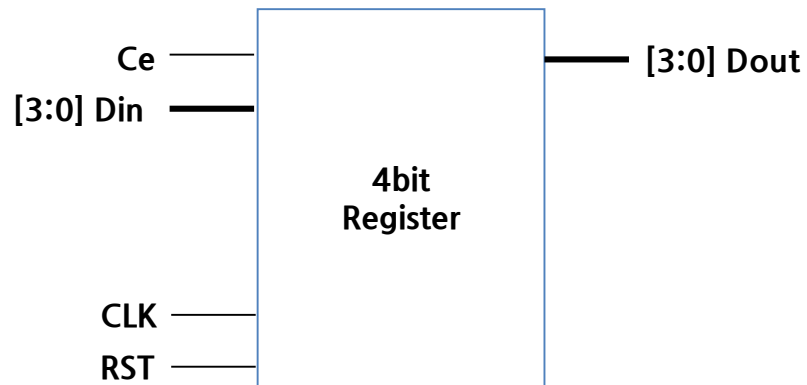
① Synchronous D Flip-Flops and Synchronous Reset



실습 4

다음 회로의 동작을 확인하시오

- 입력 : Ce, [3:0] Din, CLK, RST
- 출력 : [3:0] Dout
- Ce가 0이면 현재 값을 유지하고, Ce가 1이면 [3:0] Din의 값으로 초기화되는 4bit Register



실습 5

다음 회로의 동작을 확인하시오

- 입력 : Ce, [3:0] Din, CLK, RST
- 출력 : [3:0] A, [3:0] B
- Ce가 0이면 현재 값(Dout)을 유지하고, Ce가 1이면 [3:0] Din의 값이 Shift 되는 4bit Register
- B는 첫번째 레지스터의 출력 값(중간 값)
- A는 두번째 레지스터의 출력 값(Shift Register의 결과 값)

