

# 논리회로 설계 및 실험

## - 1주차 : 강의소개 -

담당 교수: 권동현 교수

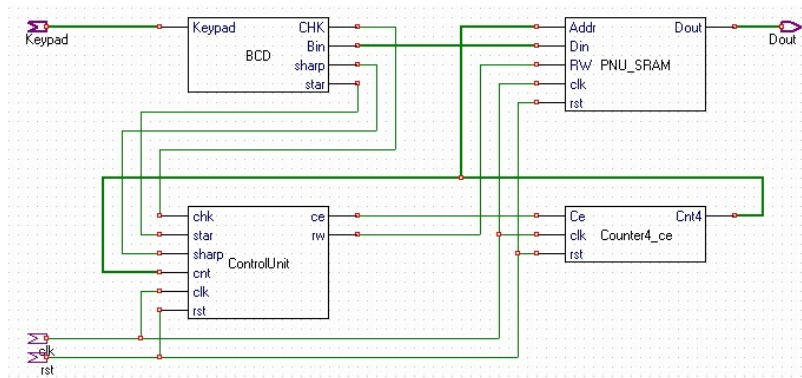
조교: 송수현 박사과정 (1분반, 월요일)

컴퓨터보안연구실 : <https://sites.google.com/view/csl-pnu>

지능형융합보안대학원 : <http://aisec.pusan.ac.kr>

## 무엇을 배우는가?

1. 주어진 입력에 대해 논리 연산을 수행하여 원하는 결과를 출력하는 논리 회로를 설계
2. 설계한 논리 회로를 FPGA 실습 보드에 로드하여 물리적으로 구현
3. 실습을 바탕으로 텀프로젝트 수행



## 텀프로젝트 주제 예시

1. 전자시계
2. 전자계산기
3. 암호호화기
4. 디지털 피아노
5. 테트리스



## 수업 진행 방식

1. 매주 짧은 이론 수업 후 실습을 진행, 실습 결과를 조교에게 확인 받고 퇴실.
2. 실습 및 팀 프로젝트는 2인 1조로 진행
3. 실습 강의 전, 실습 자료를 미리 업로드 할 예정. 해당 실습을 미리 진행하고 실습에 참석하는 경우, 결과 검사 후 퇴실 가능

## 배점 및 채점

실험 : 60%, 팀프로젝트 : 20%, 기말고사 : 20%

실험점수 : 매주 실험 시 채점

팀프로젝트 : 추후 협의 후 공지

기말고사 : 12월 중순 경 전 분반 동시 실시

## ■ 주요 강의 일정

주차	수업 내용
1주	강의 소개 및 <b>Intel Quartus</b> 툴 설치, 로그인 계정 생성
2주	기본적인 논리식을 Quartus 툴을 사용하여 설계 및 시뮬레이션 수행
3주	가산기 및 <b>4bit Ripple Carry Adder</b> 설계
4주	<b>Flip-Flop</b> 동작 이해 및 State에 대한 개념 이해, <b>Register</b> 이해
5주	카운터 회로 설계 및 SRAM에 대한 이해
6주	유한상태머신 설계 및 과제 수행
7주	<b>FPGA</b> 보드 실습
8주	<b>Key pad and LED control</b> 실습
9주	<b>7 segment</b> 실습
10주	FPGA 보드상의 여러 입출력 모듈( <b>Piezo</b> 센서, 스텝모터, <b>LED</b> ) 실습

## 강의 정보

강의 자료 : PLATO 업로드

## 조교

월: 송수현 [sshpnu@pusan.ac.kr](mailto:sshpnu@pusan.ac.kr)

\*수업 일정, 실습 내용, 출석 인정등 문의

\*특히 출석인정요청은 교수님보다 조교에게 직접 전달

## 설치 사이트

1. [Intel@ FPGA Development Tools](#) 사이트 접속
2. 회원가입 진행

intel. 제품 지원 솔루션 개발자 파트너 파운드리

인텔® 제품 / Altera® FPGA, SoC FPGA 및 CPLD / Altera® FPGA 개발 도구 / Quartus® Prime 디자인 소프트웨어

### Quartus® Prime 디자인 소프트웨어

직관적인 고성능 설계 환경. 설계 입력 및 합성에서 최적화, 검증 및 시뮬레이션에 이르기까지 Quartus® Prime 디자인 소프트웨어는 수백만 개의 논리 요소가 있는 장치에서 향상된 기능을 제공하여 설계자에게 차세대 설계 기회를 충족할 수 있는 이상적인 플랫폼을 제공합니다.

개요 문서 기능 **다운로드** 비디오

### 설계 요구 사항에 적합한 에디션 및 OS 선택

지원 장치

에디션을 비교하려면

Pro Edition	Standard Edition	Lite Edition
<ul style="list-style-type: none"><li>Agilex™ FPGA</li><li>Arria® 10 장치</li><li>Stratix® 10 장치</li><li>Cyclone® 10 GX 장치 - Pro Edition에서 무료로 지원</li></ul>	<ul style="list-style-type: none"><li>Arria® 10개 장치, Arria® V FPGA, Arria® V GZ FPGA, Arria® II FPGAs</li><li>Cyclone® 10 LP 장치, Cyclone V 장치, Cyclone IV FPGA</li><li>MAX 10 장치, MAX V CPLD, MAX II CPLDs Stratix V, Stratix IV</li></ul>	<ul style="list-style-type: none"><li>Arria II FPGA</li><li>Cyclone® 10 LP 장치, Cyclone IV FPGA</li><li>MAX 10 장치, MAX V CPLD</li></ul>

intel.

### 로그인 또는 계정 만들기

이메일

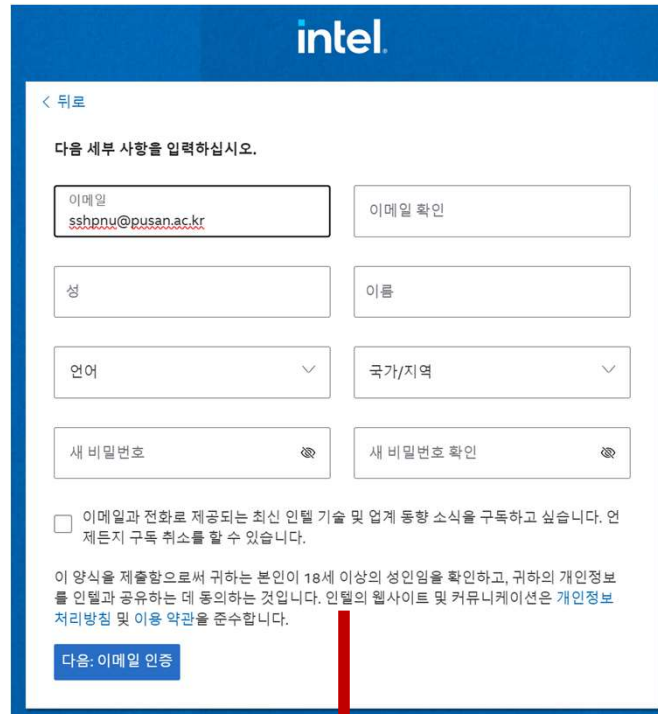
다음

직원 로그인

로그인에 문제가 있습니까?  
자주 묻는 질문들(FAQ)  
로그인하면 [이용 약관](#)에 동의하게 됩니다.



## 회원가입 진행



The image shows the Intel account registration page. At the top is the Intel logo. Below it is a navigation link "< 뒤로". The main heading is "다음 세부 사항을 입력하십시오." (Enter the following details). The form contains several input fields: "이메일" (Email) with the value "sshpnpu@pusan.ac.kr", "이메일 확인" (Confirm Email), "성" (Last Name), "이름" (First Name), "언어" (Language) with a dropdown arrow, "국가/지역" (Country/Region) with a dropdown arrow, "새 비밀번호" (New Password) with an eye icon, and "새 비밀번호 확인" (Confirm New Password) with an eye icon. Below the form is a checkbox for "이메일과 전화로 제공되는 최신 인텔 기술 및 업계 동향 소식을 구독하고 싶습니다. 언제든지 구독 취소를 할 수 있습니다." (I want to receive the latest Intel technology and industry trend newsletters provided by email and phone. You can unsubscribe at any time.) and a paragraph of terms and conditions. At the bottom is a blue button labeled "다음: 이메일 인증" (Next: Email Verification). A red arrow points from this button down to the next slide.



The image shows the Intel account dashboard. At the top is the Intel logo and a navigation bar with links: "제품" (Products), "지원" (Support), "솔루션" (Solutions), "개발자" (Developers), "파트너" (Partners), and "파운드리" (Foundry). On the right side of the navigation bar is a user profile icon, which is highlighted with a red box. Below the navigation bar is the heading "My Intel 대시보드" (My Intel Dashboard). Under this heading is a list of links: "받은 편지함" (Inbox), "지원" (Support), "이벤트" (Events), "커뮤니티" (Community), "프로필, 프로그램 및 설정" (Profile, Programs, and Settings), and "구독 기본 설정" (Subscription Basic Settings). At the bottom of the dashboard is a blue button labeled "로그아웃" (Logout).

## 설치 사이트로 이동

설계 요구 사항에 적합한 에디션 및 OS 선택

지원 장치

에디션을 비교하려면 인포그래픽 참조

Pro Edition	Standard Edition	Lite Edition
<ul style="list-style-type: none"><li>• Agilex™ FPGA</li><li>• Arria® 10 장치</li><li>• Stratix® 10 장치</li><li>• Cyclone® 10 GX 장치 - - Pro Edition에서 무료로 지원</li></ul>	<ul style="list-style-type: none"><li>• Arria® 10개 장치, Arria® V FPGA, Arria® V GZ FPGA, Arria® II FGAs</li><li>• Cyclone® 10 LP 장치, Cyclone V 장치, Cyclone IV FPGA</li><li>• MAX 10 장치, MAX V CPLD, MAX II CPLDs Stratix V, Stratix IV</li></ul>	<ul style="list-style-type: none"><li>• Arria II FPGA</li><li>• Cyclone® 10 LP 장치, Cyclone V 장치, Cyclone IV FPGA</li><li>• MAX 10 장치, MAX V CPLD, MAX II CPLD</li></ul>
<a href="#">다운로드로 이동</a>	<a href="#">다운로드로 이동</a>	<a href="#">다운로드로 이동</a>



# Quartus 설치

설치파일 용량 : 5.9GB  
Quartus 프로그램 : 16GB  
여유 용량 확인해주세요.

PRODUCTS SUPPORT SOLUTIONS DEVELOPERS PARTNERS

1. 로그인

Download Center

## Intel® Quartus® Prime Lite Edition Design Software Version 20.1.1 Windows

ID	Date	Version
660907	11/22/2020	20.1.1

2. Version 20.1.1 변경

A newer version of this software is available, which includes functional and security updates. Customers should click here to update to the latest version.

Users should upgrade to the latest version of the Intel® Quartus® Prime Design Software. The selected version does not include the latest functional and security updates. If you must use this version of software, follow the technical recommendations to help improve security. For critical support requests, contact our [support team](#).

The Intel® Quartus® Prime Lite Edition Design Software, Version 20.1.1 is subject to removal from the web when support for all devices in this release is no longer available in a newer version, or all devices supported by this version are obsolete. If you would like to receive customer notifications by e-mail, please subscribe to our [subscribe to our customer notification mailing list](#).

Critical Issues and Patches for the Intel® Quartus® Prime Lite Edition Software, Version 20.1.  
Knowledge Base: [Search for Errata](#). Also see [Critical Issues and Patches](#).  
[Problems and Answers on specific IP or Products](#).

## Downloads

Multiple Download

3. Multiple Download 클릭

Multiple Download

## Intel® Quartus® Prime Lite Edition Design Software Windows

ID	Date	Version
660907	11/22/2020	20.1.1

A newer version of this software is available, which includes functional and security updates. Customers should click here to update to the latest version.

Users should upgrade to the latest version of the Intel® Quartus® Prime Design Software. The selected version does not include the latest functional and security updates. If you must use this version of software, follow the [technical recommendations](#) to help improve security. For critical support requests, contact our [support team](#).

The Intel® Quartus® Prime Lite Edition Design Software, Version 20.1.1 is subject to removal from the web when support for all devices in this release is no longer available in a newer version, or all devices supported by this version are obsolete. If you would like to receive customer notifications by e-mail, please subscribe to our [subscribe to our customer notification mailing list](#).

Critical Issues and Patches for the Intel® Quartus® Prime Lite Edition Software, Version 20.1.  
Knowledge Base: [Search for Errata](#). Also see [Critical Issues and Patches](#).  
[Problems and Answers on specific IP or Products](#).

## Downloads

Multiple Download Individual Files Additional Software Copley Licensed Source

Multiple Download

3. Lite 버전인지 확인하고 다운로드

Intel® Quartus® Prime Lite Edition

Download  
Quartus-lite-20.1.1.720-windows.tar

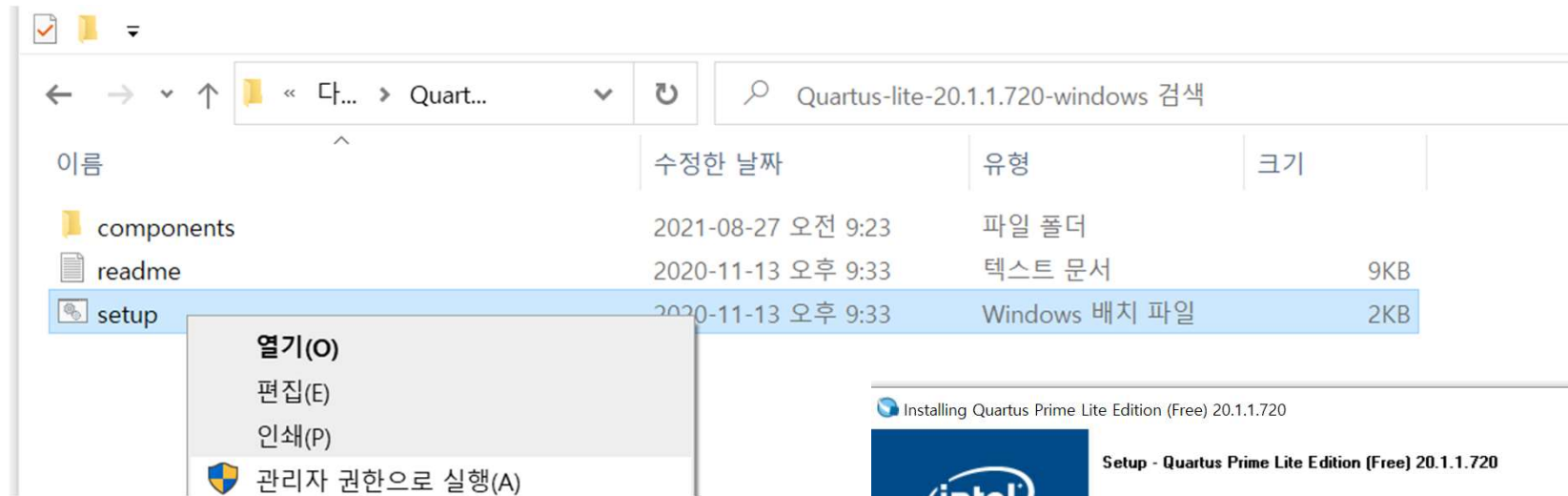
Size: 5.9 GB  
SHA1: f1bec3a3bf03e7ab9106af5fac9347

### What's Included?

- \*\* Nios® II EDS on Windows requires Ubuntu 18.04 LTS on Windows Subsystem for Linux (WSL), which requires a Linux distribution.
- \*\* Nios® II EDS requires you to install an Eclipse IDE manually.

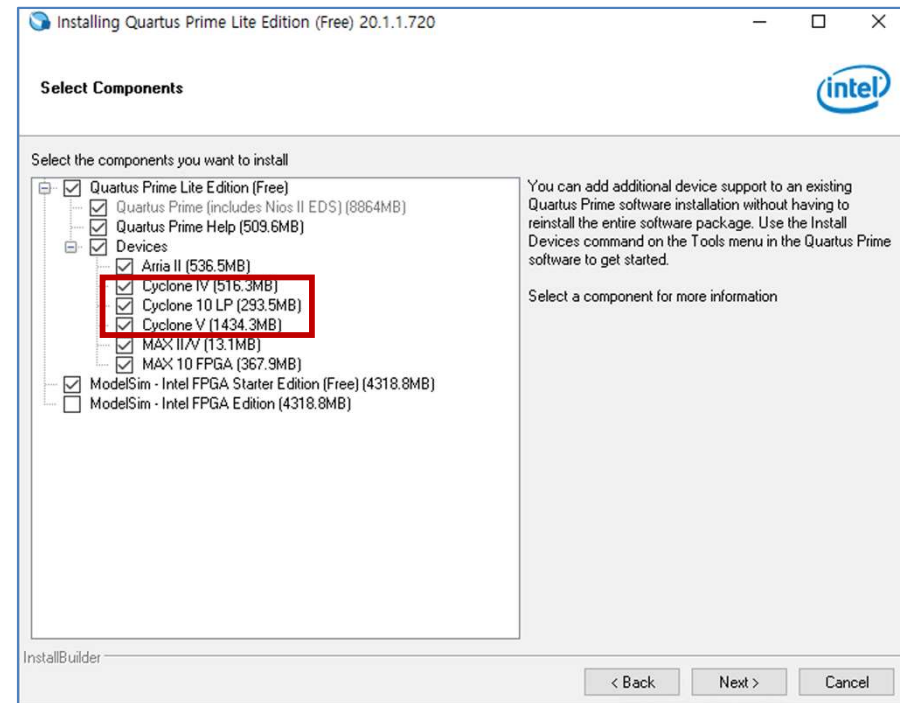
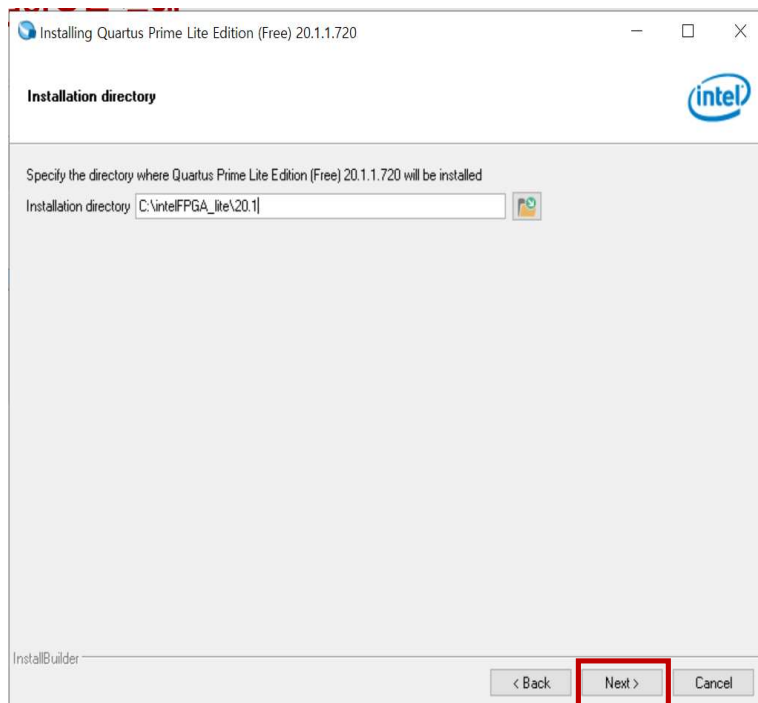
# Quartus 설치

압축해제 및 setup 파일 관리자 권한으로 실행



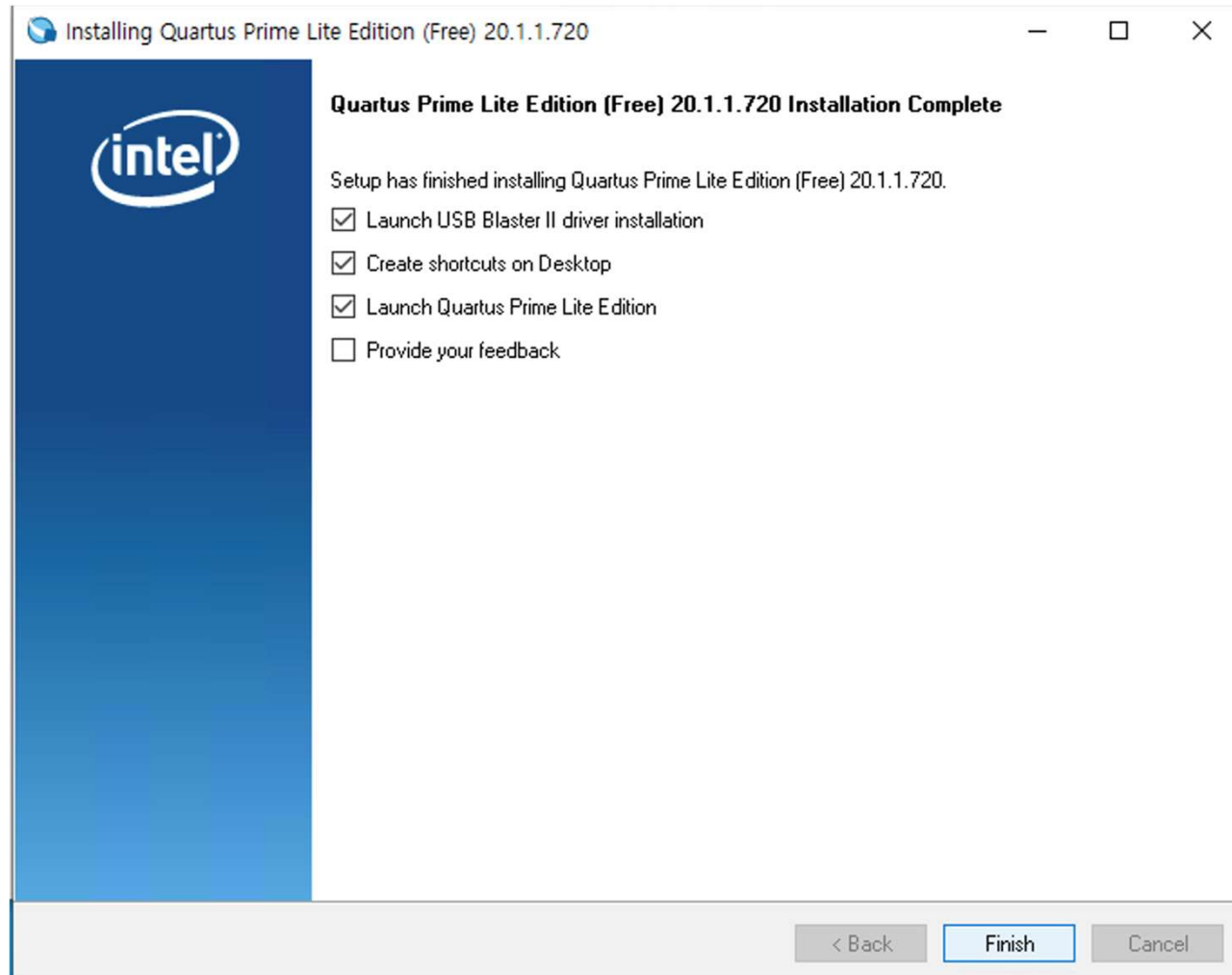
# Quartus 설치

경로는 기본경로로 설정 (변수간 충돌 발생 우려)  
용량 부족할 것 같으면 Cyclone 계열 체크 해제



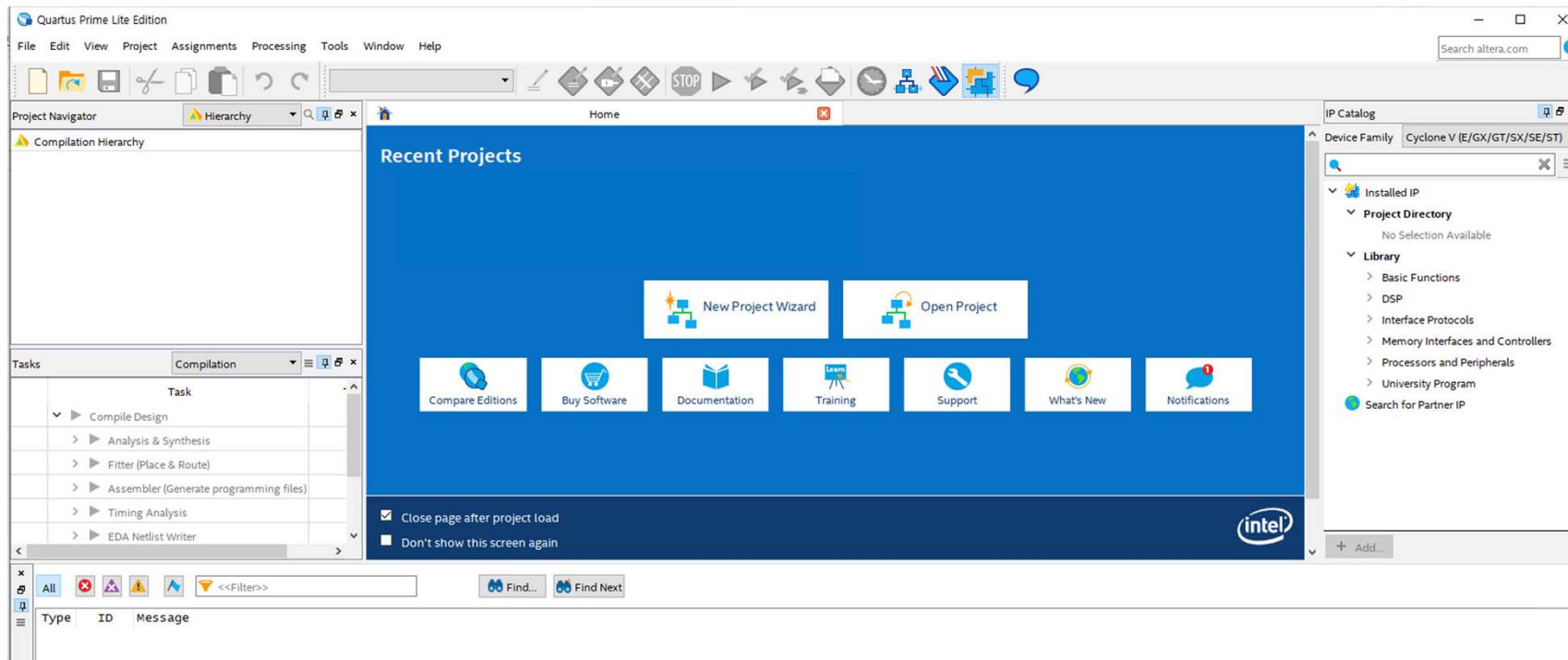
# Quartus prime 설치 완료

설치 완료( 이후 드라이버 설치 에러가 나도 상관 없음)



# Quartus prime 설치 완료

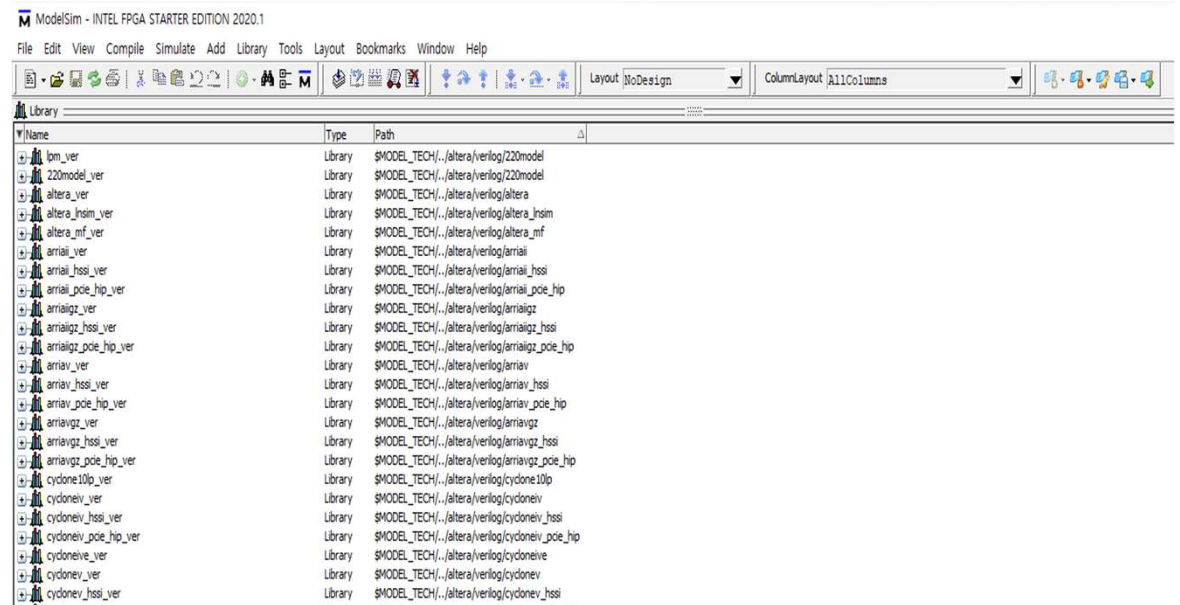
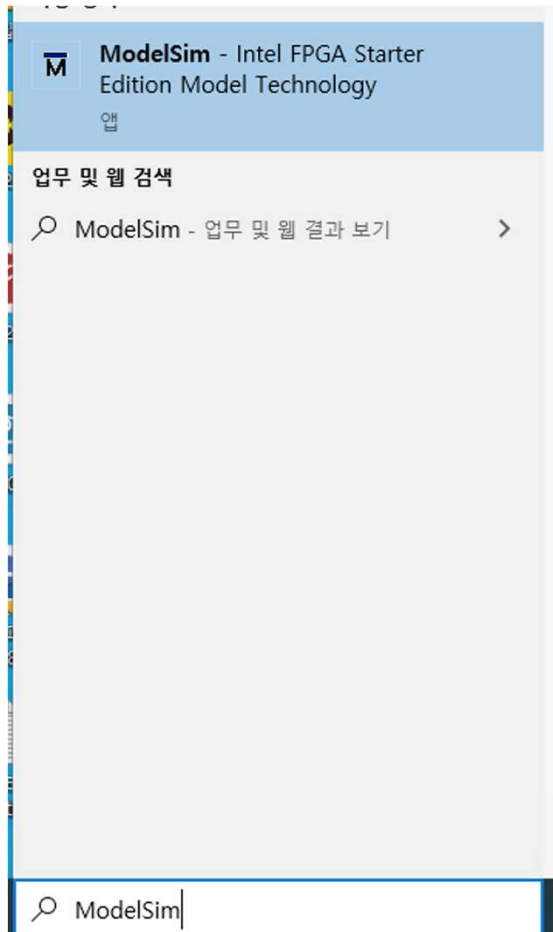
Quartus Prime Lite version 실행 확인  
(오른쪽 마우스 클릭->"관리자 권한으로 실행")  
-> 프로젝트 생성 시 문제 발생





# Quartus prime 설치 완료

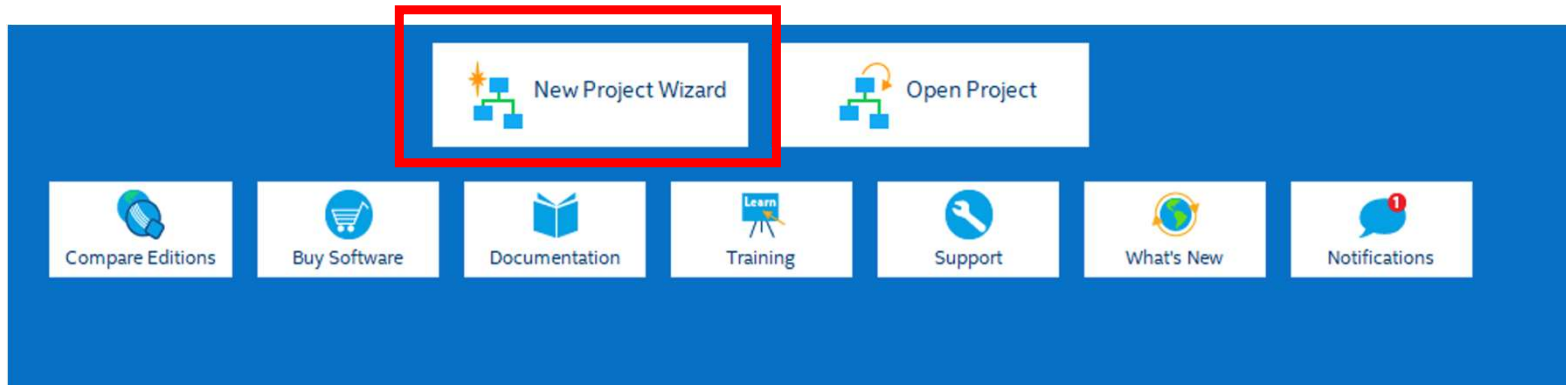
## ModelSim 또한 설치가 완료 됐는지 확인





## 4. Quartus Prime Lite Edition을 실행 [실행 시 관리자 권한으로 실행 !!]

### New Project Wizard 클릭



## 4. Project 생성

**Directory, Name, Top-Level Entity**

What is the working directory for this project?

C:\intelFPGA\_lite\20.1 **Project 경로에 한글이 들어가면 안됨 (바탕화면 등)**

What is the name of this project?

**Project name을 정하는데 이것 또한 영어로 작성할 것**

What is the name of the top-level design entity for this project? This name is case sensitive and must exactly match the entity name in the design file.

Use Existing Project Settings...

## 4. Project 생성 예시

C:/ 에 별도의 수업용 폴더를 생성하는 것을 추천

### Directory, Name, Top-Level Entity

What is the working directory for this project?

C:/quartus\_prime\_test

What is the name of this project?

introduction

What is the name of the top-level design entity for this project? This name is case sensitive and must exactly match the entity name in the design file.

introduction

Use Existing Project Settings...

## 4. Project 생성

**Project Type**

Select the type of project to create.

☒ Empty project

Create new project by specifying project files and libraries, target device family and device, and EDA tool settings.

☐ Project template

Create a project from an existing design template. You can choose from design templates installed with the Quartus Prime software, or download design templates from the [Design Store](#).

< Back **Next >** Finish Cancel Help



**Add Files**

Select the design files you want to include in the project. Click Add All to add all design files in the project directory to the project.

Note: you can always add design files to the project later.

File name:

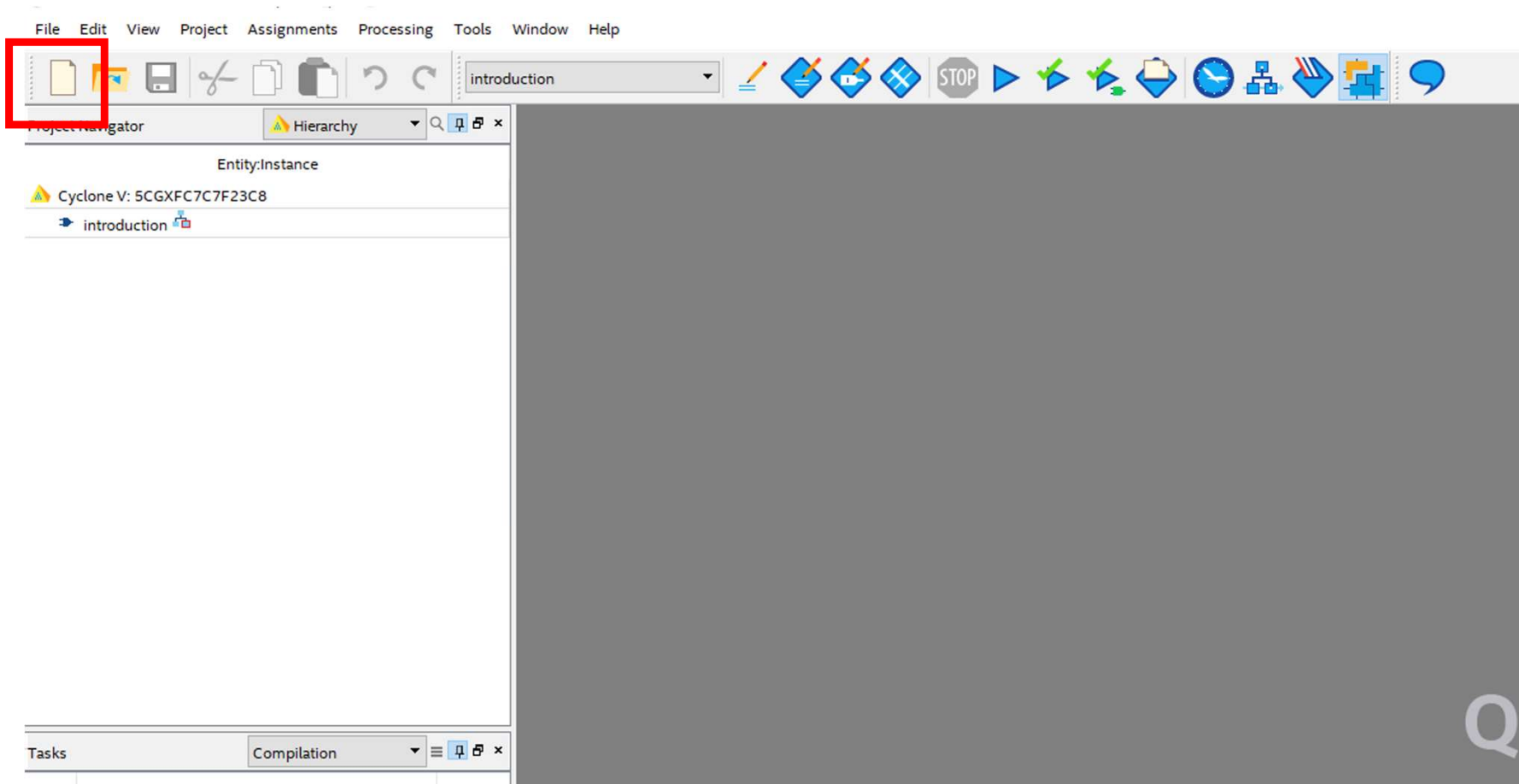
File Name	Type	Library	Design Entry/Synthesis Tool	HDL Version
-----------	------	---------	-----------------------------	-------------

Specify the path names of any non-default libraries.

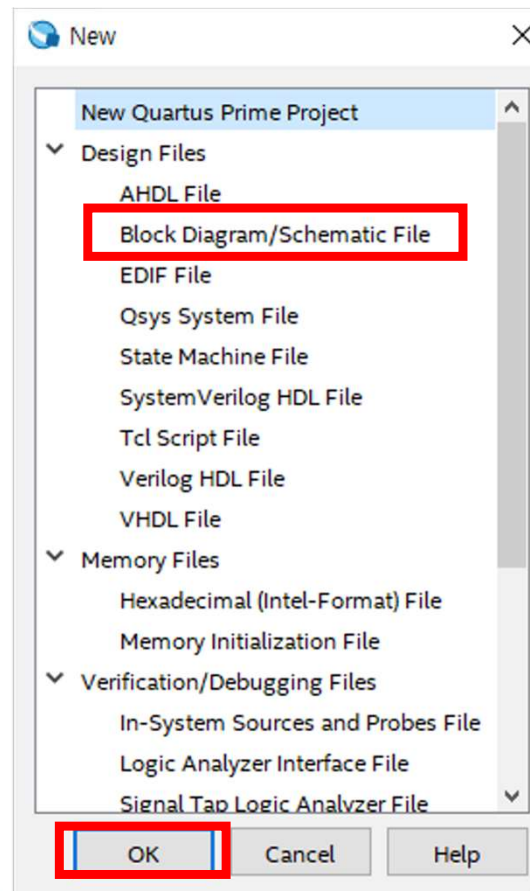
< Back **Next >** Finish Cancel Help

이후 **Finish**를 누르면 됨

## 4. schematic 파일 생성

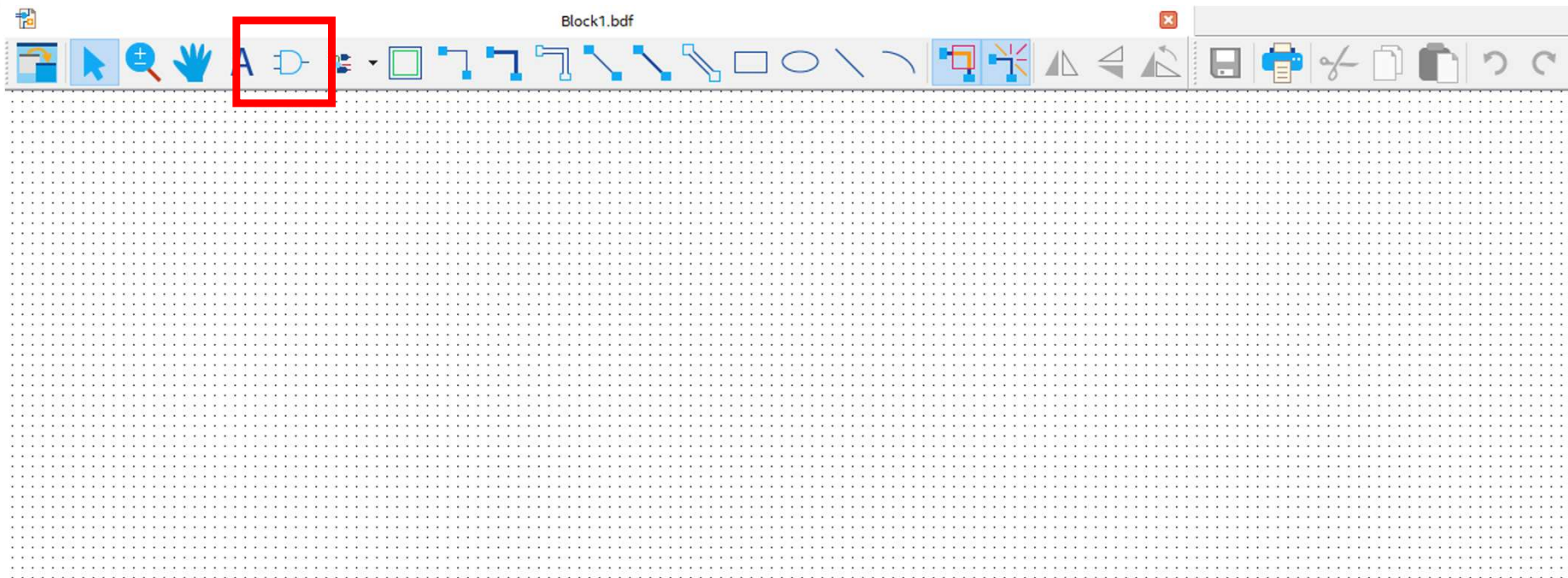


## 4. schematic 파일 생성



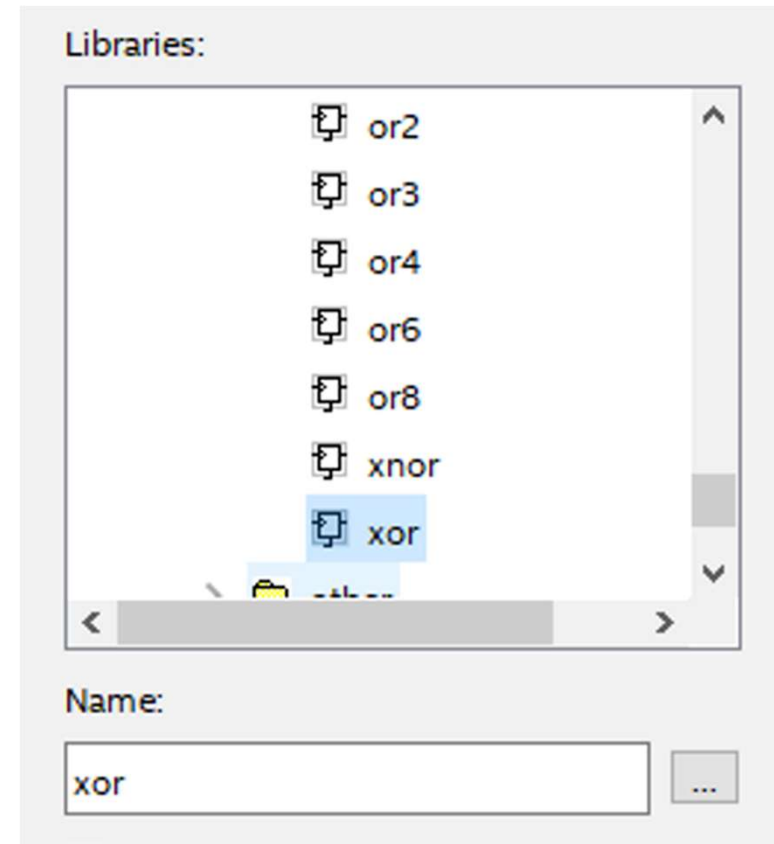
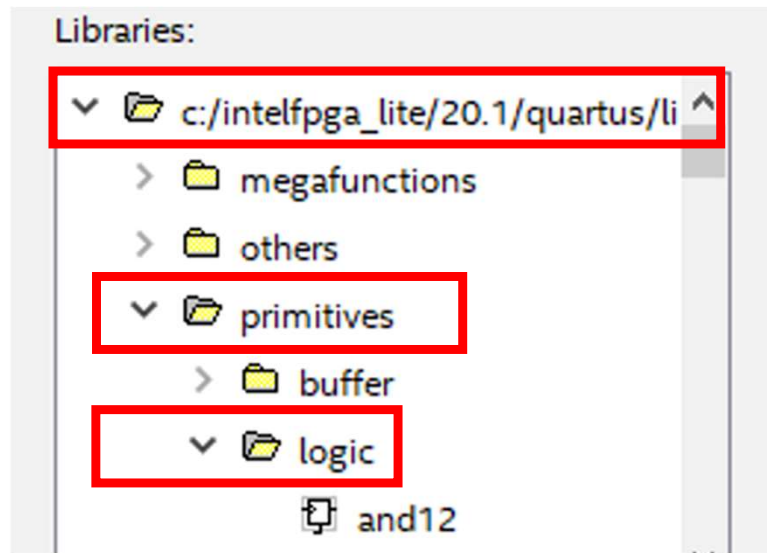


## 4. schematic design



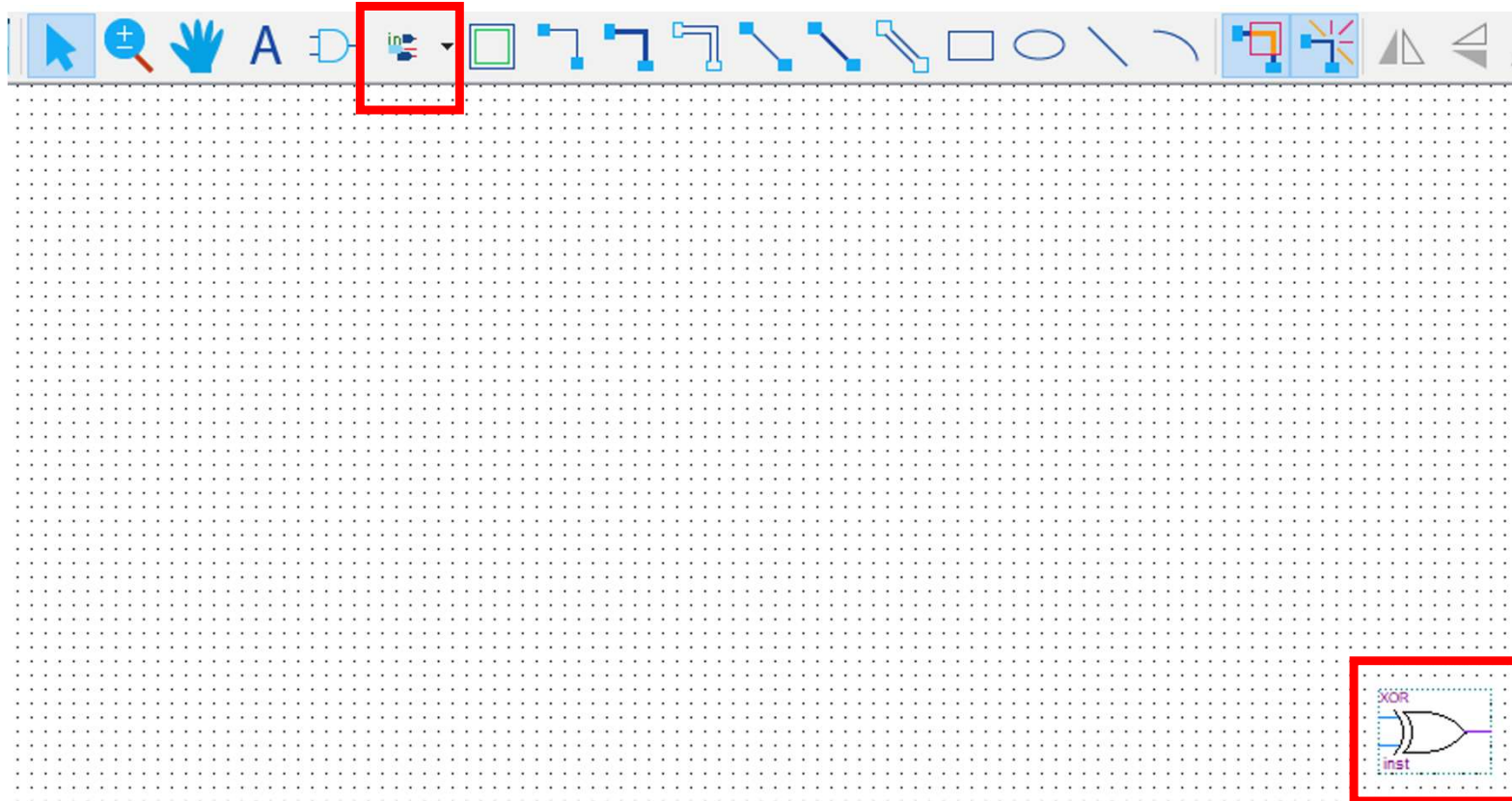
화면에서 마우스 우클릭 후 inset의 symbol을 클릭하여도 가능

## 4. schematic design



## 4. schematic design

2. input/output port를 위해 클릭



1. 클릭 후 esc 버튼을 누름

## 4. schematic design

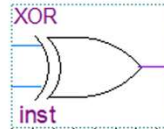
pin\_name1



INPUT  
VCC

pin\_name2

INPUT  
VCC



OUTPUT

pin\_name3

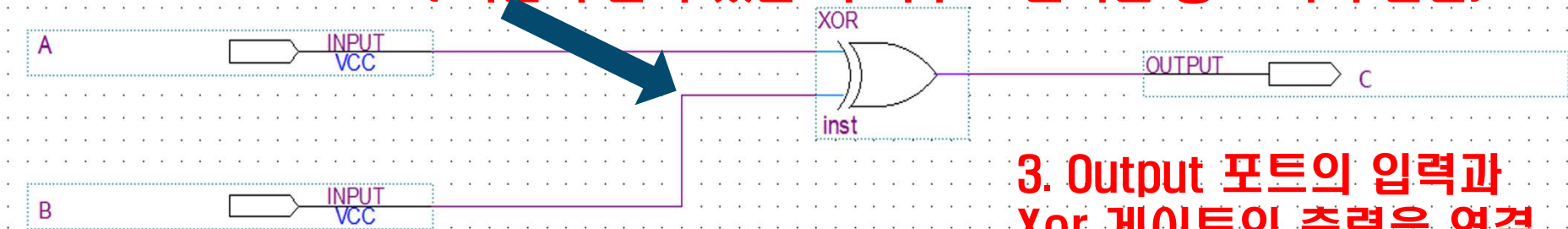
1. Input port 2개를 화면에 배치

2. Output port 1개를 화면에 배치



## 4. schematic design

2. Input의 끝에서 xor 게이트의 입력으로 연결  
( 꺾는 부분이 있을 시 마우스 클릭을 놓고 다시 연결)

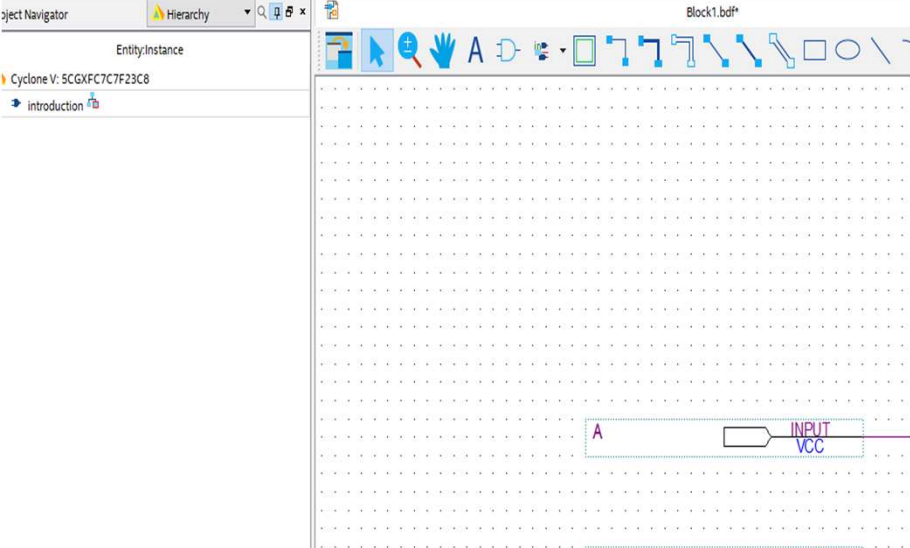


3. Output 포트의 입력과  
Xor 게이트의 출력을 연결

1. Port 이름 변경( 더블클릭 하면 변경 가능)

# Quartus prime Schematic design

## 4. schematic compile



Entity/Instance

- Cyclone V: 5CGXFC7C7F23C8
  - introduction

Block1.bdf\*

A INPUT VCC

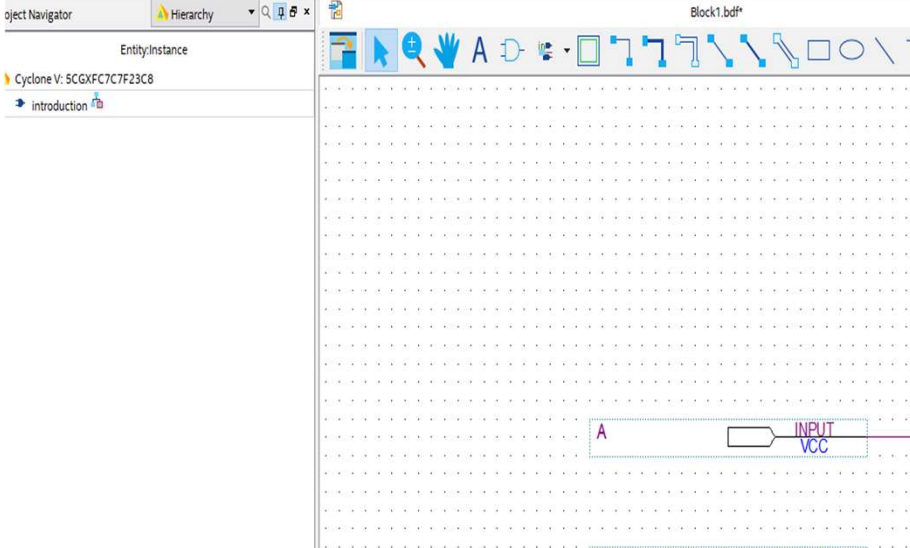
B INPUT VCC

1. Analysis & synthesis 우클릭 후 start

2. xxx.bdf 파일 저장후 실행이 됨

Task

- Compile Design
  - Analysis & Synthesis
  - Fitter (Place & Route)
  - Assembler (Generate programming files)
  - Timing Analysis
  - EDA Netlist Writer
  - Edit Settings
  - Program Device (Open Programmer)



Entity/Instance

- Cyclone V: 5CGXFC7C7F23C8
  - introduction

Block1.bdf\*

A INPUT VCC

B INPUT VCC

3. Flow summary가 뜬 후 EDA Netlist Writer 우클릭 후 start

Task

- Compile Design
  - Analysis & Synthesis
  - Fitter (Place & Route)
  - Assembler (Generate programming files)
  - Timing Analysis
  - EDA Netlist Writer
  - Edit Settings
  - Program Device (Open Programmer)

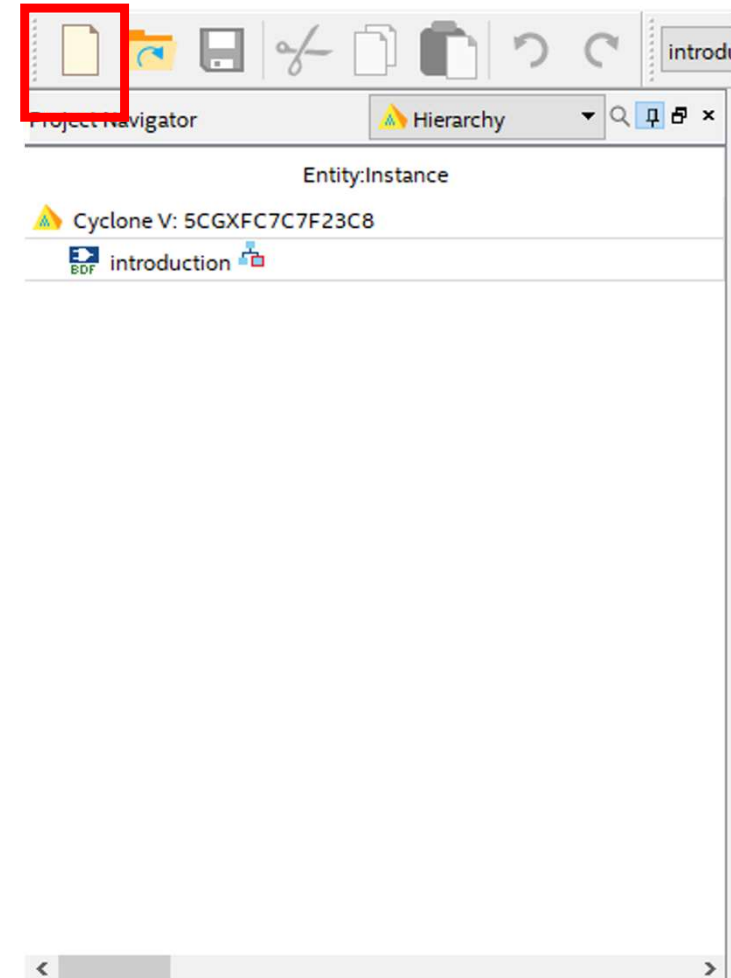


## 4. schematic compile

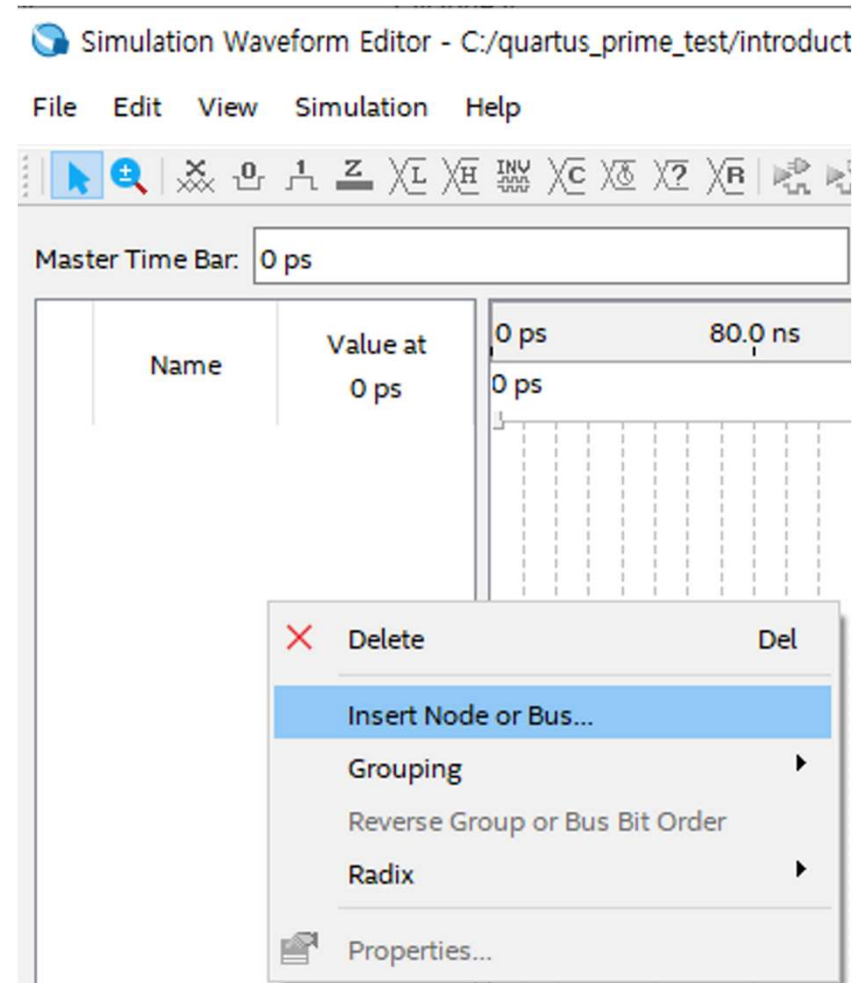
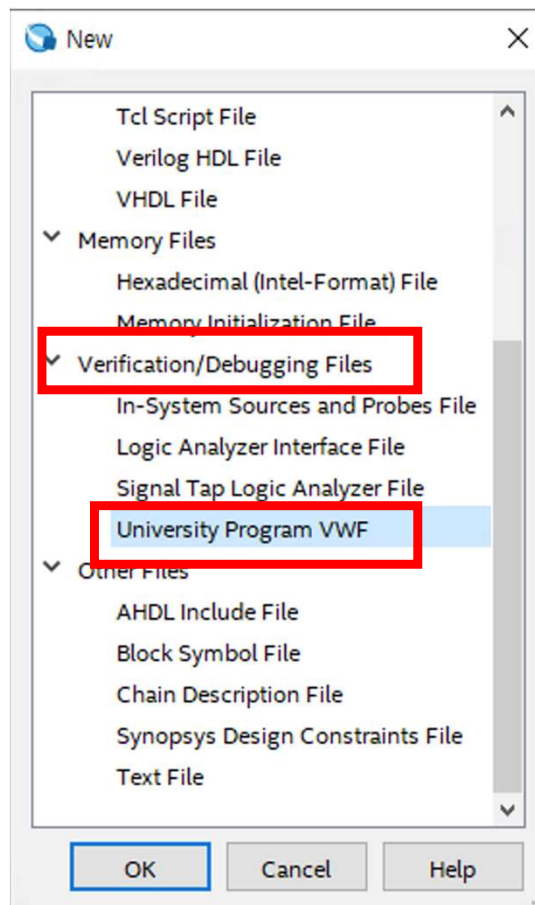
Tasks			Compilation	≡	🔍	🗑️	✖
	Task	Tim					
	▼ ▶ Compile Design						
✓	> ▶ Analysis & Synthesis	00:00:12					
✓	> ▶ Fitter (Place & Route)	00:00:32					
	> ▶ Assembler (Generate programming files)						
	> ▶ Timing Analysis						
✓	> ▶ EDA Netlist Writer	00:00:02					
	🔧 Edit Settings						
	🔌 Program Device (Open Programmer)						

### 1. 완료가 됨을 확인

## 2. Simulation을 위한 파일 생성

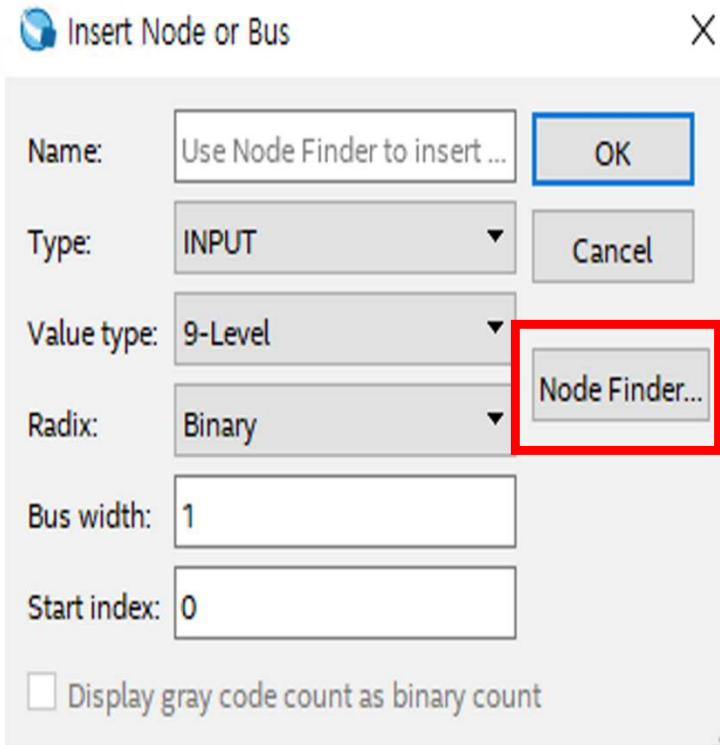


## 4. VWF 파일 생성

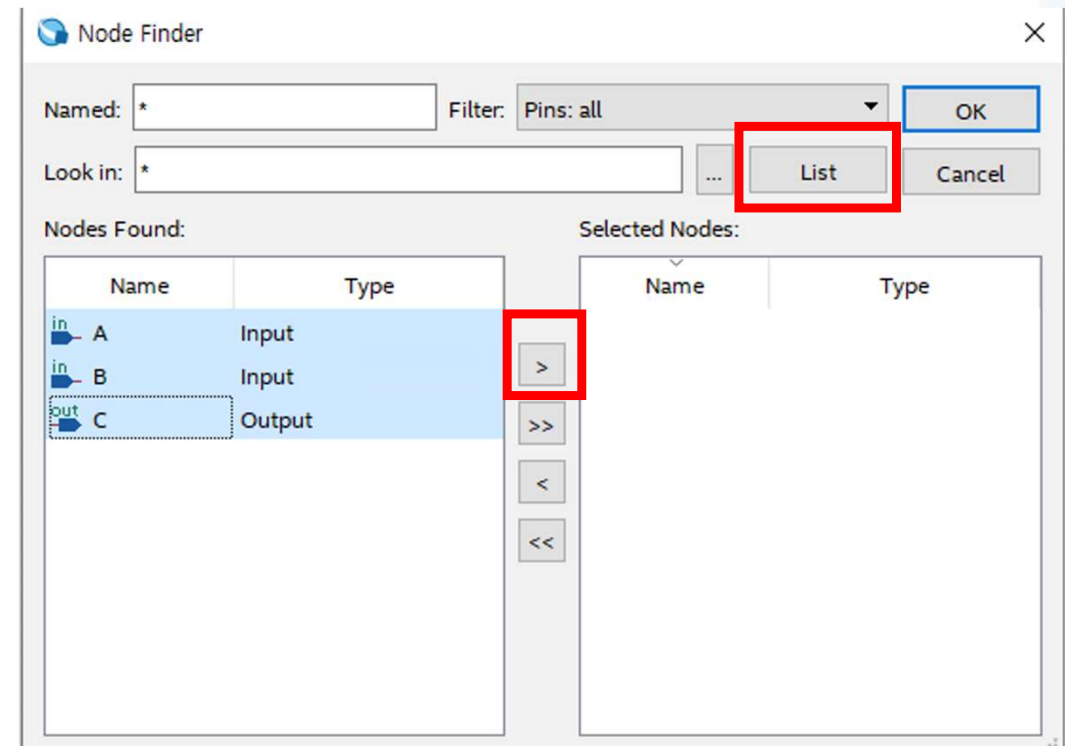


왼쪽 bar 에서 마우스 우클릭 후 Insert Node or Bus 를

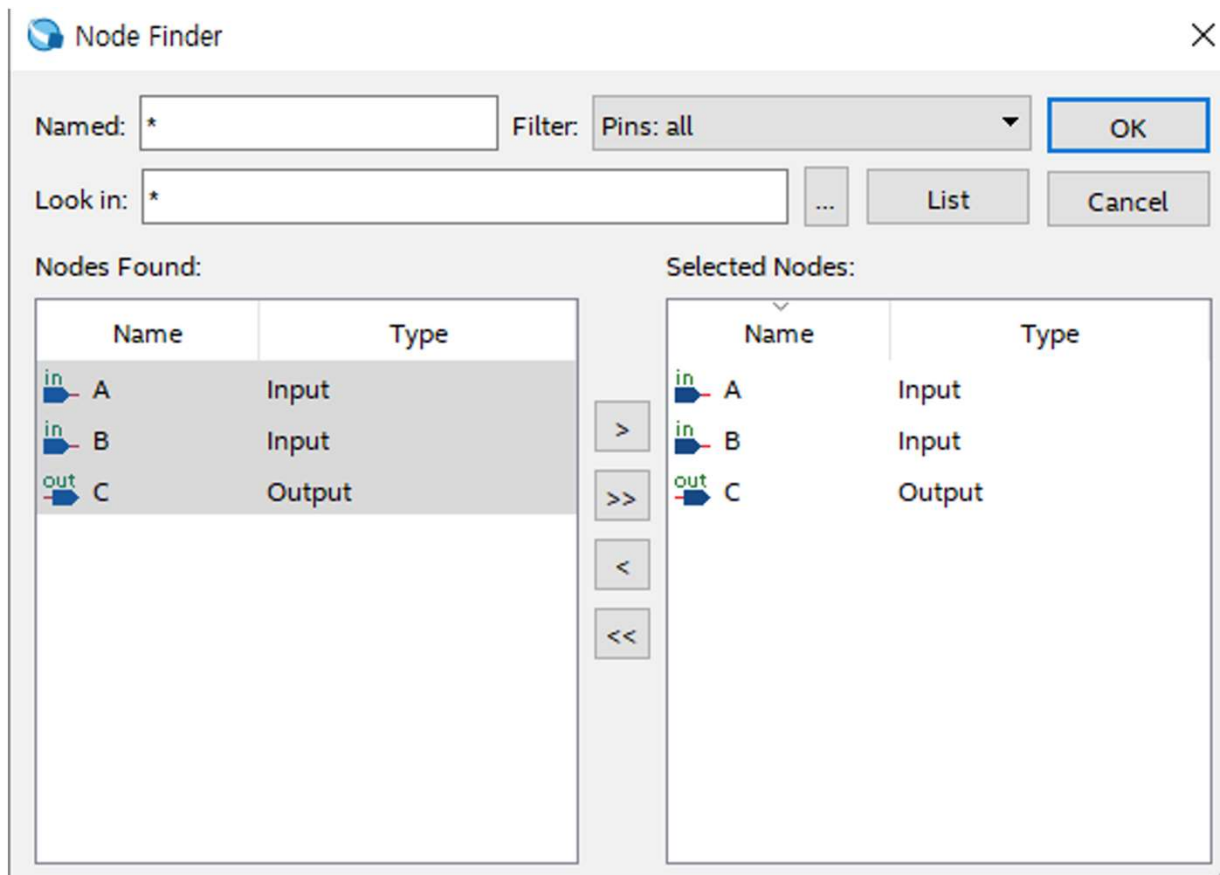
## 4. VWF 파일 생성



List 클릭 후 옆에 뜨는 in/out port를 선택 후  
오른쪽으로 이동

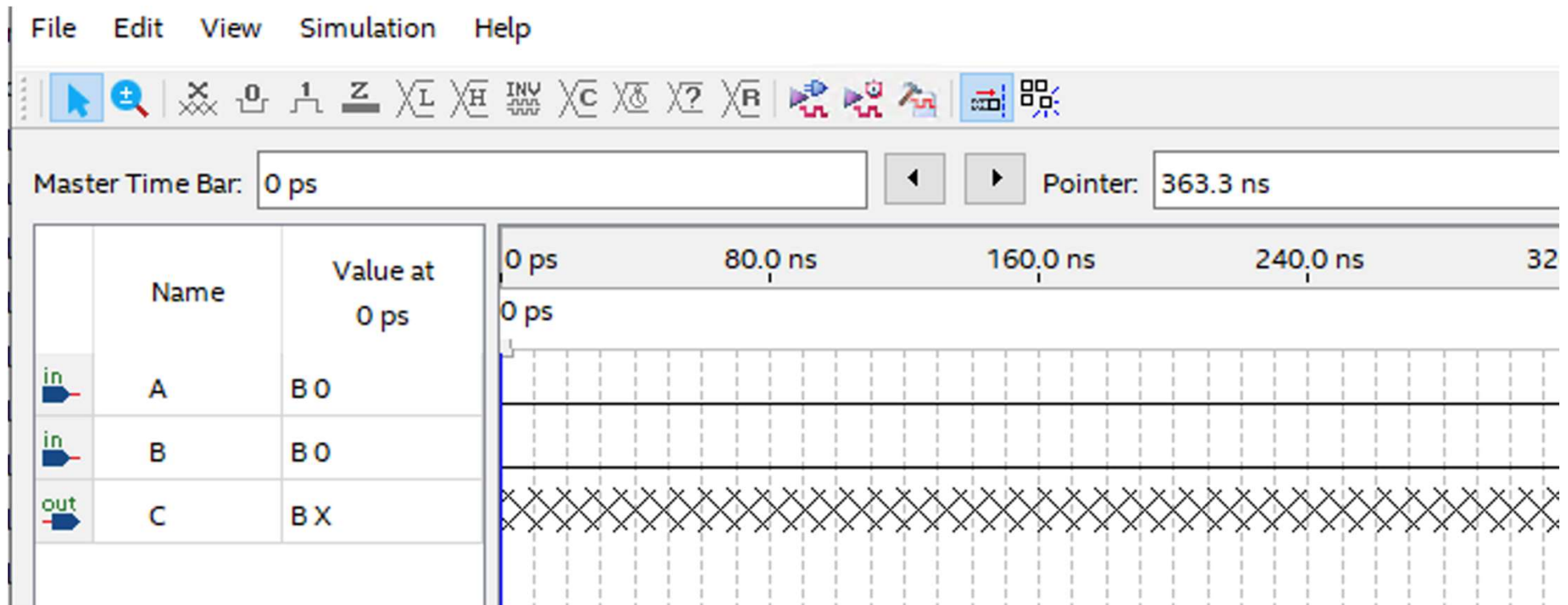


## 4. VWF 파일 생성



다음과 같은 화면이 나온다면 OK, 다음 화면도 OK

## 4. VWF 파일 생성

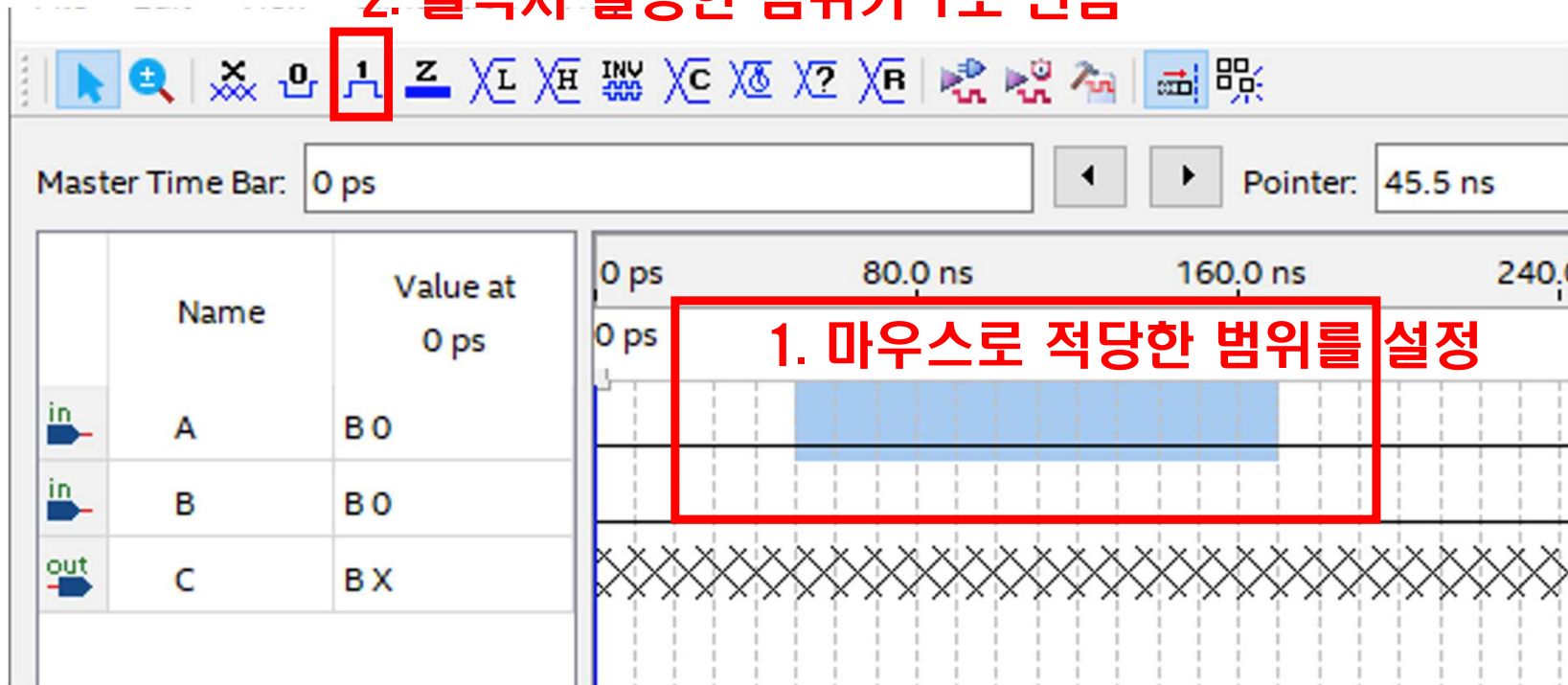


다음과 같은 화면이 나와야함



## 4. VWF 파일 생성

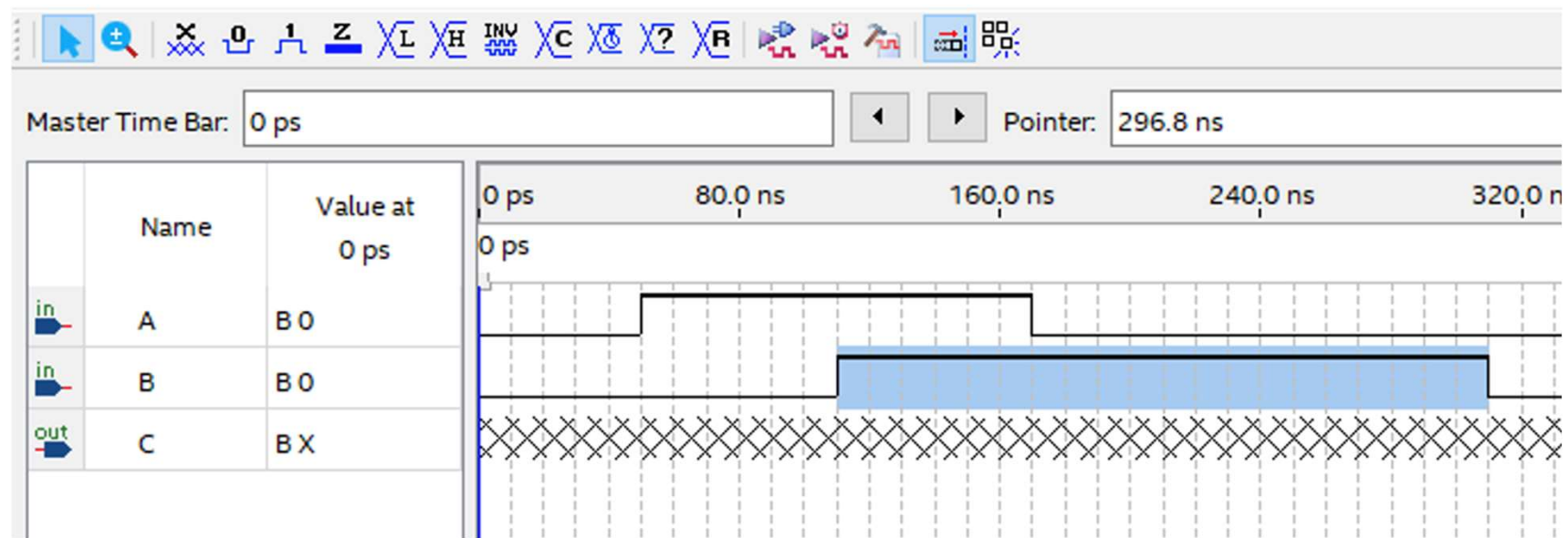
2. 클릭시 설정한 범위가 1로 변함



1. 마우스로 적당한 범위를 설정

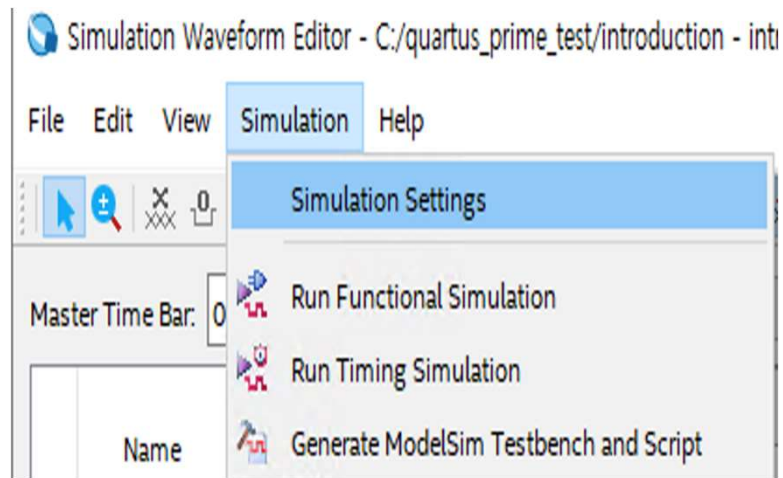


## 4. VWF 파일 생성



**Input A,B를 어느정도 범위를 설정**

## 4. VWF 파일 생성



### 1. Simulation의 settings 선택

Testbench Generation Command (Functional Simulation):

```
form.vwf" --testbench_file="C:/quartus_prime_test/simulation/qsim/C:/quartus_prime_test/Waveform.vwf.vt"
```

Netlist Generation Command (Functional Simulation):

```
quartus_eda --write_settings_files=off --simulation --functional=on --flatten_buses=off --tool=modelsim_oen
```

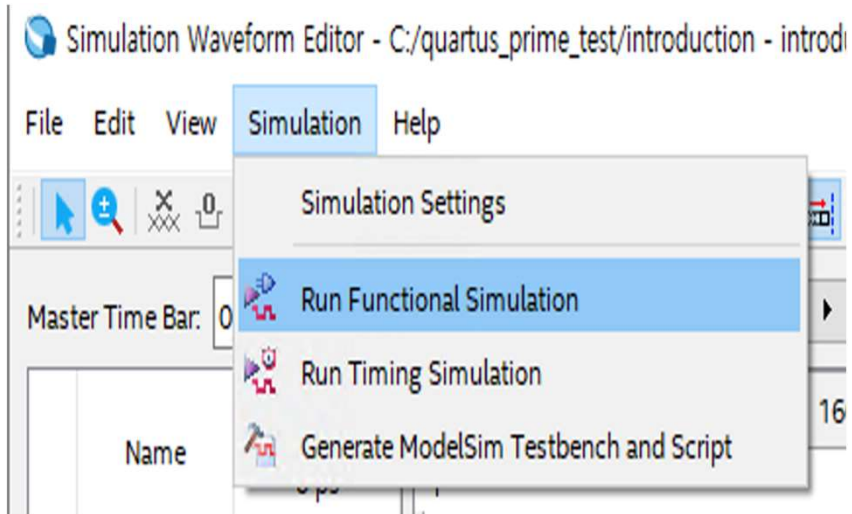
ModelSim Script (Functional Simulation):

```
onerror {exit -code 1}
vlib work
vlog -work work introduction.vo
vlog -work work C:/quartus_prime_test/Waveform.vwf.vt
vsim -novopt -c -t 1ps -L cyclonev_ver -L altera_ver -L altera_mf_ver -L 220model_ver -L sgate_ver -L altera_in
vcd file -direction introduction.msim.vcd
vcd add -internal introduction_vlg_vec_tst/*
vcd add -internal introduction_vlg_vec_tst/i1/*
proc simTimestamp {} {
    echo "Simulation time: $::now ps"
    if { [string equal running [runStatus]] } {
        after 2500 simTimestamp
    }
}
after 2500 simTimestamp
run -all
quit -f
```

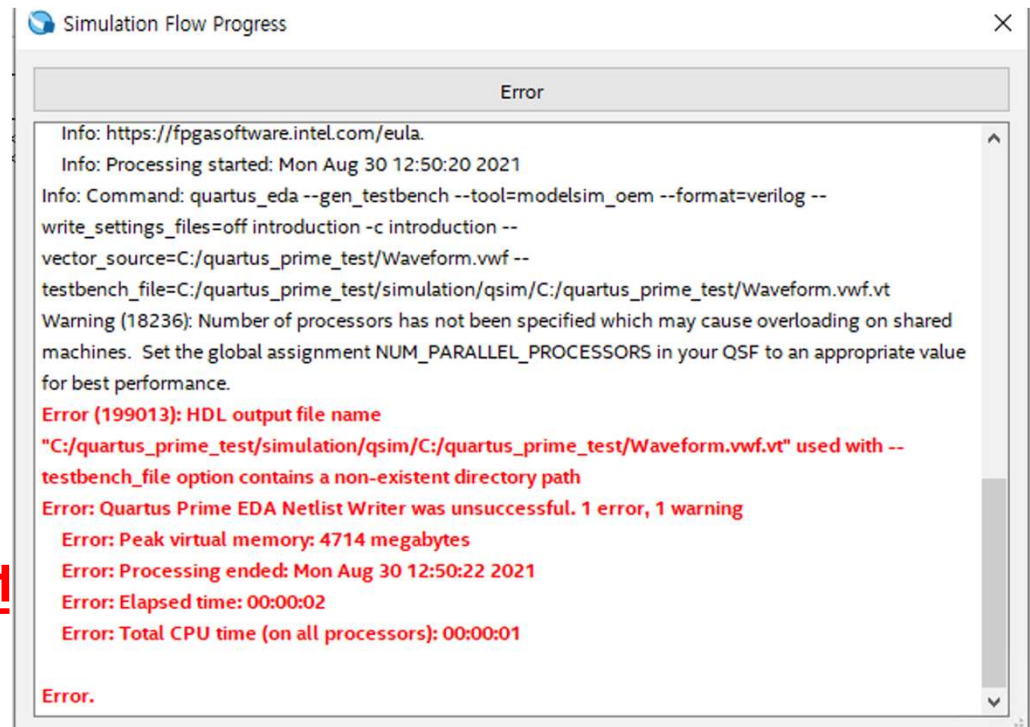
The command to generate the simulation netlist

### 2. -novopt 옵션 삭제 !!!

## 4. VWF 파일 생성

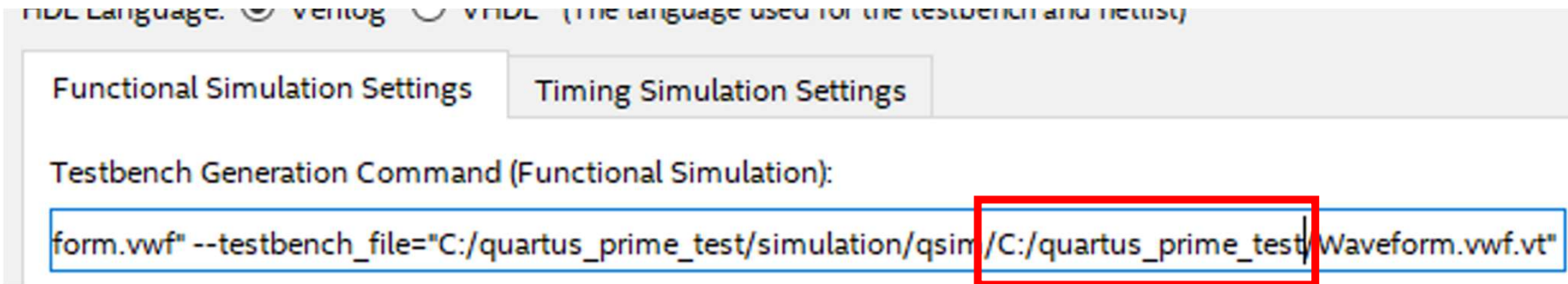


저장 후 Run functional simulation 선택



다음과 같은 에러가 발생시 다시 setting을 open

## 4. settings 수정



### 1. 중복된 경로 삭제

ModelSim Script (Functional Simulation):

```
onerror {exit -code 1}
vlib work
vlog -work work introduction.vo
vlog -work work C:/quartus_prime_test/Waveform.vwf.vt
vsim -c -t 1ps -L cyclonev_ver -L altera_ver -L altera_mf_ver -L 220model_ver -L sgate_ver -L altera_insim_ver
vcd file -direction introduction.msim.vcd
```

### 2. waveform.vwf.vt가 저장된 경로로 파일 수정

Ex) `c:/quartus_prime_test/simulation/qsim/Waveform.vwf.vt`



## 4. settings 수정 예시

Testbench Generation Command (Functional Simulation):

```
artus_prime_test/Waveform.vwf" --testbench_file="C:/quartus_prime_test/simulation/qsim/Waveform.vwf.vt"
```

Netlist Generation Command (Functional Simulation):

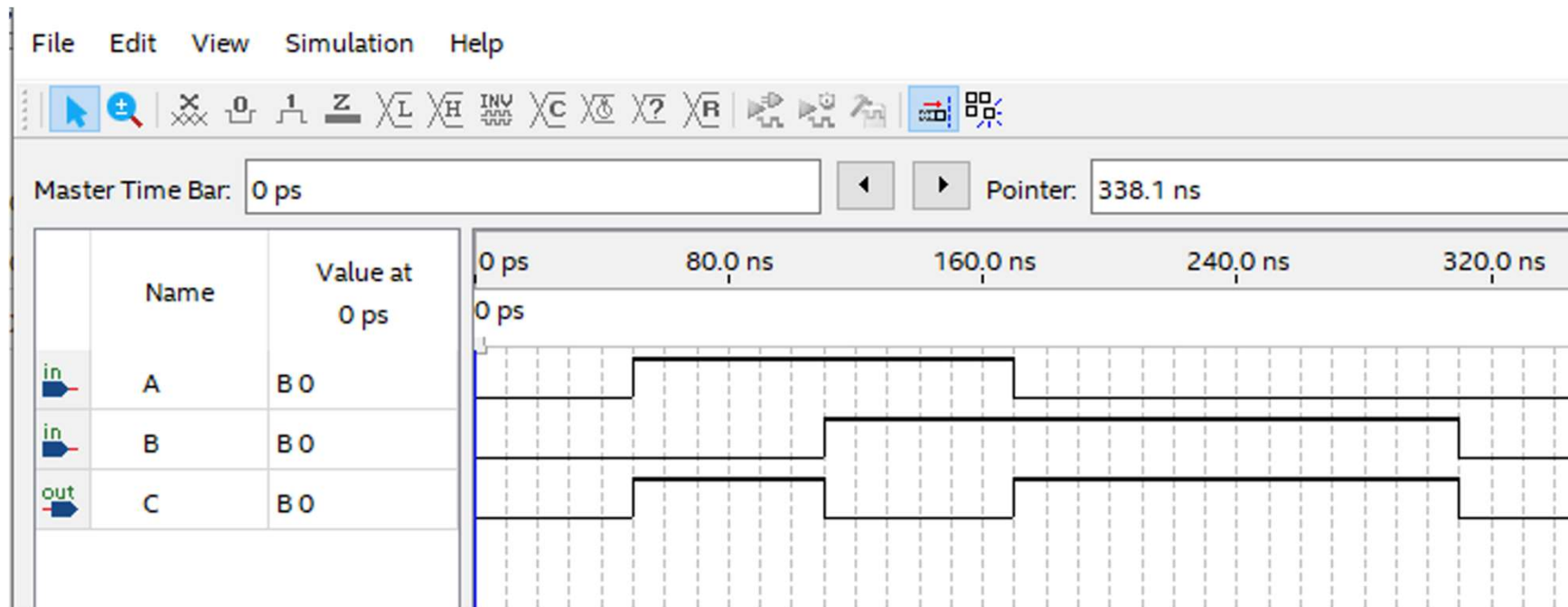
```
m --format=verilog --output_directory="C:/quartus_prime_test/simulation/qsim/" introduction -c introduction
```

ModelSim Script (Functional Simulation):

```
onerror {exit -code 1}  
vlib work  
vlog -work work introduction.vo  
vlog -work work C:/quartus_prime_test/simulation/qsim/Waveform.vwf.vt  
vsim -c -t 1ps -L cyclonev_ver -L altera_ver -L altera_mf_ver -L 220model_ver -L sgate_ver -L altera_insim_ver  
vcd file -direction introduction.msim.vcd
```

**저장 후 다시 simulation의 run functional simulation 실행**

## 4. Simulation 실행 결과



다음과 같은 Xor 게이트의 모습을 보여줌



**다른 에러 발생시 구글링 or 조교에게 연락 바람**

**송수현 조교: [sshpnu@pusan.ac.kr](mailto:sshpnu@pusan.ac.kr)**