

# 基于 FPGA 的电子表决器电路的设计与实现

杨 东<sup>1</sup>, 张超英<sup>2</sup>

(1. 黄河科技学院 嵌入式系统应用技术实验室, 河南 郑州 450063;

2. 漯河职业技术学院 电气电子工程系, 河南 漯河 462002)

**摘 要** 为解决传统的电子表决器电路不易扩展的问题, 采用 VHDL 语言完成了 8 输入和 10 输入的电子表决器电路的程序设计。采用 FPGA 芯片通过编程实现显示电路的设计, 通过电路仿真分析验证了电路设计的可行性。并经由 EDA 编程设计使电路结构简单、便于扩展、可靠性高、可移植性强、易于实现。

**关键词** 表决器; 设计; FPGA; 仿真

中图分类号 TP274 文献标识码 A 文章编号 1007-7820(2015)01-061-03

## Design and Implementation of Electronic Voting Machine Circuit Based on FPGA

YANG Dong, ZHANG Chaoying

(1. Embedded Systems Laboratory, Huanghe Science and Technology College, Zhengzhou 450063, China;

2. Department of Electrical and Electronic Engineering, Luohe Vocational Technology College, Luohe 462002, China)

**Abstract** In view of the poor expansion capability of traditional electronic voting machine circuits, a program for electronic voting machine circuit with 8 and 10 inputs is designed using VHDL language. The display circuit design is realized by programming on FPGA chip. Circuit analysis and simulation verifies the feasibility of the circuit design. EDA programming offers the circuit the advantages of simple structure, easy expansion, high reliability, good portability, and easy implementation.

**Keywords** voting machine; design; FPGA; simulation

电子设计自动化 (Electronic Design Automation, EDA) 是以计算机为载体, 在 EDA 软件平台上, 用硬件描述语言 VHDL 完成设计文件, 然后由计算机自动地完成逻辑编译、化简、分割、综合、优化、布局、布线和仿真, 直至对于特定目标芯片的适配编译、逻辑映射和编程下载等工作<sup>[1]</sup>。EDA 技术的出现, 大幅提高了电路设计的效率和可操作性, 减轻了劳动强度。利用 EDA 工具, 电子设计师可从概念、算法、协议等方面开始设计电子系统, 大量工作可通过计算机完成, 并可将电子产品从电路设计、性能分析到设计出 PCB 版图的整个过程都在计算机上自动处理完成<sup>[2]</sup>。基于 EDA 软件的 FPGA 开发已广泛应用于电子电路的设计与实现中, 图 1 为基于 EDA 软件的 FPGA 开发流程<sup>[3]</sup>。

### 1 电子表决器电路

传统的电子表决器通过逻辑门电路实现、功能简

收稿日期: 2014-07-01

基金项目: 郑州市嵌入式系统应用技术重点实验室基金资助项目(121PYFZX177)

作者简介: 杨东(1983—), 男, 硕士, 讲师。研究方向: 通信网络。E-mail: 344819119@qq.com

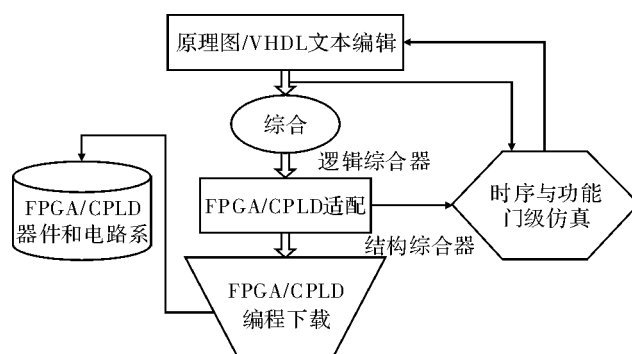


图 1 基于 EDA 软件的 FPGA 开发流程

单、不易扩展。表 1 是一种 3 人表决器的真值表, 图 2 是由逻辑门组成的电路图<sup>[4]</sup>。

表 1 3 人表决器真值表

A	B	C	Y
0	0	0	0
1	1	1	1
0	0	1	1
0	0	1	1
0	1	0	1
0	1	0	1
0	0	0	1
0	1	1	1

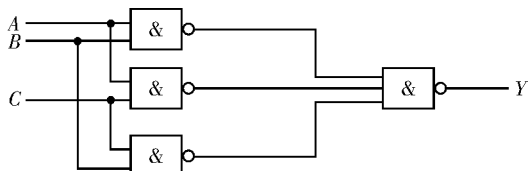


图2 3人表决器逻辑门电路

## 2 基于FPGA的电子表决器

### 2.1 8人表决器电路

结合VHDL语言在FPGA平台实现电子表决器电路设计,可减小系统面积,方便扩展升级<sup>[5]</sup>,以下程序是使用VHDL语言描述的8人表决电路。

```

LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;
USE IEEE.STD_LOGIC_ARITH.ALL;
USE IEEE.STD_LOGIC_UNSIGNED.ALL;
ENTITY vote IS
    PORT ( FF: IN STD_LOGIC_VECTOR ( 1 TO
8 ); —FF: 一维数组 FF 用来表示 8 位表决者
        CLK: IN BIT;
        AA, QQ: OUT BIT ); —AA: 赞成人数。QQ: 表
决最终是否通过 ‘1’ 为通过, ‘0’ 为未通过)
END vote;
ARCHITECTURE behavior OF vote IS
    SIGNAL A: BIT;
BEGIN
    PROCESS( FF )
        VARIABLE SUM: STD_LOGIC_VECTOR( 4
DOWNT0 1 );
        VARIABLE Q: BIT;
    BEGIN
        SUM := "0000";
        FOR N IN 1 TO 8 LOOP
            SUM := FF( N ) + SUM;
        END LOOP;
        AA ≤ SUM;
        IF ( SUM > 4 ) THEN Q := '1';
        ELSE Q := '0';
    END IF;
    A ≤ Q;
END PROCESS;
PROCESS( CLK, A ) —消除竞争与冒险
BEGIN
    IF ( CLK'EVENT AND CLK = '1' ) THEN
        QQ ≤ A;
    END IF;

```

```
END PROCESS;
```

```
END behave;
```

### 2.2 10人表决器电路

通过8人表决电路表决通过时电路状态的观察和验证,使用VHDL语言在FPGA平台实现10人表决器电路设计<sup>[6]</sup>。在8人表决器编程基础上修改程序,实现10人表决器电路的设计。编程中完成参与表决的每个人均可选择赞成、放弃或弃权。同时,增加了控制键,可增加专人在进行表决过程中的控制,实现了表决的开始、结束和数据的锁存<sup>[7]</sup>。

## 3 电路仿真

图3是8人表决器电路时序波形,从图中可看出程序实现了设计要求,在8人表决器程序的RTL生成电路界面显示有9个逻辑门和硬件资源组成电路。

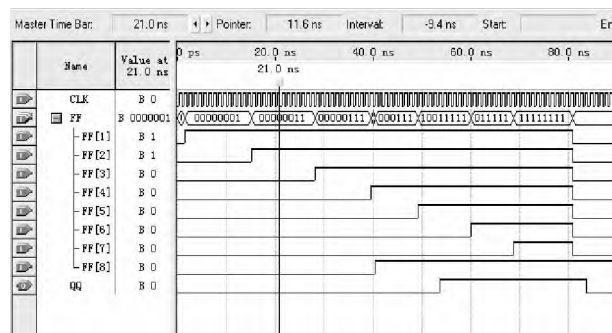


图3 8人表决器时序波形

按图4所示进行管脚锁定后,即可在实验箱上进行验证,将程序下载到实验平台后,获取实验结果,经验证符合设计要求。

	From	To	Assignment Name	Value	Enabled
1		CLK	Location	PIN_28	Yes
2		FF[1]	Location	PIN_233	Yes
3		FF[2]	Location	PIN_234	Yes
4		FF[3]	Location	PIN_235	Yes
5		FF[4]	Location	PIN_236	Yes
6		FF[5]	Location	PIN_237	Yes
7		FF[6]	Location	PIN_238	Yes
8		FF[7]	Location	PIN_239	Yes
9		FF[8]	Location	PIN_240	Yes
10		QQ	Location	PIN_1	Yes
11		AA[1]	Location	PIN_16	Yes
12		AA[2]	Location	PIN_15	Yes
13		AA[3]	Location	PIN_14	Yes
14		AA[4]	Location	PIN_13	Yes
15	<<0000>>	<<0000>>	<<0000>>		

图4 引脚锁定

图5为程序仿真结果。在10人表决器的RTL电路界面图中可看出,其比8人表决器程序的RTL电路界面图多出了一些硬件资源,若单独使用逻辑门设计电路将是一件复杂的工作,且不利于修改和测试<sup>[8]</sup>。

而使用EDA进行设计,还可方便地进行系统扩展,如上述程序中只需增加几个输出端口,将SUMA, SUMB, SUMC的值赋给相应端口,在外接数码管便可显示出赞成、反对、弃权的人数。或增加声音模块,使

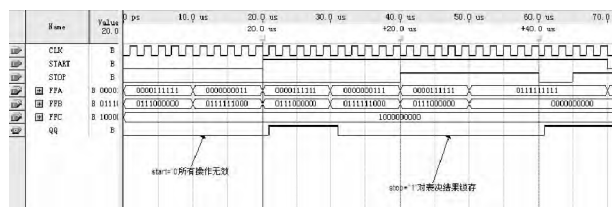


图5-10 10人表决电路仿真图

系统更具实用价值。而进行这些工作只需改变程序,加入现成的元器件即可<sup>[9]</sup>。

#### 4 结束语

电子表决器,做为投票系统中的客户端,是一种代表投票或举手表决的装置<sup>[10]</sup>。基于FPGA电子表决器的设计解决了传统投票表决方式存在投票耗时长、计票任务重,且易于出错、易受人控制等缺点,故在表决、选举中获得了广泛应用。

#### 参考文献

- [1] Stefan Sjöholm Le. 用VHDL设计电子线路[M]. 边计年,薛宏熙,译. 北京:清华大学出版社,2000.
- [2] 褚振勇,翁木云. FPGA设计与应用[M]. 西安:电子科技大学出版社,2002.
- [3] 潘松,黄继业. EDA技术与VHDL[M]. 北京:清华大学出版社,2007.
- [4] 马秀花,周又玲. 基于Quartus II的七人表决电路设计[J]. 无线互联科技,2011(12):31-33.
- [5] Gail Gray F. VHDL设计表示与综合[M]. 李宗伯,王蓉晖,译. 北京:机械工业出版社,2002.
- [6] 王锁萍. 电子设计自动化(EDA)教程[M]. 成都:电子科技大学出版社,2000.
- [7] 黄正谨,徐坚,章小丽,等. CPLD系统设计技术入门与应用[M]. 北京:电子工业出版社,2002.
- [8] 蒋璇,藏春华. 数字系统设计与PLD应用技术[M]. 北京:电子工业出版社,2001.
- [9] 王金明,杨吉斌. 数字系统设计与Verilog HDL[M]. 北京:电子工业出版社,2002.
- [10] 潘松,王国栋. VHDL实用教程[M]. 西安:电子科技大学出版社,2001.

(上接第60页)

冲重复周期。仿真结果表明,本文所述实现方法的任务安排合理,通用硬件资源利用充分。另外,通过对比图7和图8可得出,本文所述基于通用硬件脉冲压缩的实现结果与Matlab理论仿真结果一致,完成了既定的脉冲压缩功能。因此,上述基于通用硬件的数字脉冲压缩工程实现方案合理可行。

#### 4 结束语

介绍了基于通用硬件频域数字脉冲压缩的基本原理及工程实现方法。而针对工程实现方法又具体介绍了FPGA和DSP主要工作任务、功能及DSP主程序的软件流程。该方法已在某型雷达上成功应用,验证了该设计方法的有效性和可行性。

#### 参考文献

- [1] 徐玉芬. 现代雷达信号处理的数字脉冲压缩方法[J]. 现代雷达,2007,29(7):61-64.
- [2] 范伟时,孙合敏. 非线性调频脉压系统工程实现研究[J]. 雷达与对抗,2001(1):35-39.
- [3] 马晓岩,向家彬,朱裕生,等. 雷达信号处理[M]. 长沙:湖南科学技术出版社,1999.
- [4] 张丽娜. 某型米波三坐标雷达多通道数字脉压模块的工程实现[D]. 西安:西安电子科技大学,2010.
- [5] 闫冯军,朱德智. IQ时序故障对数字脉冲压缩的影响[J]. 电子科技,2010,23(4):55-57.
- [6] 宋晓风. 多普勒频移对线性调频信号脉冲压缩的影响[J]. 电子科技,2009,22(4):42-44,49.
- [7] 吴志毅,唐亚川. 雷达风速补偿与脉冲压缩速度补偿的设计[J]. 电子设计工程,2013,21(14):55-57.

## 《电子科技》欢迎投稿

《电子科技》杂志(月刊),设置栏目有:电子·电路、协议·算法及仿真、图像·编码与软件、保密及网络安全、光电·材料、专题综述等。欢迎业界专家、教授、学者及工程技术人员、教师、学生投稿。来稿应以反映当前国内外电子科学技术领域中的先进理论、创新成果及发展趋势,并有实际的应用背景,以及相应的实验结果。

投稿请登录: [www.dianzikeji.org](http://www.dianzikeji.org)

联系电话:029-88202440