

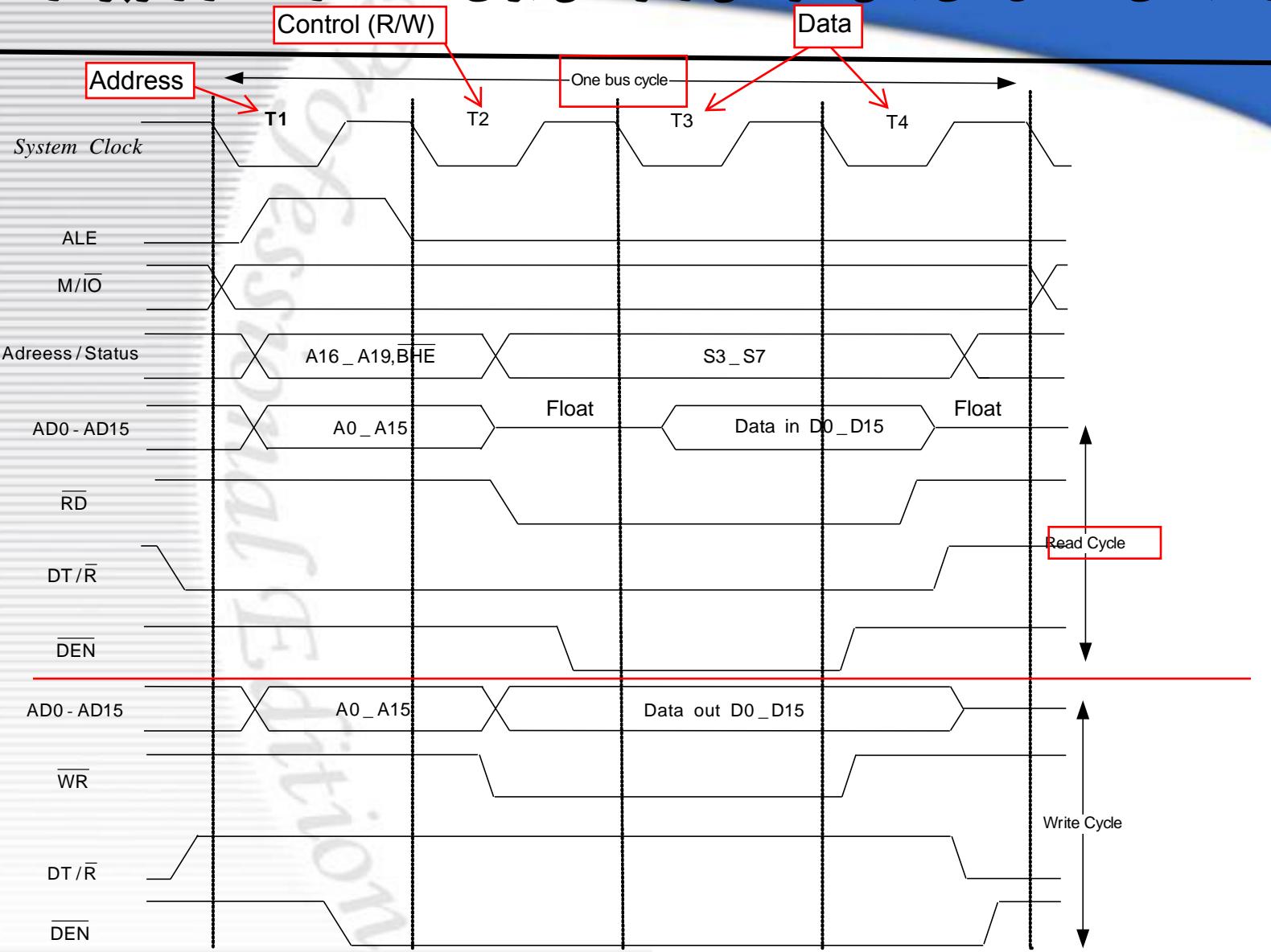


## انواع سیکل‌های باس (سیکل ماشین)

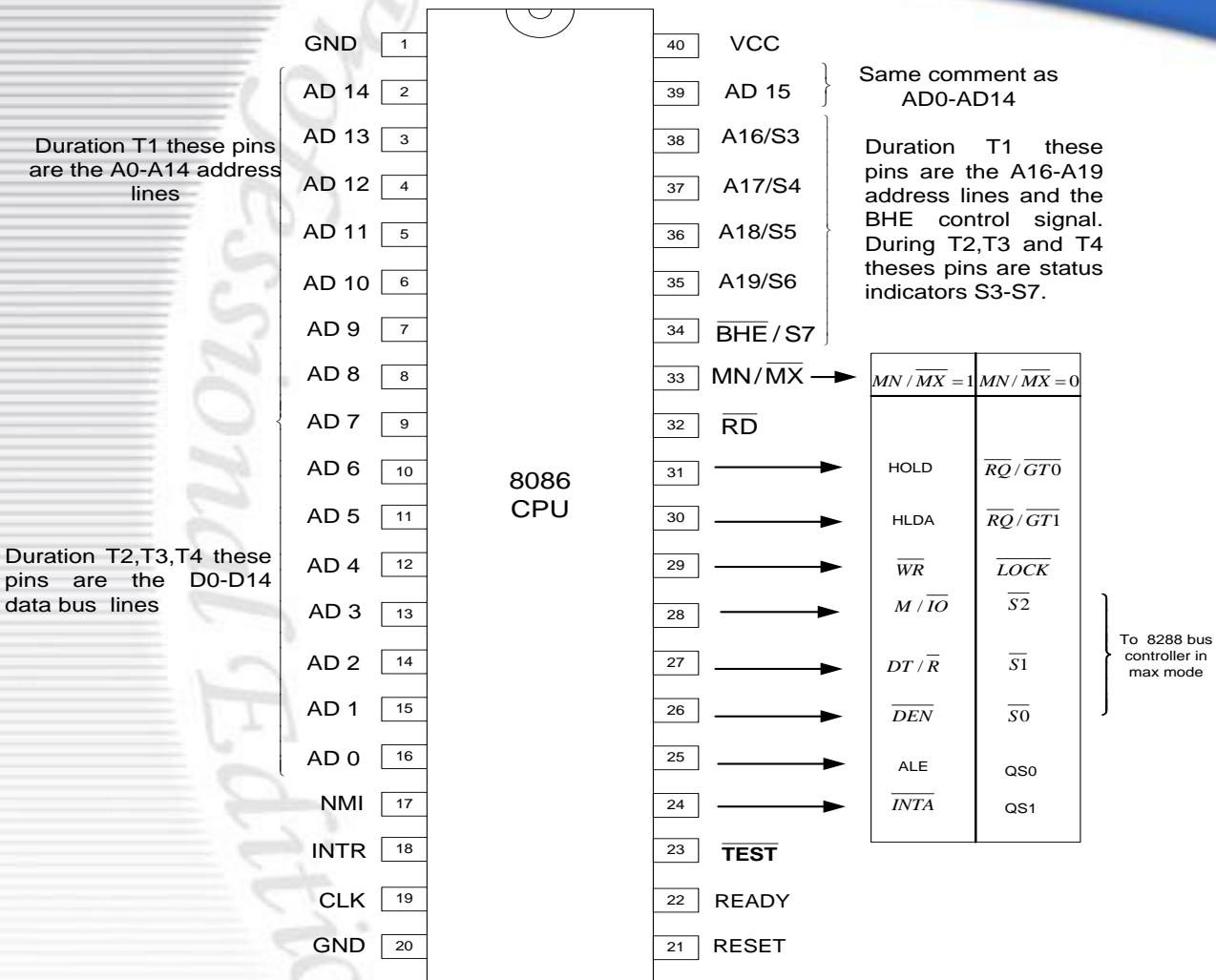
### انواع سیکل‌های باس

- سیکل خواندن از حافظه (MR)
- سیکل نوشتن در حافظه (MW)
- سیکل خواندن از I/O (IOR)
- سیکل نوشتن در I/O (IOW)
- سیکل باس بیکار (عملیات داخل CPU) انجام می‌شود که نیازی به دسترسی به باس ندارد

# زمانبندی سیکل‌های باس خواندن و نوشتن برای حافظه و IO در ریزپردازنده ۸۰۸۶



# توصیف پایه‌های ۸۰۸۶



شكل ۲

## توصیف پایه‌های ۸۰۸۶

- ویژگی جالب توجه ۸۰۸۶، توانایی کارکرد در دو مد کاری حداقل و حداکثر است.
- مد حداقل برای یک سیستم ساده تک‌پردازنده‌ای بر روی یک مدار چاپی در نظر گرفته شده است.
- در حالیه مد حداکثر برای یک سیستم پیچیده‌تر که بردهای جداگانه‌ای برای واحدهای حافظه و I/O دارند مطلوب است.
- مد حداکثر پردازنده‌های کمکی همچون ۸۰۸۷ (NDP) مخصوص انجام عملیات ریاضی خاص و ۸۰۸۹ (IOP) که مخصوص مدیریت و ارتباط با وسایل جانبی چون دیسک سخت است را پشتیبانی می‌کند.

NDP: Numerical Data Processor

IOP: I/O Processor

## توصیف پایه‌های ۸۰۸۶

در ۸۰۸۶ از مالتیپلکس زمانی برای رفع مشکل کمبود پایه‌ها استفاده شده است.

پایه‌های داده (به نام AD0-AD15) در حین پالس ساعت T1 حاوی خطوط آدرس هستند.

پایه‌های داده در پالس های T2 تا T4 حاوی خطوط داده هستند.

مدار دی مالتیپلکس ویژه‌ای برای استخراج داده و آدرس به طور مجزا لازم است.

## توصیف پایه‌های ۸۰۸۶

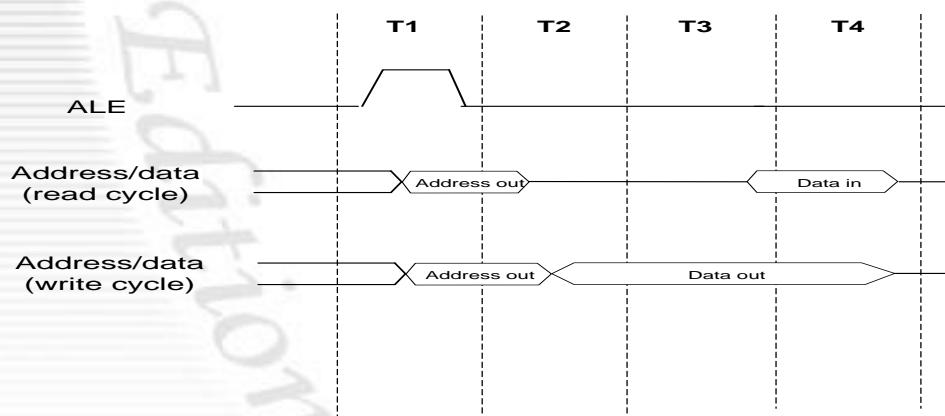
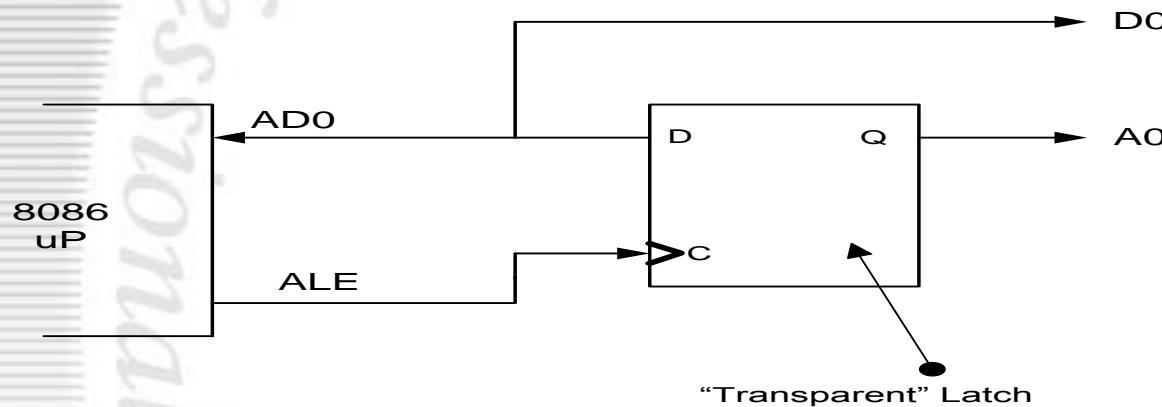
باس داده **AD0-AD15**: این ۱۶ پایه باس داده دو جهته CPU را تشکیل می‌دهند. این خطوط تنها در بازه زمانی سیکل‌های حالت T1 تا T4 معتبر هستند. در زمان سیکل حالت T1 این خطوط ۱۶ بیت کم ارزش آدرس حافظه یا پورت را نگه می‌دارند.

باس آدرس **AD0-AD15 و A16/S3-A19/S6**: این خطوط مربوط به ۲۰ بیت آدرس CPU هستند و به پردازنده اجازه دسترسی به ۱۰۴۸۵۷۶ مکان حافظه (1MB) را می‌دهند. این خطوط خروجی تنها در زمان سیکل حالت T1 معتبر بوده و در زمان سیکل‌های T2 تا T4 به خطوط داده و وضعیت سوئیچ می‌کنند.

**ALE (Address Latch Enable)**: سیگنال خارج شده بر این پایه را می‌توان برای دی‌مالتی‌پلکس کردن خطوط آدرس، داده و وضعیت بر A16/S3-A19/S6 ، AD0-AD15 بکار برد. هر سیکل با یک پالس ALE در حین سیکل حالت T1 شروع می‌شود. تقریباً نزدیک به انتهای T1، که ALE از سطح بالا به پایین می‌رود، ۲۰ بیت آدرس معتبر هستند. لذا این سیگنال را می‌توان به عنوان پالس لج‌کننده آدرس بکار برد.

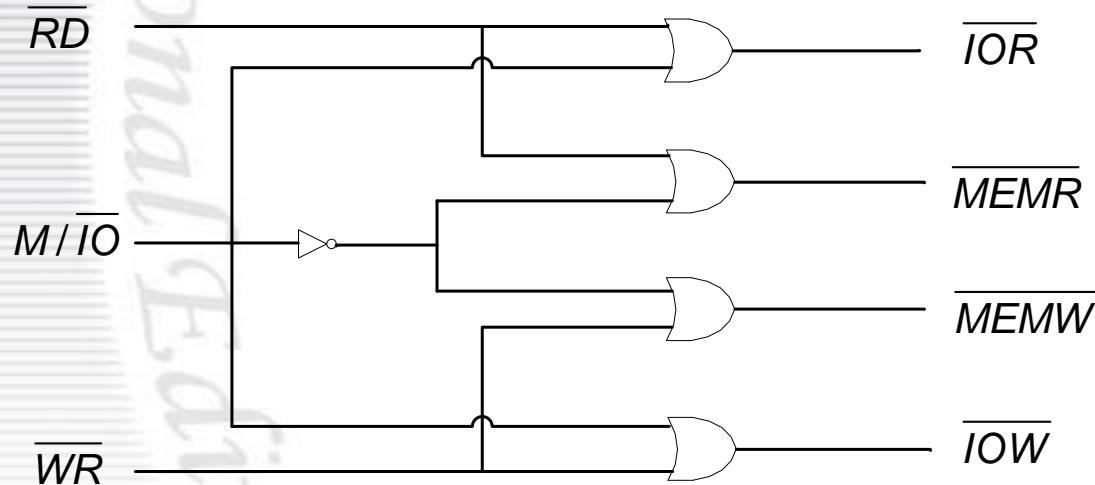
# توصیف پایه‌های ۸۰۸۶

در شکل زیر نحوه لچ کردن یک خط آدرس/داده (خط AD0)، در زمانی که آدرس بر روی خط قرار دارد نشان داده شده است.

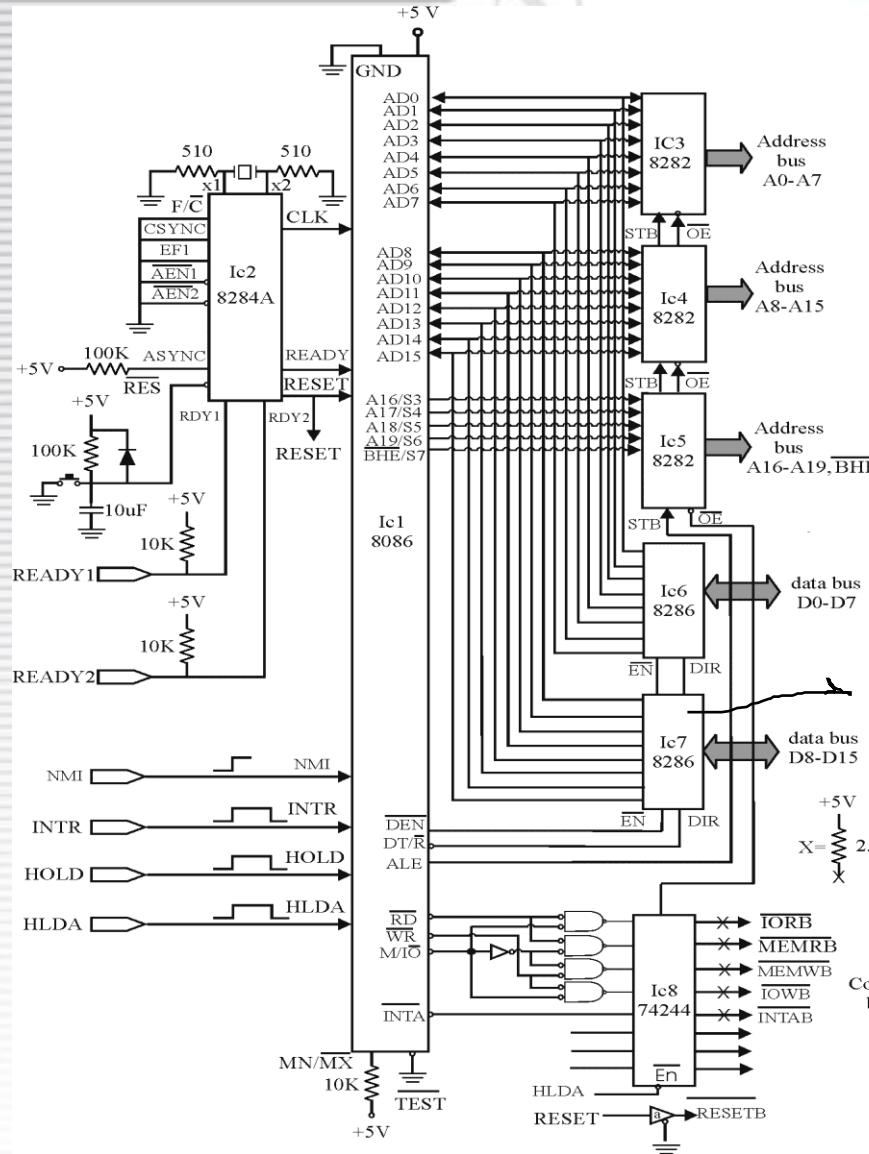


## توصیف پایه‌های ۸۰۸۶

- تولید چهار سیگنال مورد نیاز برای کنترل حافظه و ورودی-خروجی به منظور نوشتن و خواندن از آنها بصورت زیر صورت می‌گیرد:



# سخت افزار مبتنی بر ریز پردازنده ۸۰۸۶



نحوه اتصال  
آدرس/داده به لچهای  
دیمالتی پلکسر و جداسازی  
اطلاعات آدرس

from 8282 datasheet

Buf  
3 state

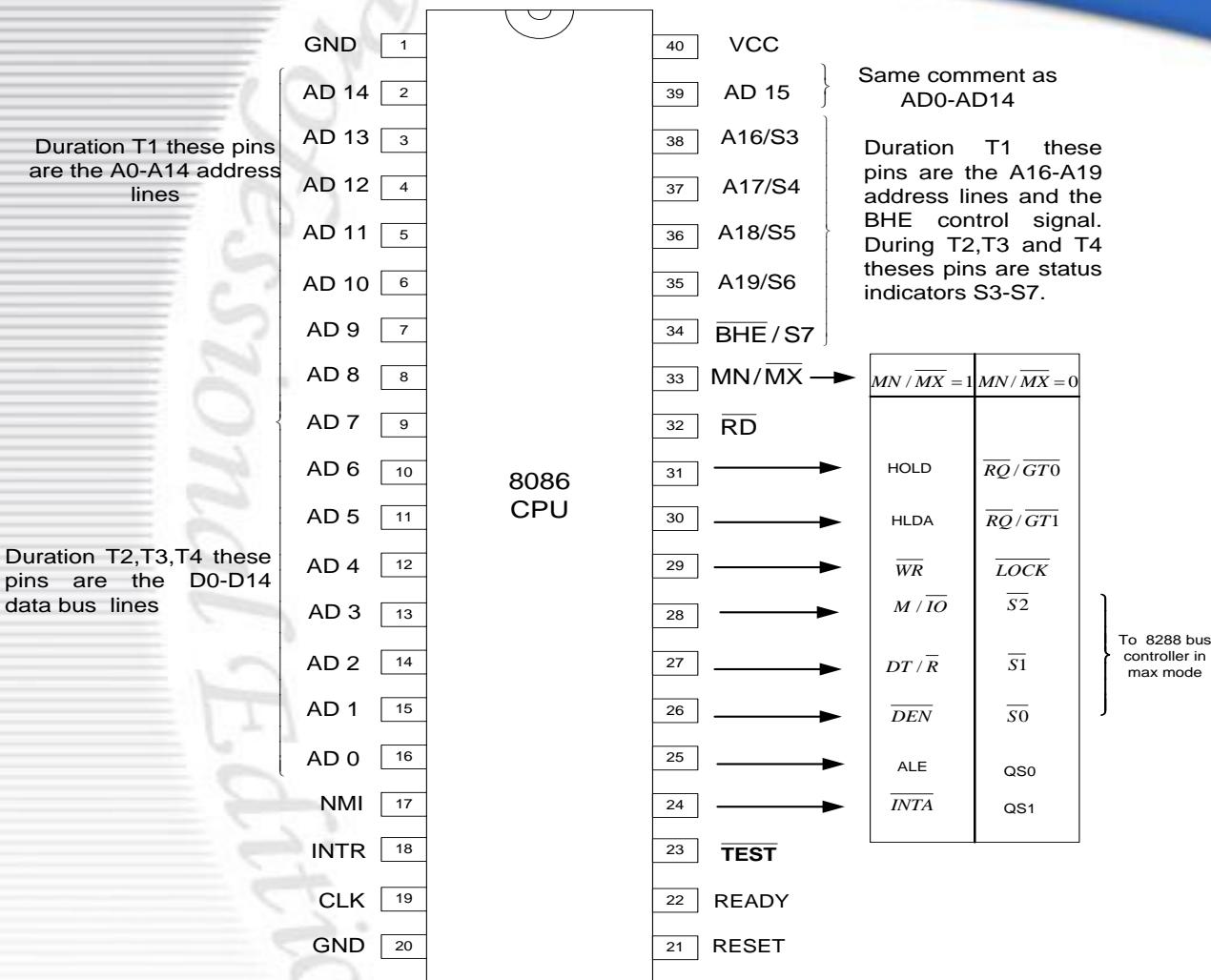
from 8286 datasheet

## توصیف پایه‌های ۸۰۸۶

- پایه‌های وضعیت S3 و S4 نشان دهنده آن هستند که در یک لحظه زمانی خاص چه ثبات سگمنتی توسط واحد BIU برای تولید آدرس فیزیکی در حال استفاده است.
- کارکرد پایه‌های S5، S6 و S7 نیز در جدول زیر مشخص شده‌اند:

S4	S3	دسترسی سیکل باس
0	0	سگمنت اضافی
0	1	سگمنت پشته
1	0	سگمنت کد (یا هیچکدام)
1	1	سگمنت داده
(پرچم فعال‌سازی وقفه).		
S5, IF (بیان می‌کند که باس در اختیار ۸۰۸۶ است).		
S6, 0 (بیان می‌کند که باس در اختیار ۸۰۸۶ است).		
S7, (بیت زاپاس است و کاربردی ندارد).		

# توصیف پایه‌های ۸۰۸۶



شکل ۲

# توصیف پایه‌های ۸۰۸۶

## توصیف پایه Bus high enable

Low شدن این پایه، دسترسی به بانک بالا (بانک آدرس‌های فرد) را فراهم می‌کند.

BHE	A <sub>0</sub>	Characteristics
0	0	Whole word
0	1	Upper byte from/to odd address
1	0	Lower byte from/to even address
1	1	None

## توصیف پایه‌های ۸۰۸۶

### پایه : (DT/R ) Data transmit/receive

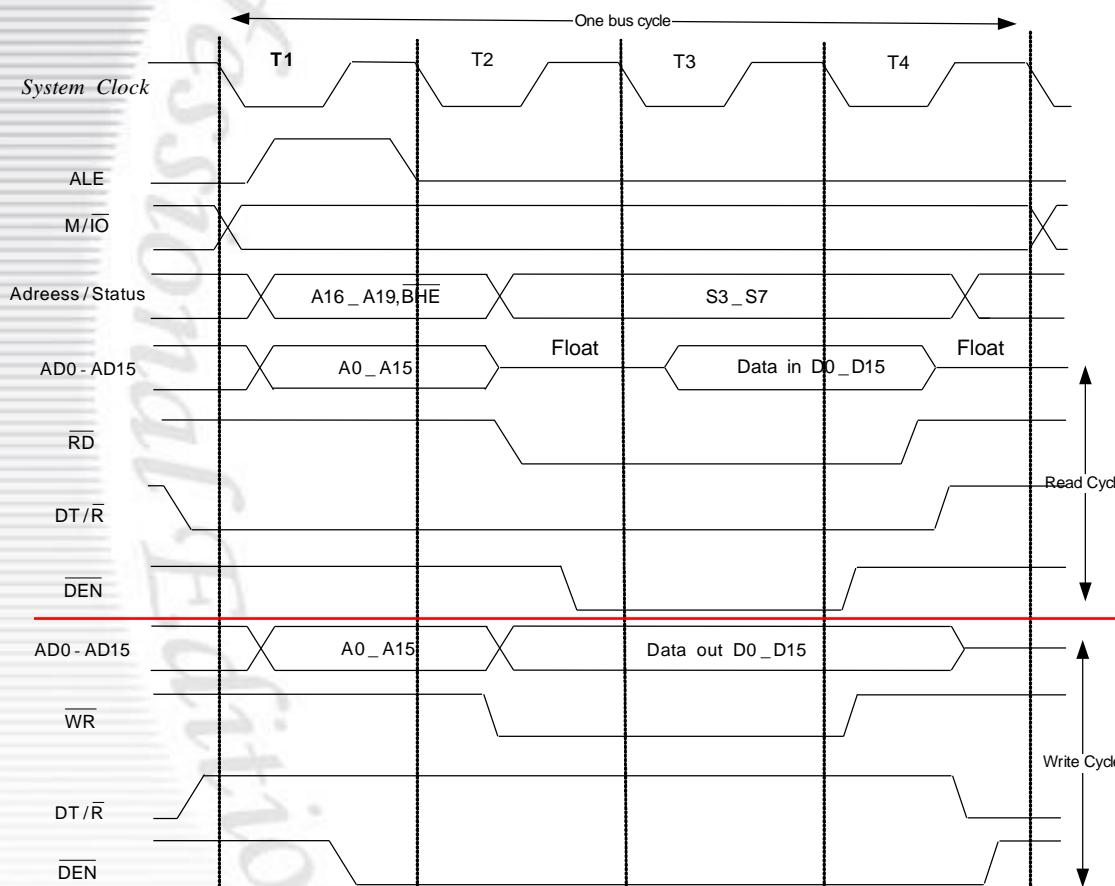
- این سیگنال برای کنترل جهت انتقال داده در بافرهایی که ممکن است به بس داده سیستم متصل شده باشند، بکار می‌رود.
- اگر این پایه در سطح پایین (low) قرار گیرد، عملیات خواندن و اگر در سطح بالا قرار گیرد بیانگر عملیات نوشتن خواهد بود.
- بافرهای دو جهته برای این منظور بکار گرفته می‌شوند.

### پایه : ( DEN )Data enable

- این سیگنال به همراه DT/R برای فعال کردن مجموعه‌ای از بافرهای متصل شده به بس داده سیستم بکار می‌رود.
- این سیگنال از درگیری در بس که ممکن است به خاطر تلاش هم‌زمان دو مدار برای نوشتن در یک خط بس به وجود آید جلوگیری می‌کند.
- بافرهای بس داده تا سیکل حالت T2 غیرفعال خواهند بود و بعد از آن خطوط آدرس/داده درگیر، حامل آدرس حافظه یا پورت نخواهند بود.

# زمانبندی سیکل‌های باس

زمانبندی سیکل‌های باس خواندن و نوشتن برای حافظه و IO در ریزپردازنده ۸۰۸۶



## توصیف پایه‌های ۸۰۸۶

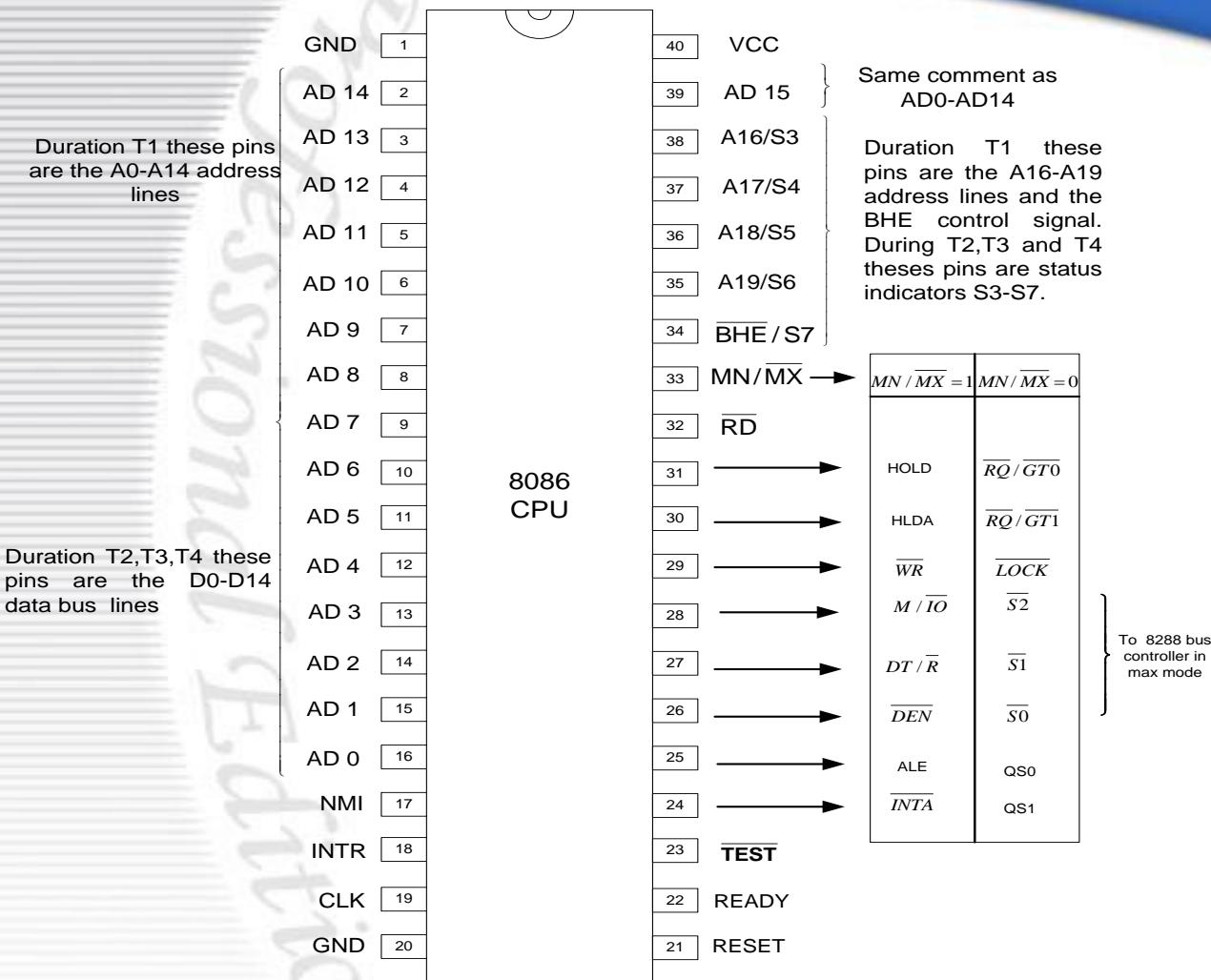
پایه  $\overline{MN/MX}$  برای تعیین حالت حداقل/حداکثر (Minimum/maximum mode)

- ۸۰۸۶ می‌تواند در یکی از مدهای حداقل یا حداکثر کار کند.
- عملکرد پایه‌های ۲۴ تا ۳۲ بسته به مد کاری ریزپردازنده دارند و با تغییر سطح سیگنال اعمالی به پایه  $\overline{MN/MX}$  عملکرد این پایه‌ها تغییر می‌کند.

پایه بازنشانی (Reset):

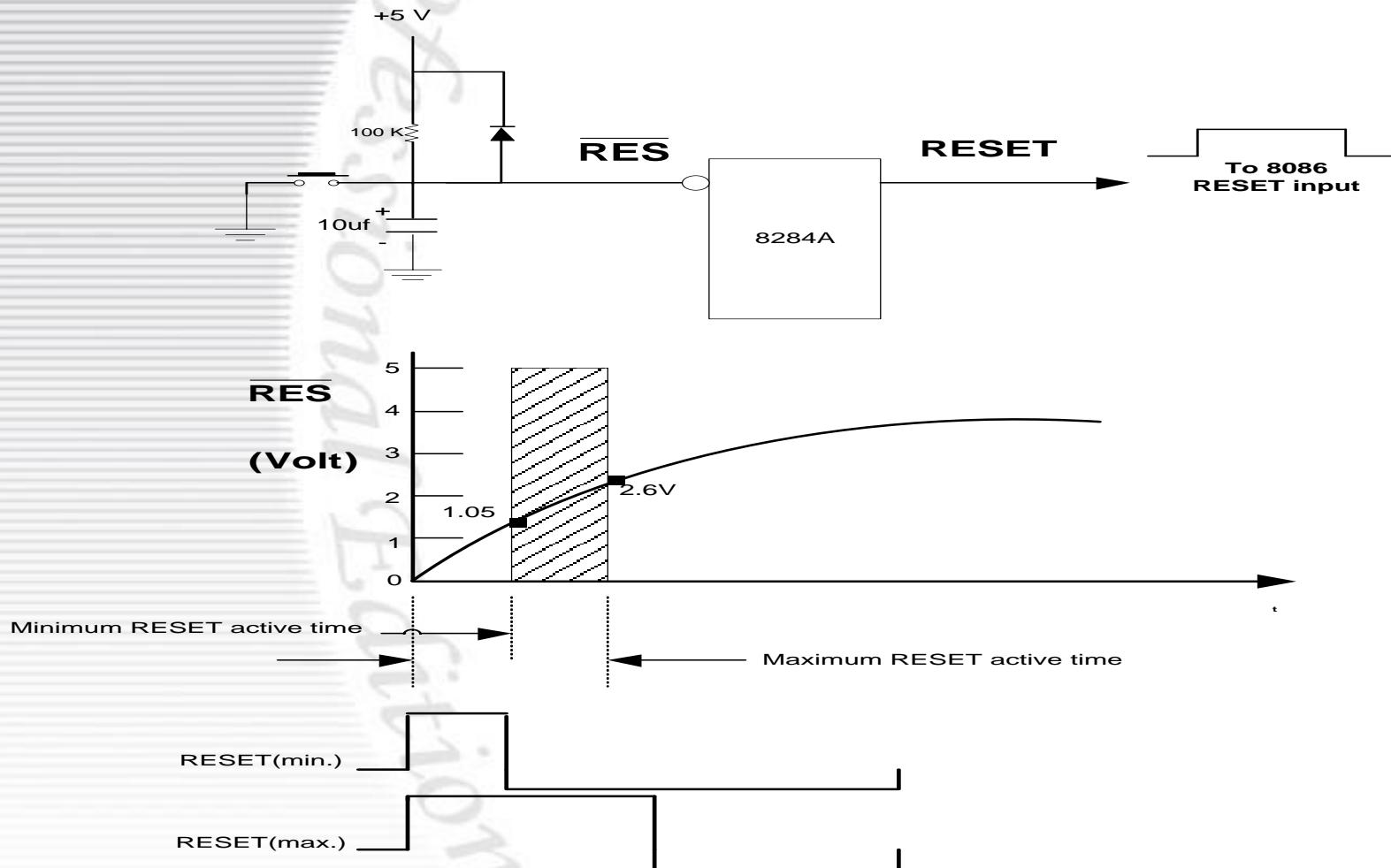
- زمانی که یک پالس با سطح بالا به این ورودی اعمال شود، ۸۰۸۶ فعالیت جاری خود را خاتمه داده و یک عمل بازنشانی را اجرا می‌کند.
- با هر بازنشانی وضعیت کار قبلی ریزپردازنده از بین خواهد رفت.
- بازنشانی معمولاً زمانی که ریزپردازنده روشن می‌شود یا زمانی که دچار خطا شده است، انجام می‌گردد.

# توصیف پایه‌های ۸۰۸۶



شكل ۲

# بازنشانی ۸۰۸۶ با کمک تراشه 8284A



# بازنشانی ریزپردازنده ۸۰۸۶

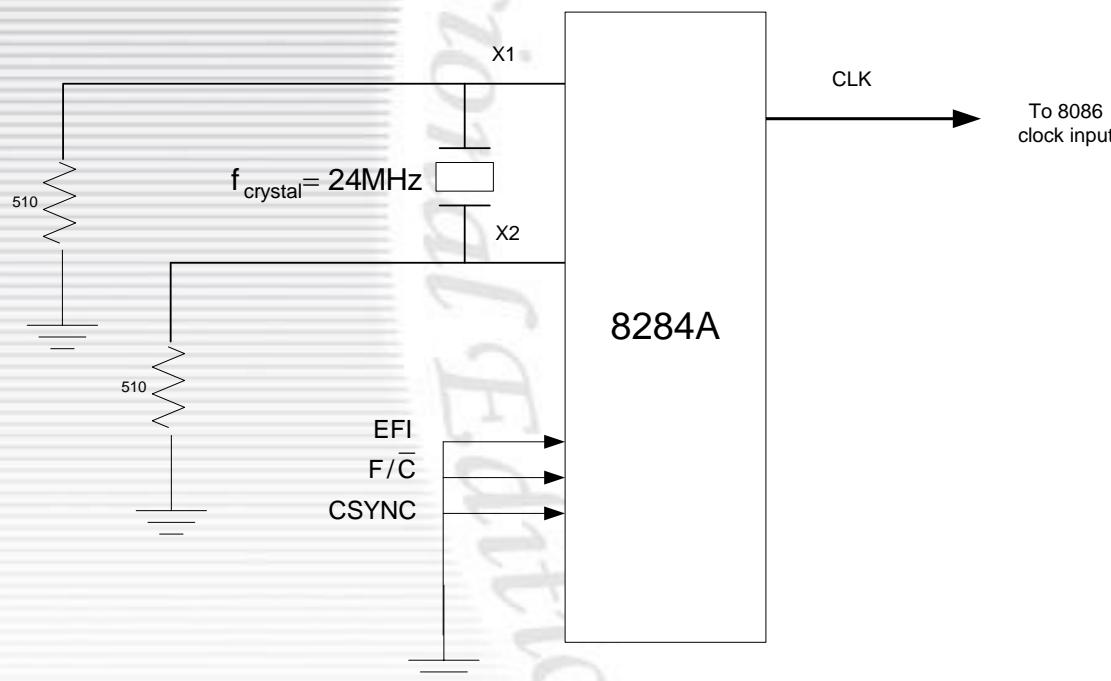
وضعیت ریزپردازنده بعد از بازنشانی

CPU	محتوا
پرچم ها	پاک می شوند
ثبت اشاره گر دستورالعمل (IP)	0000H
CS ثبات	FFFFH
DS ثبات	0000H
SS ثبات	0000H
ES ثبات	0000H
صف	تهی

# توصیف پایه‌های ۸۰۸۶

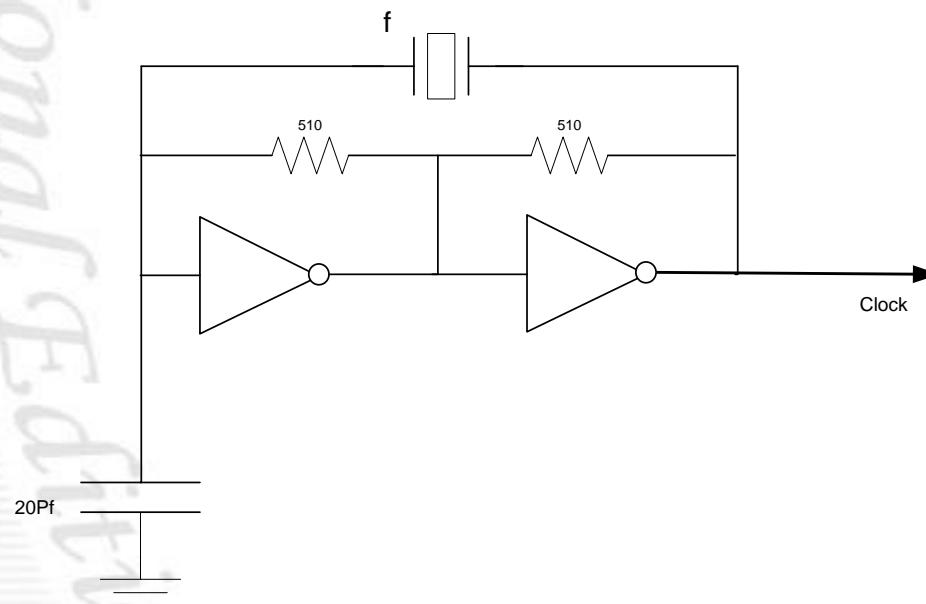
پایه **CLK**: سیگنال ساعت از طریق این پایه به ریزپردازنده اعمال می‌شود.

مدار زیر برای تولید سیگنال ساعت توسط تراشه 8284A بکار می‌رود:



# توصیف پایه‌های ۸۰۸۶

تولید سیگنال ساعت خارجی توسط گیت NOT :



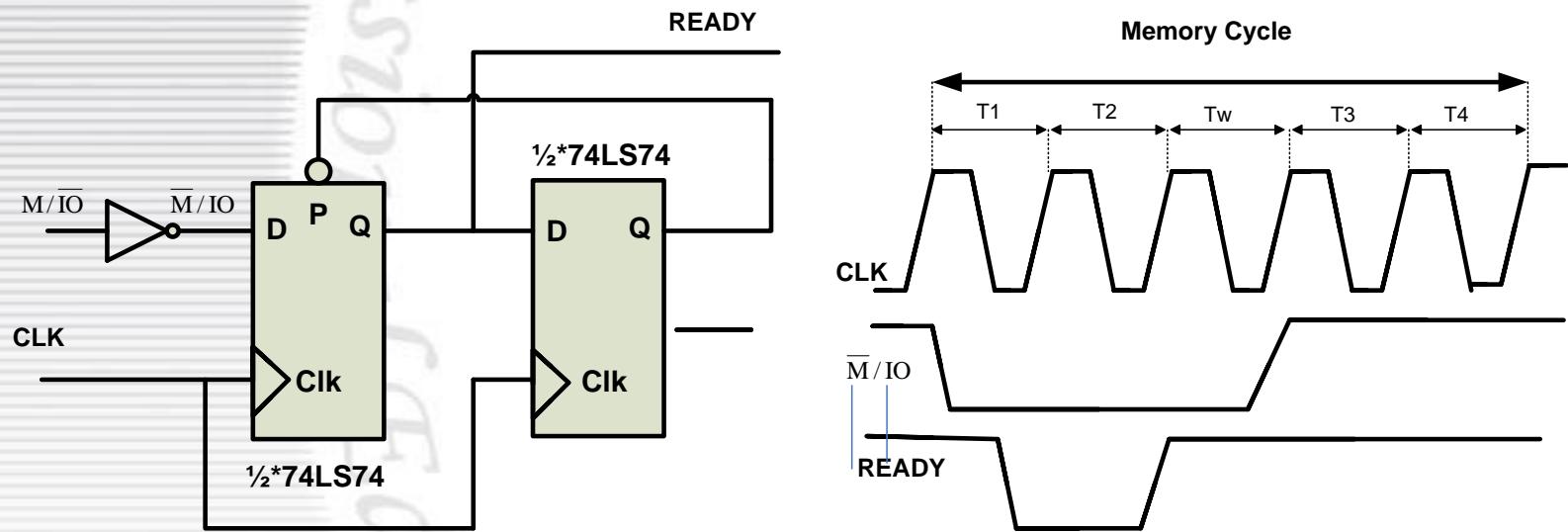
# توصیف پایه‌های ۸۰۸۶

## پایه READY:

- سیگنال READY در لبه بالا رونده T2 نمونه‌برداری می‌شود. اگر این سیگنال در سطح پایین بود (آماده نبودن) یک سیکل حالت T3 دیگر اضافه می‌شود.
- این سیکل آنقدر تکرار می‌شود تا سرانجام سیگنال READY در سطح بالا قرار گیرد. سیگنال READY را معمولاً حافظه‌ها و ورودی/خروجی‌های کندي که نمی‌توانند داده را به سرعت زمان‌بندی CPU آماده کنند بکار می‌گيرند.

# ۸۰۸۶ توصیف پایه‌های

مدار تولید سیگنال **READY** به مدت یک سیکل ساعت در زمان مراجعه به حافظه:



در صورت نیاز به low بودن سیگنال **READY** برای مدت ۲ سیکل ساعت، باید یک عدد فلیپ فلاب پ بعد از فلیپ فلاب سمت راست اضافه گردد و خروجی آن به **Preset** فلیپ فلاب اول متصل شود.

# توصیف پایه‌های ۸۰۸۶

پایه‌های وقفه (Interrupt) :

- درخواست‌های وقفه سخت‌افزاری هستند که دقیقاً مثل وقفه‌های نرم‌افزاری عمل می‌کنند.
- NMI حساس به لبه بالا رونده است و INTR حساس به سطح بالا است.
- ورودی INTR را می‌توان با تغییر دادن مقدار بیت پرچم IF پوشاند (غیر فعال کرد) ولی ورودی NMI قابل پوشش نبوده و لذا همواره باید سرویس‌دهی شود و معمولاً این وقفه برای مسائل حیاتی سیستم مثل بروز خطا در تغذیه توان سیستم یا سیستم حافظه بکار می‌رود.
- پایه INTA یک پایه خروجی است و زمانی که وقفه INTR پذیرفته شود Low می‌شود.

# توصیف پایه‌های ۸۰۸۶

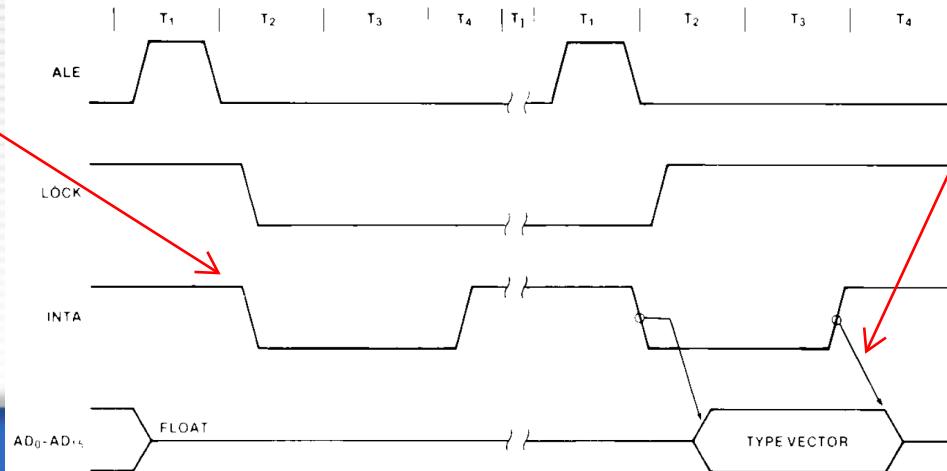
وقتی NMI فعال می‌شود، کنترل برنامه به طور خودکار به مکانی از حافظه که آدرس آن در محدوده آدرس 00008-0000BH قرار دارد منتقل می‌شود.

وقتی INTR فعال می‌شود، یک سیکل تایید وقفه انجام می‌شود. این کار شبیه خواندن از حافظه است ولی با این تفاوت که به جای سیگنال RD، سیگنال INTA فعال می‌شود.

CPU بعد از آن انتظار دارد یک عدد ۸ بیتی که بیانگر نوع وقفه است بر بیت‌های کم ارزش باس داده قرار گیرد. بعد از آن کنترل برنامه به مکانی از حافظه که آدرس آن در مکان "۴\*۴\*۳" عدد بیانگر نوع وقفه" تا "۴\*۴\*۳" عدد بیانگر نوع وقفه" قرار دارد منتقل می‌شود.

During the response sequence the processor executes two successive (back-to-back) interrupt acknowledge cycles.

The 8086 emits the LOCK signal from T2 of the first bus cycle until T2 of the second. A local bus "hold" request will not be honored until the end of the second bus cycle



## توصیف پایه‌های ۸۰۸۶

: این ورودی با دستور WAIT بکار می‌رود.

هنگام مواجهه با دستور WAIT، اگر ورودی  $\overline{Test}$  در سطح بالا باشد، اجرای برنامه‌ها به حالت تعویق درآمده و CPU وارد مد بیکار می‌شود.

تنها زمانی که این ورودی به سطح پایین برگردد، اجرای برنامه با دستور بعد از WAIT ادامه می‌یابد.

معمولا راهاندازی ورودی  $\overline{Test}$  را تراشه کمکی ۸۰۸۷ که مخصوص انجام محاسبات ریاضی پیچیده است (NDP) انجام می‌دهد. لذا دستور WAIT بعد از دستوراتی به کار می‌رود که در آنها به داده‌هایی ارجاع داده می‌شود که ۸۰۸۷ بر آنها کار کرده است.

با بررسی این سیگنال از دسترسی CPU به نتیجه حافظه، قبل از آنکه NDP عملیات محاسباتی را به پایان رساند، جلوگیری به عمل می‌آید.

## توصیف پایه‌های ۸۰۸۶

یک ورودی است که در سطح بالا فعال شده و باعث می‌شود HOLD : (HOLD and HLDA) CPU همه خطوط بس خود را در وضعیت مدار باز قرار دهد. این کار ارتباط CPU را از حافظه و I/O قطع می‌کند و پردازشگر دومی می‌تواند به آنها دسترسی داشته باشد.

این کار را "دسترسی مستقیم به حافظه (DMA)" گویند. سیگنال کنترلی خروجی HLDA درخواست DMA را برای کنترل کننده DMA تایید می‌کند.

به یک تغذیه ۵ ولتی نیاز دارد و دارای دو پایه زمین می‌باشد. مصرف (VCC and GND) توان آن به ازای سرعت‌های مختلف تراشه در جدول ۱ آمده است.

**Hold and hold acknowledge**

**Power and Ground**

## توصیف پایه‌های ۸۰۸۶

### پایه :LOCK

- قراردادن پیشوندی بنام Lock در مقابل یک دستورالعمل موجب می‌شود که در زمان اجرای آن دستورالعمل، پایه خروجی به همان نام LOCK فعال شده و به ریزپردازندۀ ها و وسایل بیرونی بفهماند که در زمان اجرای آن دستورالعمل تقاضای باس ننمایند.

# مشخصات سرعت و توان مصرفی نسخه‌های مختلف ۸۰۸۶

پردازنده	$f_{max}$ (MHz)	$I_{CC(max)}$ mA	توان تلفاتی W
۸۰۸۶	۵	۳۴۰	۱.۷
۸۰۸۶-۲	۸	۳۵۰	۱.۷۵
۸۰۸۶-۱	۱۰	۳۶۰	۱.۸
۸۰۸۸	۵	۳۴۰	۱.۷
۸۰۸۸-۲	۸	۳۵۰	۱.۷۵
P۸۰۸۸	۵	۲۵۰	۱.۲۵

جدول ۱

