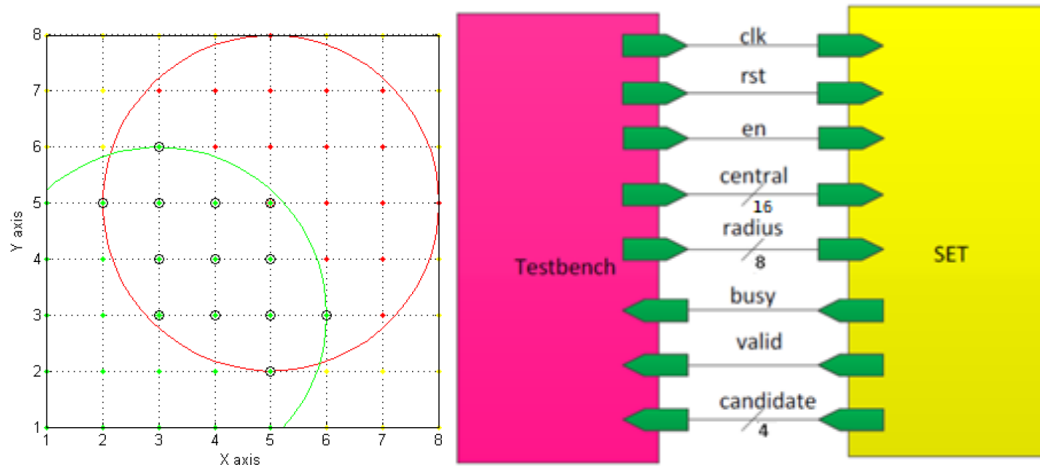


2021 ICD HW2 & 3 – Digital IC Design

Counting the Number of United Vertex Covers

1. 問題描述

本題目須完成利用所提供之圓形圖，計算 A、B 兩個集合交集所覆蓋的格子點個數。此測試模組之 10x10 座標系統 x,y 座標範圍落在 0~9 之間。如下圖一所示，在座標系統內有兩圓形，其中 A、B 圓心座標分別為(3,3)及(5,5)，半徑 $r=3$ ，其交集所涵蓋(包含剛好坐落在圓周上的點)的 10x10 中每一整數座標點形成一個集合為 $A \cap B = \{\dots\}$ ，|集合 $A \cap B$ | 則表示所涵蓋的元素數量，電路最後輸出此集合內的元素個數 13。(兩圓 r 可能不同，其中圓心座標與半徑皆是整數。)



圖一、二維座標系統與系統方塊圖

2. 設計規格

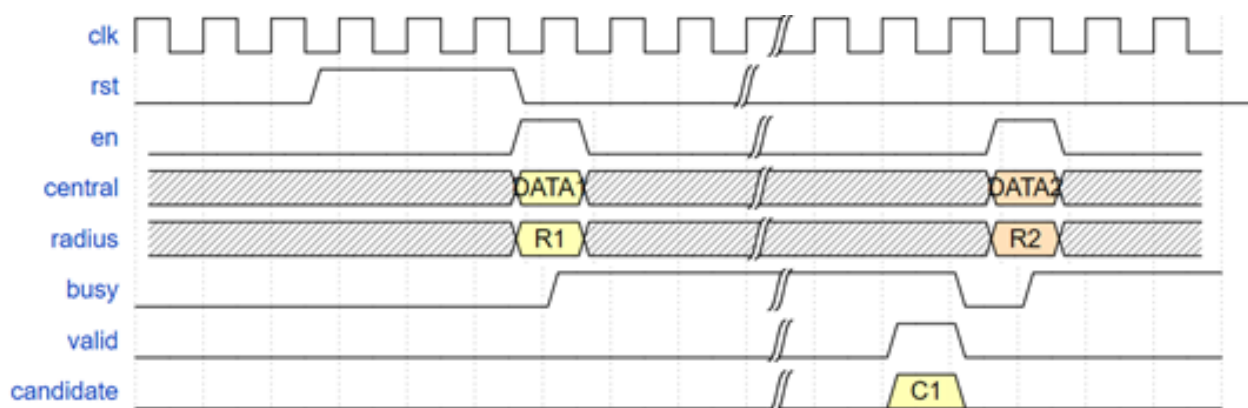
信號名稱	輸出/入	位元寬度	說明
<i>clk</i>	<i>Input</i>	1	時脈信號，本系統為同步於時脈正緣設計
<i>rst</i>	<i>Input</i>	1	高位準非同步(active high asynchronous)之系統重置訊號
<i>en</i>	<i>Input</i>	1	當 <i>en</i> =1 時，輸入的 <i>central</i> 及 <i>radius</i> 為有效訊號
<i>central</i>	<i>Input</i>	16	集合座標資料。其組成為 {x,y, x,y}，其中 <i>central</i> [15:8]：為 A 集合的 X,Y 軸座標 <i>central</i> [7:0]：為 B 集合的 X,Y 軸座標
<i>radius</i>	<i>Input</i>	8	集合半徑資料。 <i>radius</i> [7:4] 為 A 集合的半徑值 <i>r</i> <i>radius</i> [3:0] 為 B 集合的半徑值 <i>r</i>
<i>busy</i>	<i>Output</i>	1	系統忙碌指示訊號。當此訊號為 1 時表示系統為忙碌中。
<i>valid</i>	<i>Output</i>	1	當 <i>valid</i> =1 時，輸出訊號為有效訊號，testbench 會檢查 <i>candidate</i> 是否正確
<i>candidate</i>	<i>Output</i>	4	輸出題目所指定的元素個數

表一、輸入/輸出訊號

3. 系統功能描述

當 reset 結束後。每當測試模組偵測到 busy=0 且經時脈訊號負緣觸發時會立刻送出輸入致能訊號 en、集合座標資料 central 及集合半徑資料 radius；而當 en=1 且經時脈訊號正緣觸發之 central 及 radius 為有效輸入訊號。系統需在接收到有效輸入訊號後將 busy 拉為 1 表示系統忙碌中，並計算出其集合空間裡所涵蓋的元素個數（10x10 座標系統外的不須理會）。接著系統須將 valid 拉為 1 並同時將前述計算完成之集合座標點數目利用 candidate 訊號輸出。接著請再次將 busy 設定為 0 表示系統閒置，測試模組將在偵測到 busy=0 且經時脈訊號負緣觸發後輸出下一筆待測訊號。

詳細的時序圖請參考圖三。



圖三、系統時序圖

4. 檔案說明

檔名	說明
testbench.v	測試樣本檔，此 testbench 共輸入 64 組測資
SET.v	設計檔，請勿更改輸入輸出宣告，同學請於此檔案內做設計
./dat/Central_pattern.dat	Central 測試樣本
./dat/Radius_pattern.dat	Radius 測試樣本
./dat/candidate_result_Length.dat	Candidate 比對樣本
sythesis.tcl	合成用 design constraint 資料，可在裡面修改 cycle
.synopsys_dc.setup	合成用 Design compiler 環境設定檔(不須更動)
tsmc13.v	合成模擬用製程檔
./layout/SET_APR.sdc	APR 用 design constraint 資料，可在裡面修改 cycle
./layout 其餘檔案&.library	APR 用資料(不須更動)
.syn/tsmc13_neg.v	APR 模擬用製程檔