

HDL & FPGA

Bài tập về nhà

May 2024

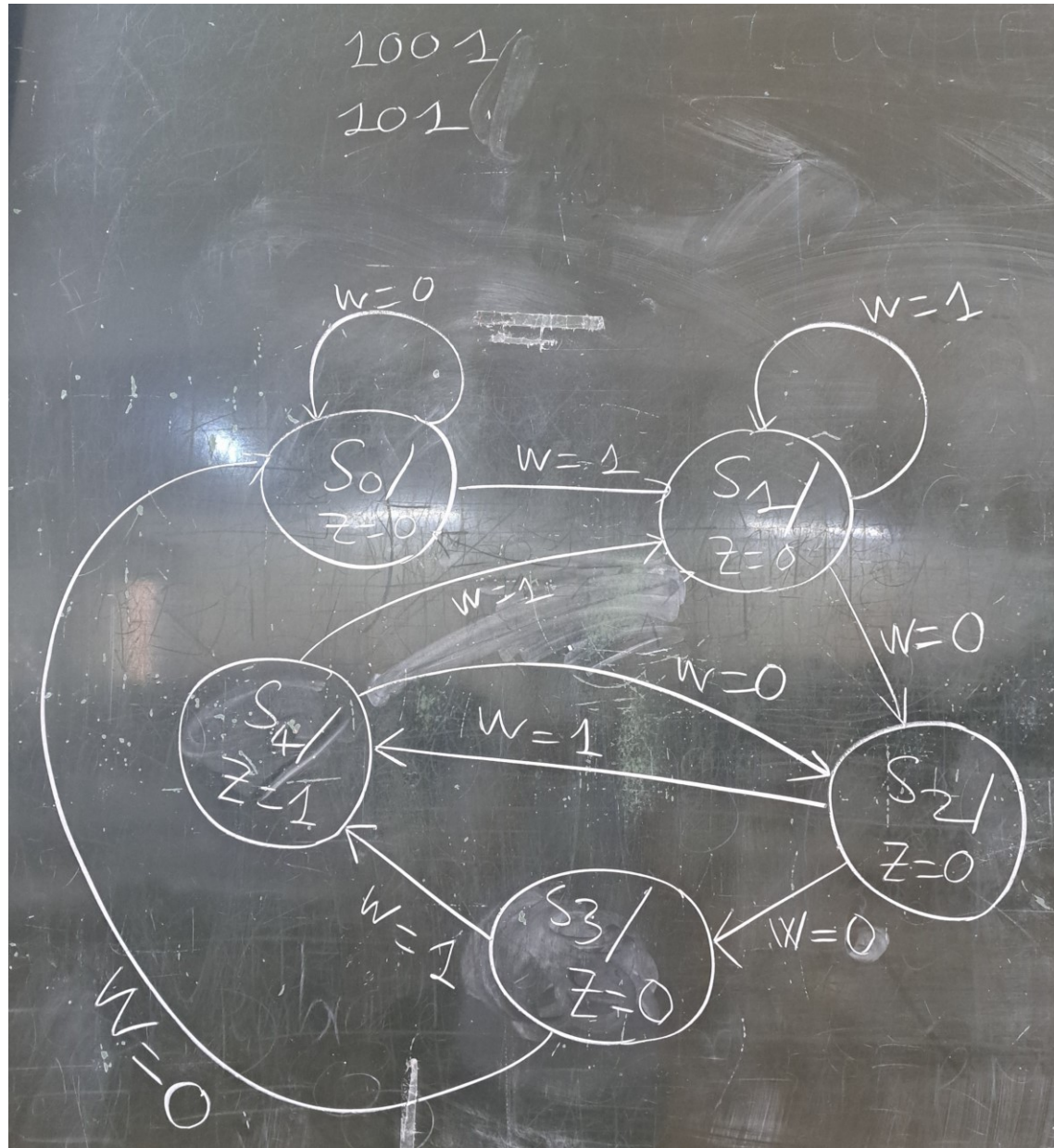
Yêu cầu

- SV thực hiện các bài tập cá nhân được mô tả ở các slide tiếp theo (3 bài)
- SV nộp bài tập dạng bản in, báo cáo gồm các phần :
 - Sơ đồ khối hệ thống,
 - Giảm đồ máy trạng thái (nếu có),
 - Chương trình Verilog thực hiện thiết kế
 - Chương trình Verilog thực hiện Test Bench
 - Kết quả mô phỏng trên phần mềm (ModelSIM, ISIM hoặc phần mềm mô phỏng phù hợp),
 - Kết luận: nhận xét chung về ứng dụng của mạch, ưu nhược điểm (nếu có), trình bày hướng phát triển, những kiến nghị và đề xuất (nếu có),
 - Tài liệu tham khảo (nếu có).
- **Ngày nộp bài tập: Buổi học cuối cùng.**
- Lưu ý: có thể đổi màu cửa sổ Wave sang màu trắng hay sáng hơn để thuận tiện khi in báo cáo → tham khảo cách làm ở slide cuối

Bài tập 1: Sequence Detector 2

- Design a sequence detector circuit that operates as follows:
 - The circuit has 1 input signal w , 1 output signal z , 1 clock signal clk (rising edge), 1 reset signal active high
 - output signal $z = 1$ if input sequence $w = "1001"$ or $w = "101"$
 - otherwise, the output signal $z = 0$
- Requirements:
 - Draw the block diagram of the circuit/FSM
 - Draw the state transition diagram of the FSM (Hint: 5 states)
 - Write Verilog HDL code for the FSM
 - Write test bench to verify the operation of the FSM

State Diagram {1001 or 101}



Bài tập 2. Counter 10

Thiết kế module đếm 10 thực hiện mạch đếm đồng bộ đếm 10 (đếm từ 0 đến 9) cho phép đếm lên/xuống với các tín hiệu vào ra được mô tả như sau:

- **Clk**: xung Clock tác động theo sườn lên, mỗi khi có một sườn lên của xung clock mạch sẽ đếm lên hay xuống tùy thuộc vào tín hiệu **D**.
- **RESET**: tín hiệu xóa bộ đếm về 0, tích cực mức 1
- **D**: tín hiệu điều khiển chiều đếm, $D = 0$: đếm lên, $D = 1$: đếm xuống
- **Q** : tín hiệu ra, lưu giữ giá trị đếm
- **C**: tín hiệu ra báo cho biết bộ đếm tràn khi đếm lên hoặc xuống, có 2 trường hợp:
 - **Đếm lên**: $C = 1$ khi bộ đếm đang đếm lên và giá trị bộ đếm chuyển từ 9 sang 0, ngược lại $C = 0$.
 - **Đếm xuống**: $C = 1$ khi bộ đếm đang đếm xuống và giá trị bộ đếm chuyển từ 0 sang 9, ngược lại $C = 0$.

Bài tập 3. Counter 100

- Sử dụng module Counter 10 đã thiết kế ở Bài tập 2 để thực hiện Bộ đếm 100
- Gợi ý: ghép nối tiếp 2 module Counter 10 thực hiện bộ đếm 100, cho phép đếm lên hoặc đếm xuống
- Yêu cầu cụ thể:
 - Trình bày sơ đồ khối của mạch
 - Viết code Verilog thực hiện
 - Viết Test Bench kiểm tra
 - Trình bày dạng sóng kết quả mô phỏng kiểm tra

Lưu ý: Cách đổi màu cửa sổ WaveWindow

- Is there any way of changing the background of the ModelSim output waveform. By default it is black and I wanted to change it to white. If there is please let me know?
- Basically, you need to start up Modelsim: **1. Select on Menu: Tools > Edit Preferences.** This will open up a "Preferences" dialog box. **2. In the dialog box, Select "Wave Windows" from "Window List" on the left-hand side.** This will change the right-hand side of the dialog box to the "Wave Window Color Scheme" Listbox. **3. Select "waveBackground" from the ListBox.** Select White color from the color palette. **4. Click Applied** and your waveform background will change to white. Should you change the background to white, the text will not be visible as they are white by default. Feel free to explore the other features in the ListBox for a better experience. Hope it helps.
- Tham khảo: <https://community.intel.com/t5/Intel-Quartus-Prime-Software/Is-there-any-way-of-changing-the-background-of-the-ModelSim/td-p/678346#:~:text=Select%20%22waveBackground%22%20from%20the%20ListBox,background%20will%20change%20to%20white.>