

超低功耗 Sub-1GHz 无线收发单片机

MCU 特性

- ARM Cortex-M0 32 位内核，单周期硬件乘法指令
- 64 kB Flash 片内 Flash
 - 支持加密存储，支持硬件 ECC 校验
 - 10 万次擦写次数，10 年数据保持
- 8 kB 片内 SRAM，支持硬件奇偶校验
- 编程方式：
 - 支持 SWD 在线调试接口
 - 支持 UART Bootloader
- 23 个通用 IO 可用（其中 4 个与 RF 部分 SPI 复用）
- 低功耗控制模式：
 - Stop 模式：RTC 工作，最大 8 KB Retention SRAM 保持，CPU 寄存器保持，所有 IO 保持
 - Power Down 模式（PD）：支持 3 路 IO 唤醒
- 时钟：最高 48 MHz
 - LSE：32.768 KH，外部低速晶体
 - HSI：片内高速 RC OSC 8 MHz
 - LSI：片内低速 RC OSC 30 kHz
 - 内置高速 PLL
 - 支持 1 路时钟输出，可配置为系统时钟、HIS 或 PLL 后分频输出
- 复位
 - 支持上电/掉电/外部引脚复位
 - 支持可编程的低电压检测及复位；
 - 支持看门狗复位
- 通信接口
 - 3 个 UART 接口，最高波特率达 3 Mbps，其中 2 个 USART 接口，支持 1xISO7816 / 1xIrDA / LIN，另外一个 LPUART 支持低功耗特性（最高 9600 bps），可唤醒 Stop 模式
 - 2 个 SPI 接口，速率高达 18 MHz，其中 1 个与 I2S 复用
 - 2 个 I2C 接口，速率高达 1 MHz，主从模式可配，从机模式下支持双地址响应
- 模拟接口
 - 1 个 12 bit 1 Msps 高速 ADC，6 路外部单端输入通道
 - 1 个运算放大器，内置最大 32 倍可编程增益放大
 - 1 个高速模拟比较器，内置 64 级可调比较基准
- 一个高速 5 通道的 DMA 控制器，通道源地址及目的地址任意可配

- 定时器/计数器
 - RTC 实时时钟，支持闰年万年历，闹钟事件，周期性唤醒，支持内外部时钟校准
 - 2 个 16 bit 高级定时计数器，支持输入捕获，互补输出，正交编码输入等功能；每个定时器有 4 个独立的通道，其中 3 个通道支持 6 路互补 PWM 输出
 - 1 个 16 bit 通用定时计数器，定时器有 4 个独立通道，支持输入捕获/输出比较/PWM 输出
 - 1 个 16 bit 基础定时计数器
 - 1 个 16 bit 低功耗定时计数器
 - 1 个 24 bit SysTick
 - 1 个 7 bit 窗口看门狗 (WWDG)
 - 1 个 12 bit 独立看门狗 (IWDG)
- 硬件除法器 HDIV 和均方根 SQRT 加速
- 安全特性
 - Flash 存储加密
 - CRC 16/32 运算
 - 支持写保护（WRP），多种读保护（RDP）等级（L0/L1/L2）
 - 支持时钟失效监测，防拆监测
- 96 位 UID 及 128 位 UCID

射频特性

- 工作频率：113 - 960 MHz
- 调制解调方式：OOK, 2 (G)FSK, 4 (G)FSK
- 数据率：0.1 - 1000 kbps
- 灵敏度：2 FSK, -122 dBm DR=2.4 kbps, 433.92 MHz
4 FSK, -88 dBm DR=1 Mbps, 433.92 MHz
OOK, -94 dBm DR= 300 kbps, 433.92 MHz
- 接收电流：9.6 mA (DCDC) @ 433.92 MHz, FSK
(仅 RF 部分工作电流)
- 发射电流：30 mA @ 13 dBm, 433.92 MHz, FSK
82 mA @ 20 dBm, 433.92 MHz, FSK
(仅 RF 部分工作电流)
- 支持直通及包模式，可配置包处理器及 128-Byte FIFO

系统特性

- 工作电压：1.8 - 3.6 V
- 工作温度：-40 - 85 °C
- QFN 48 6x6 封装

芯片简介

CMT2390F64 集成了 32 位 ARM Cortex-M0 内核和一颗超低功耗射频收发器，是一款高性能、超低功耗、适用于 113 至 960 MHz 无线应用的 OOK, (G) FSK 和 4 (G) FSK 射频收发器 MCU。它是 CMOSTEK NextGenRF™ 射频产品线的一部分，这条产品线包含完整的发射器，接收器和收发器。CMT2390F64 的高集成度，简化了系统设计所需的外围物料。高达+20 dB 的发射功率和-122 dBm 的灵敏度优化了应用的链路性能。它支持多种数据包格式及编解码方式，使得它可以灵活的满足各种应用的需求。另外，CMT2390F64 还支持 128-byte Tx/Rx FIFO, 丰富的 GPIO 及中断配置, Duty-Cycle 运行模式, 信道侦听, 高精度 RSSI, 低电压检测, 上电复位, 低频时钟输出, 快速跳频, 静噪输出等功能，使得应用设计更加灵活，实现产品差异化设计。

面向应用

- 自动抄表
- 家居安防及楼宇自动化
- 无线传感节点及工业监控
- ISM 频段数据通讯
- 遥控钥匙进入
- 标签读写器

表 1. CMT2390F64 资源列表

存储		模拟外设		数字外设								封装
ROM	RAM	ADC	PDR	RTC	WDT	Timer	UART	SPI	I2C	I2S	GPIO	
64KB Flash	8KB	12bits x 6-ch 1Mps	√	1	2	5	2xUSART 1xLPUART	2	2	1	23	QFN 48

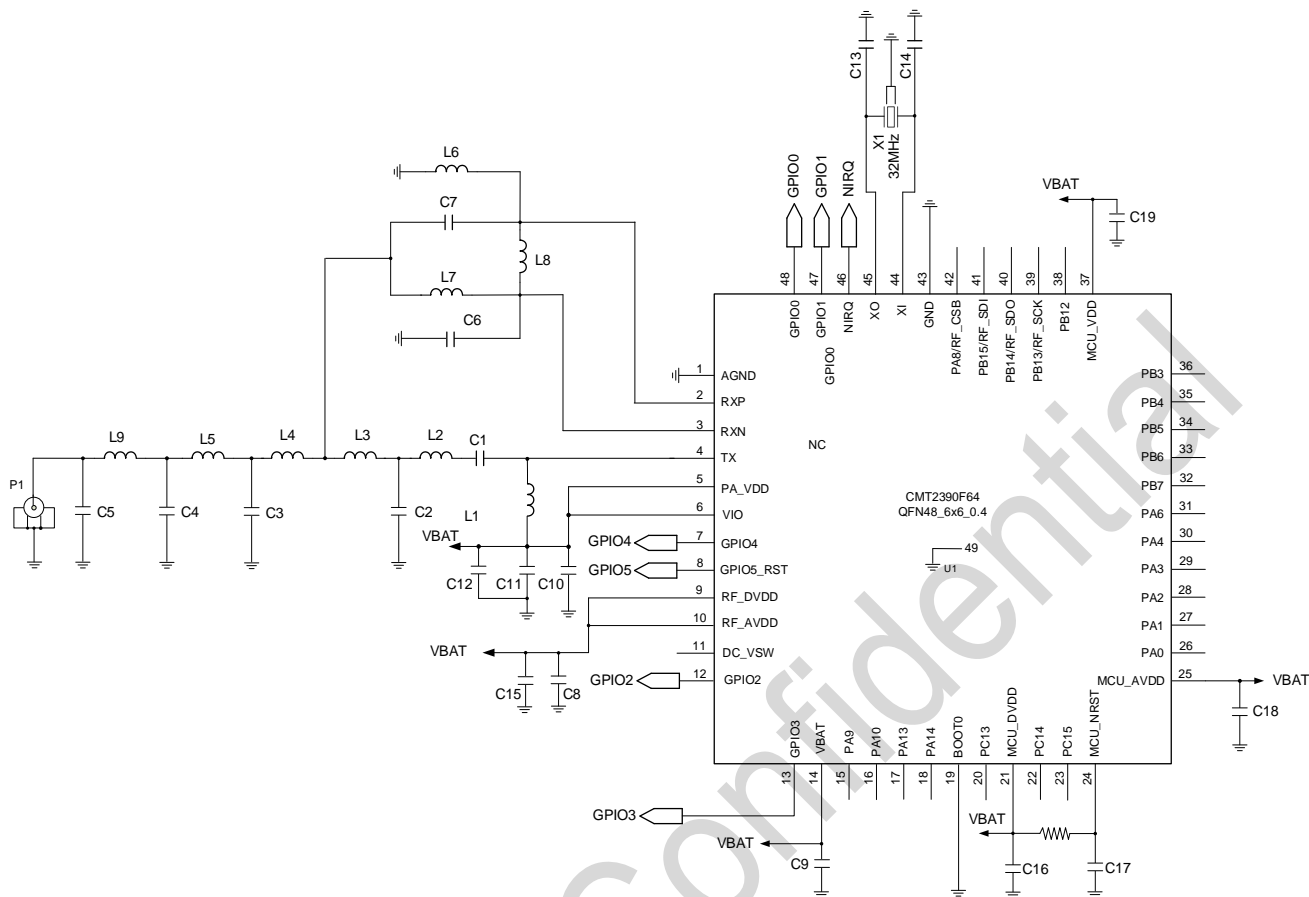


图 1-1. CMT2390F64（QFN 48 6x6）典型应用原理图（不带 DC-DC）

表 1-1. 20 dBm 直连型 BOM 表（不带 DC-DC）

标号	描述	元件值				单位	供应商
		315 MHz +20 dBm	433 MHz +20 dBm	868 MHz +20 dBm	915 MHz +20 dBm		
C1	±5%, 0402 NP0, 50 V	22	12	12	12	pF	
C2	±5%, 0402 NP0, 50 V	6.8	5.6	3.3	3.3	pF	
C3	±5%, 0402 NP0, 50 V	8.2	6.2	3.3	3.0	pF	
C4	±5%, 0402 NP0, 50 V	8.2	NC	NC	NC	pF	
C5	±5%, 0402 NP0, 50 V	NC	NC	NC	NC	pF	
C6	±5%, 0402 NP0, 50 V	5.6	3.9	1.8	1.8	pF	
C7	±5%, 0402 NP0, 50 V	5.6	3.9	1.8	1.8	pF	
C8	±5%, 0603 NP0, 50 V	2.2				uF	
C9	±5%, 0402 NP0, 50 V	1				uF	
C10	±5%, 0402 NP0, 50 V	220				pF	
C11	±5%, 0402 NP0, 50 V	100				nF	
C12	±5%, 0603 NP0, 50 V	4.7				uF	
C13	±5%, 0402 NP0, 50 V	NC				pF	
C14	±5%, 0402 NP0, 50 V	NC				pF	
C15	±5%, 0402 NP0, 50 V	100				nF	

标号	描述	元件值				单位	供应商
		315 MHz +20 dBm	433 MHz +20 dBm	868 MHz +20 dBm	915 MHz +20 dBm		
C16	±5%, 0402 NP0, 50 V	100				nF	
C17	±5%, 0402 NP0, 50 V	100				nF	
C18	±5%, 0402 NP0, 50 V	100				nF	
C19	±5%, 0402 NP0, 50 V	100				nF	
L1	±5%, 0603 叠层贴片电感	220	180	100	100	nH	Sunlord SDCL
L2	±5%, 0603 叠层贴片电感,	68	47	15	12	nH	Sunlord SDCL
L3	±5%, 0603 叠层贴片电感	56	39	15	12	nH	Sunlord SDCL
L4	±5%, 0603 叠层贴片电感	33	33	8.2	6.2	nH	Sunlord SDCL
L5	±5%, 0603 叠层贴片电感	47	33	8.2	6.2	nH	Sunlord SDCL
L6	±5%, 0603 叠层贴片电感	47	33	15	12	nH	Sunlord SDCL
L7	±5%, 0603 叠层贴片电感	47	33	15	12	nH	Sunlord SDCL
L8	±5%, 0603 叠层贴片电感	220	68	33	33	nH	Sunlord SDCL
L9	±5%, 0603 叠层贴片电感	33	NC	NC	NC	nH	Sunlord SDCL
R1	±10%, 0603 贴片电阻	10k				Ω	
X1	±10 ppm, SMD	32				MHz	EPSON
U1	CMT2390F64 射频收发控制器					-	CMOSTEK

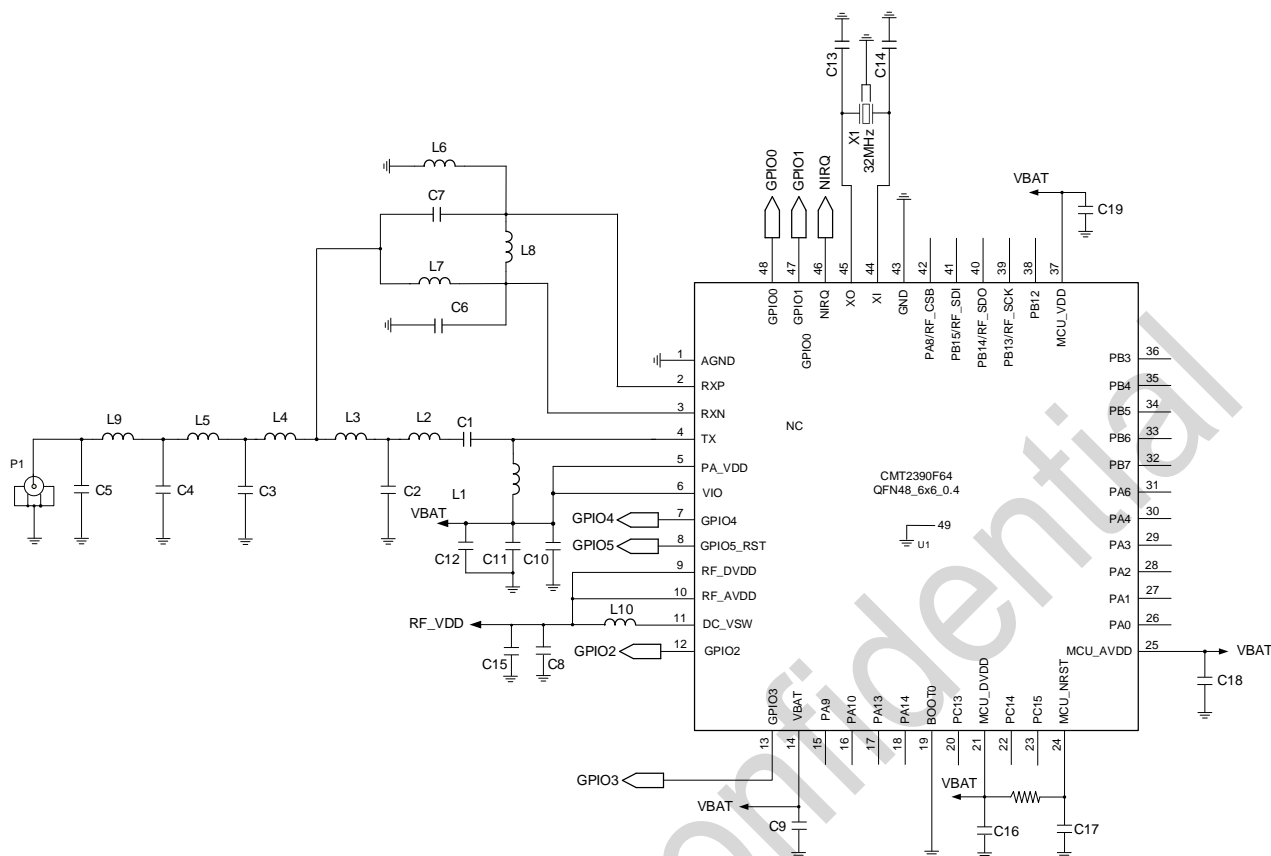


图 1-2. CMT2390F64（QFN 48 6x6）典型参考原理图 (带 DC-DC)

表 1-2. 20 dBm 直连型 BOM 表（带 DC-DC）

标号	描述	元件值				单位	供应商
		315 MHz +20 dBm	433 MHz +20 dBm	868 MHz +20 dBm	915 MHz +20 dBm		
C1	±5%, 0402 NP0, 50 V	22	12	12	12	pF	
C2	±5%, 0402 NP0, 50 V	6.8	5.6	3.3	3.3	pF	
C3	±5%, 0402 NP0, 50 V	8.2	6.2	3.3	3.0	pF	
C4	±5%, 0402 NP0, 50 V	8.2	NC	NC	NC	pF	
C5	±5%, 0402 NP0, 50 V	NC	NC	NC	NC	pF	
C6	±5%, 0402 NP0, 50 V	5.6	3.9	1.8	1.8	pF	
C7	±5%, 0402 NP0, 50 V	5.6	3.9	1.8	1.8	pF	
C8	±5%, 0603 NP0, 50 V	2.2				uF	
C9	±5%, 0402 NP0, 50 V	1				uF	
C10	±5%, 0402 NP0, 50 V	220				pF	
C11	±5%, 0402 NP0, 50 V	100				nF	
C12	±5%, 0603 NP0, 50 V	4.7				uF	
C13	±5%, 0402 NP0, 50 V	NC				pF	
C14	±5%, 0402 NP0, 50 V	NC				pF	
C15	±5%, 0402 NP0, 50 V	100				nF	
C16	±5%, 0402 NP0, 50 V	100				nF	
C17	±5%, 0402 NP0, 50 V	100				nF	

标号	描述	元件值				单位	供应商
		315 MHz +20 dBm	433 MHz +20 dBm	868 MHz +20 dBm	915 MHz +20 dBm		
C18	±5%, 0402 NP0, 50 V	100				nF	
C19	±5%, 0402 NP0, 50 V	100				nF	
L1	±5%, 0603 叠层贴片电感	220	180	100	100	nH	Sunlord SDCL
L2	±5%, 0603 叠层贴片电感,	68	47	15	12	nH	Sunlord SDCL
L3	±5%, 0603 叠层贴片电感	56	39	15	12	nH	Sunlord SDCL
L4	±5%, 0603 叠层贴片电感	33	33	8.2	6.2	nH	Sunlord SDCL
L5	±5%, 0603 叠层贴片电感	47	33	8.2	6.2	nH	Sunlord SDCL
L6	±5%, 0603 叠层贴片电感	47	33	15	12	nH	Sunlord SDCL
L7	±5%, 0603 叠层贴片电感	47	33	15	12	nH	Sunlord SDCL
L8	±5%, 0603 叠层贴片电感	220	68	33	33	nH	Sunlord SDCL
L9	±5%, 0603 叠层贴片电感	33	NC	NC	NC	nH	Sunlord SDCL
L10	MPH252012C100MT, 10UH ±20%,封装 2520, 直流电阻 0.5 Ω,饱和电流	10				uH	Sunlord SDCL
R1	±10%, 0603 贴片电阻	10k				Ω	
X1	±10 ppm, SMD	32				MHz	EPSON
U1	CMT2390F64 射频收发控制器					-	CMOSTEK

目录

1 电气特性	10
1.1 推荐运行条件	10
1.2 绝对最大额定值	10
1.3 射频功耗	11
1.4 射频接收指标	12
1.5 射频发射机指标	14
1.6 射频状态切换稳定时间	14
1.7 射频频率综合器	15
1.8 射频用的晶体规格要求	16
1.9 控制器复位和电源控制模块特性	16
1.10 控制器内置参考电压	17
1.11 控制器工作电流特性	17
1.12 控制器外部时钟源特性	19
1.13 控制器内部时钟源特性	23
1.14 控制器低功耗模式唤醒时间	23
1.15 控制器内部 PLL 特性	24
1.16 控制器 Flash 存储器特性	24
1.17 控制器 IO 端口特性	25
1.18 控制器 MCU_NRST 引脚特性	27
1.19 控制器 TIM 定时器特性	27
1.20 控制器 I2C 接口特性	28
1.21 控制器 SPI/I2S 接口特性	29
1.22 控制器 ADC 特性	33
1.23 控制器运算放大器 (OPAMP) 电气参数	34
1.24 控制器比较器 (COMP) 电气参数	35
1.25 控制器温度传感器 (TS) 特性	36
1.26 接收电流与数据率	36
1.27 接收灵敏度与数据率	37
1.28 发射功率与供电电压关系	38
1.29 发射相位噪声	39
2 管脚描述	40
3 芯片框架	42
4 Sub-G 收发器	43
4.1 发射机	43
4.2 接收机	44
4.3 收发器上电 POR	44
4.4 收发器晶体振荡器	45
4.5 收发器内置低频振荡器 (LPOSC)	45
4.6 收发器内置低压检测	45
4.7 接收机信号强度指示 (RSSI)	45
4.8 相位跳变检测 (PJD)	46

4.9	接收机数据率时钟恢复 (CDR)	47
4.10	快速手动跳频	47
4.11	收发器控制接口及工作模式	47
4.11.1	收发器 SPI 接口时序	47
4.11.2	收发器 FIFO 接口时序	49
4.11.3	收发器工作状态、时序及功耗	51
4.11.4	收发器 GPIO 功能和中断映射	53
5	控制器功能简介	56
5.1	存储器	56
5.1.1	嵌入式闪存存储器	56
5.1.2	嵌入式 SRAM	56
5.1.3	嵌套的向量式中断控制器 (NVIC)	57
5.2	扩展中断/事件控制器 (EXTI)	57
5.3	时钟系统	57
5.4	启动模式	58
5.5	供电方案	59
5.6	可编程电压监测器	59
5.7	低功耗模式	59
5.8	直接存储器存取 (DMA)	59
5.9	实时时钟 (RTC)	60
5.10	定时器和看门狗	60
5.10.1	基本定时器 TIM6	60
5.10.2	通用定时器 TIM3	60
5.10.3	低功耗定时器 LPTIM	61
5.10.4	高级控制定时器 TIM1 和 TIM8	61
5.10.5	系统时基定时器 SysTick	62
5.10.6	看门狗定时器 WDG	62
5.11	I2C 总线接口	63
5.12	通用同步/异步收发器 (USART)	64
5.13	串行外设接口 (SPI)	66
5.14	串行音频接口 (I2S)	66
5.15	通用输入输出接口 (GPIO)	67
5.16	模拟/数字转换器 (ADC)	68
5.17	运算放大器 (OPAMP)	68
5.18	模拟比较器 (COMP)	69
5.19	温度传感器 (TS)	69
5.20	蜂鸣器 (BEEPER)	69
5.21	HDIV 和 SQRT	69
5.22	循环冗余校验计算单元 (CRC)	70
5.23	唯一设备序列号 (UID)	70
5.24	串行 SWD 调试口 (SWD)	70
6	订购信息	71
7	封装外形	72
8	丝印信息	73

9 关联文档 74

10 文档修订 75

11 联系方式 76

HOPERF Confidential

1 电气特性

$V_{DD}=3.3\text{ V}$, $T_{OP}=25\text{ }^{\circ}\text{C}$, $F_{RF}=433.92\text{ MHz}$, 灵敏度是通过接收一个 PN9 序列及匹配至 $50\text{ }\Omega$ 阻抗下, 0.1%BER 的标准下测得。除非另行声明, 所有结果都是在评估板 CMT2390F64-EM 上测试得到。

1.1 推荐运行条件

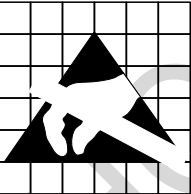
参数	符号	条件	最小	典型	最大	单位
运行电源电压	V_{DD}		1.8		3.6	V
运行温度	T_{OP}		- 40		85	$^{\circ}\text{C}$
电源电压斜率			1			mV/us

1.2 绝对最大额定值

参数	符号	条件	最小	最大	单位
电源电压	V_{DD}		- 0.3	3.6	V
接口电压	V_{IN}		- 0.3	3.6	V
结温	T_J		- 40	125	$^{\circ}\text{C}$
储藏温度	T_{STG}		- 50	150	$^{\circ}\text{C}$
焊接温度	T_{SDR}	持续至少 30 秒		255	$^{\circ}\text{C}$
ESD 等级 ^[2]		人体模型(HBM)	- 2	2	kV
栓锁电流		@ 85 $^{\circ}\text{C}$	- 100	100	mA

备注:

- [1]. 超过“绝对最大额定参数”可能会造成设备永久性损坏。该值为压力额定值, 并不意味着在该压力条件下设备功能受影响, 但如果长时间暴露在绝对最大额定值条件下, 可能会影响设备可靠性。
- [2]. CMT2390F64 是高性能射频集成电路, 对本芯片的操作和装配只应该在具有良好 ESD 保护的工作台上进行。



警告! ESD敏感器件对芯片进行操作的时候应注意做好ESD防范措施, 以免芯片的性能下降或者功能丧失。

1.3 射频功耗

参数	符号	条件		典型 (不使能 DCDC)	典型 (使能 DCDC)	参数
Sleep 电流 ^[1]	I _{SLEEP}	睡眠模式，睡眠计数器关闭		400		nA
		睡眠模式，睡眠计数器开启		800		nA
Ready 电流 ^[1]	I _{Ready}			2.1	1.9	mA
RFS 电流 ^[1]	I _{RFS}		315 MHz	7.5	5.2	mA
			433 MHz	7.8	5.6	mA
			868 MHz	8.4	5.9	mA
			915 MHz	8.5	5.9	mA
TFS 电流 ^[1]	I _{TFS}		315 MHz	7.5	5.2	mA
			433 MHz	7.8	5.6	mA
			868 MHz	8.4	5.9	mA
			915 MHz	8.5	5.9	mA
RX 电流 ^[1]	I _{Rx}	DR = 10 kbps Dev = 10 kHz	315 MHz	13.5	8.8	mA
			433 MHz	13.6	9.4	mA
			868 MHz	14.3	9.9	mA
			915 MHz	14.3	9.9	mA
TX 电流 ^[1]	I _{Tx}	20 dBm ^[2]	315 MHz	74	/	mA
			433 MHz	82	81	mA
			868 MHz	88	87	mA
			915 MHz	88	87	mA
		13 dBm ^[3]	315 MHz	26.7	/	mA
			433 MHz	30	29	mA
			868 MHz	33	32	mA
			915 MHz	34	33	mA
		10 dBm ^[3]	315 MHz	21	15	mA
			433 MHz	25	24	mA
			868 MHz	27	26	mA
			915 MHz	27	26	mA
		-10 dBm ^[3]	315 MHz	10.3	7	mA
			433 MHz	11	10	mA
			868 MHz	12	11	mA
			915 MHz	12	11	mA

备注：

[1]. 2 FSK, DR = 10 kbps, F_{DEV} = 10 kHz, V_{bat} = 3.3 V。

[2]. 使用 20 dBm 匹配网络。

[3]. 使用 13 dBm 匹配网络。

[4]. 仅 RF 部分工作电流，不含 MCU 部分工作电流。

1.4 射频接收指标

参数	符号	条件		最小	典型	最大	参数
数据率	DR	OOK		0.1		300	kbps
		2 (G)FSK		0.1		500	kbps
		4 (G)FSK		0.1		1000	kbps
频偏(RX)	F _{DEV}	(G)FSK, 4 (G)FSK ^[1]		0.5		350	kHz
灵敏度 @ 433 MHz (匹配网络直连)	S ₄₃₃	FSK ^[2]	DR = 2.4 kbps, F _{DEV} = 1.2 kHz, BW= 4.8 kHz		-122		dBm
			DR = 10 kbps, F _{DEV} = 5 kHz		-114		dBm
			DR = 20 kbps, F _{DEV} = 10 kHz		-112		dBm
			DR = 50 kbps, F _{DEV} = 25 kHz		-109		dBm
			DR =100 kbps, F _{DEV} = 50 kHz		-106		dBm
			DR =200 kbps, F _{DEV} = 100 kHz		-104		dBm
			DR =500 kbps, F _{DEV} = 250 kHz		-98		dBm
		OOK ^[2]	5kbps		-110		dBm
			50 kbps		-101		dBm
			100 kbps		-97		dBm
			200 kbps		-95		dBm
			300 kbps		-94		dBm
		4FSK ^[2]	DR = 10 kbps, F _{DEV} ^[3] = 10 kHz		-109		dBm
			DR = 100 kbps, F _{DEV} ^[3] =100 kHz		-99		dBm
			DR = 1 Mbps, F _{DEV} ^[3] = 250 kHz		-88		dBm
灵敏度 @ 868 MHz (匹配网络直连)	S ₈₆₈	FSK ^[2]	DR = 2.4 kbps, F _{DEV} = 1.2 kHz, BW=4.8 kHz		-120		dBm
			DR = 10 kbps, F _{DEV} = 5 kHz		-111		dBm
			DR = 20 kbps, F _{DEV} = 10 kHz		-110		dBm
			DR = 50 kbps, F _{DEV} = 25 kHz		-107		dBm
			DR =100 kbps, F _{DEV} = 50 kHz		-104		dBm
			DR =200 kbps, F _{DEV} = 100 kHz		-102		dBm
			DR =500 kbps, F _{DEV} = 250 kHz		-96		dBm
		OOK ^[2]	5 kbps		-106		dBm
			50 kbps		-98		dBm
			100 kbps		-94		dBm
			200 kbps		-93		dBm
			300 kbps		-92		dBm
		4 FSK ^[2]	DR = 10 kbps, F _{DEV} ^[3] = 10 kHz		-106		dBm
			DR = 100 kbps, F _{DEV} ^[3] = 100 kHz		-96		dBm
			DR = 1 Mbps, F _{DEV} ^[3] = 250 kHz		-85		dBm

备注:

[1].高斯调制默认 BT = 0.5;

[2].没有标明使用 BW 大小的，全部使用 10 ppm 的晶体，BW 由 RFPDK 自动计算。

[3]. 4 FSK 的 F_{DEV}表示中心频点左右两最外侧的频点到中心频点的频率偏差。

参数	符号	条件	最小	典型	最大	参数
接收信道带宽	BW	接收信道带宽	1.3		1168	kHz
RSSI 测量范围	RSSI	步进为 1 dB	-127		20	dBm
同信道干扰抑制比 @ 433 MHz, 868 MHz	CCR	DR = 2.4 kbps; $F_{DEV} = 1.2$ kHz; BW= 4.8 kHz CW 干扰, BER<0.1%		-7		dB
邻道抑制比 @ 433 MHz	ACR-I ₄₃₃	DR = 2.4 kbps; $F_{DEV} = 1.2$ kHz; BW= 4.8 kHz, Channel Space = 12.5 kHz, CW 干扰, BER<0.1%		62		dB
邻道抑制比 @ 868 MHz	ACR-I ₈₆₈	DR = 2.4 kbps; $F_{DEV} = 1.2$ kHz; BW= 4.8 kHz, Channel Space = 12.5 kHz, CW 干扰, BER<0.1%		56		dB
阻塞抑制比 @433 MHz	BI ₄₃₃	DR = 2.4 kbps; $F_{DEV} = 1.2$ kHz; BW=4.8 kHz, CW 干扰, BER < 0.1%	±1 MHz 偏移	76		dB
			±2 MHz 偏移	80		dB
			±10 MHz 偏移	84		dB
阻塞抑制比 @ 868 MHz	BI ₈₆₈	DR = 2.4 kbps; $F_{DEV} = 1.2$ kHz; BW=4.8 kHz, CW 干扰, BER<0.1%	±1 MHz 偏移	66		dB
			±2 MHz 偏移	76		dB
			±10 MHz 偏移	83		dB
镜像抑制比 @ 433 MHz	IMR ₄₃₃	DR = 2.4 kbps; $F_{DEV} = 1.2$ kHz; BW=4.8 kHz CW 干扰, BER<0.1%	校正前	30		dB
			校正后	56		dB
镜像抑制比 @ 868 MHz	IMR ₈₆₈	DR = 2.4 kbps; $F_{DEV} = 1.2$ kHz; BW=4.8 kHz CW 干扰, BER<0.1%	校正前	26		dB
			校正后	51		dB
输入 3 阶交调点 @ 433 MHz	IIP ₃₄₃₃	DR = 2.4 kbps; $F_{DEV} = 1.2$ kHz; 10 MHz 和 20 MHz 偏移的双音测试		-13		dBm
输入 3 阶交调点 @ 868 MHz	IIP ₃₈₆₈	DR = 2.4 kbps; $F_{DEV} = 1.2$ kHz; 10 MHz 和 20 MHz 偏移的双音测试		-12		dBm
饱和输入电平	P _{LVL}				20	dBm
接收机输入阻抗	Z _{in}	RXP 与 RXN 差分输入阻抗	433 MHz	150 Ω// 0.8 pF		
			868 MHz	134 Ω// 1.0 pF		

1.5 射频发射机指标

参数	符号	条件	最小	典型	最大	参数
输出功率	P _{OUT}	不同的频段需要特定的外围物料	-10		+20	dBm
输出功率步进	P _{STEP}			1		dB
GFSK高斯滤波系数	BT		0.3	0.5	1.0	-
不同温度下输出功率变化	P _{OUT-TOP}	温度从-40 至+85 °C		1		dB
发射杂散辐射		P _{OUT} = +20 dBm, 433 MHz, F _{RF} < 1 GHz			-54	dBm
		1 GHz 至 12.75 GHz, 含谐波			-36	dBm
F _{RF} = 315 MHz的谐波输出 ^[1]	H2 ₃₁₅	2 次谐波 +20 dBm P _{OUT}		-57		dBm
	H3 ₃₁₅	3 次谐波 +20 dBm P _{OUT}		-75		dBm
F _{RF} = 433 MHz的谐波输出 ^[1]	H2 ₄₃₃	2 次谐波 +20 dBm P _{OUT}		-56		dBm
	H3 ₄₃₃	3 次谐波 +20 dBm P _{OUT}		-71		dBm
F _{RF} = 868 MHz的谐波输出 ^[1]	H2 ₈₆₈	2 次谐波 +20 dBm P _{OUT}		-47		dBm
	H3 ₈₆₈	3 次谐波 +20 dBm P _{OUT}		-72		dBm
F _{RF} = 915 MHz的谐波输出 ^[1]	H2 ₉₁₅	2 次谐波 +20 dBm P _{OUT}		-47		dBm
	H3 ₉₁₅	3 次谐波 +20 dBm P _{OUT}		-73		dBm
F _{RF} = 315 MHz的谐波输出 ^[1]	H2 ₃₁₅	2 次谐波 +13 dBm P _{OUT}		-51		dBm
	H3 ₃₁₅	3 次谐波 +13 dBm P _{OUT}		-72		dBm
F _{RF} = 433 MHz的谐波输出 ^[1]	H2 ₄₃₃	2 次谐波 +13 dBm P _{OUT}		-44		dBm
	H3 ₄₃₃	3 次谐波 +13 dBm P _{OUT}		-58		dBm
F _{RF} = 868 MHz的谐波输出 ^[1]	H2 ₈₆₈	2 次谐波 +13 dBm P _{OUT}		-50		dBm
	H3 ₈₆₈	3 次谐波 +13 dBm P _{OUT}		-71		dBm
F _{RF} = 915 MHz的谐波输出 ^[1]	H2 ₉₁₅	2 次谐波 +13 dBm P _{OUT}		-54		dBm
	H3 ₉₁₅	3 次谐波 +13 dBm P _{OUT}		-73		dBm
备注:						
[1]. 谐波指标主要取决于硬件电路匹配优劣, 上面参数基于 CMT2390F64-EM 测试得出。						

1.6 射频状态切换稳定时间

参数	符号	条件	最小	典型	最大	参数
稳定时间	T _{SLP-RX}	从 Sleep 到 RX		660		us
	T _{SLP-TX}	从 Sleep 到 TX		660		us
	T _{STB-RX}	从 Standby 到 RX		160		us
	T _{STB-TX}	从 Standby 到 TX		160		us
	T _{RFS-RX}	从 RFS 到 RX		16		us
	T _{TFS-RX}	从 TFS 到 TX		16		us
	T _{TX-RX}	从 TX 到 RX (Ramp Down 需要 2 T _{symbol} 的时间)		2 T _{symbol} +168		us
	T _{RX-TX}	从 RX 到 TX		220		us
备注: [1]. T _{SLP-RX} 和 T _{SLP-TX} 的时间主要取决于晶体起振, 这个与晶体本身有主要关系。						

1.7 射频频率综合器

参数	符号	条件	最小	典型	最大	参数
频率范围	F _{RF}	需要不同的匹配网络	675		960	MHz
			338		640	MHz
			113		320	MHz
频偏设置范围	F _{DEV_RNG} ^[1]	675 至 960 MHz		600		kHz
		450 至 640 MHz		400		kHz
		338 至 450 MHz		300		kHz
		225 至 320 MHz		200		kHz
		169 至 225 MHz		150		kHz
		135 至 169 MHz		120		kHz
		113 至 135 MHz		100		kHz
综合器频率分辨率	F _{RES}		60		Hz	
频率调谐时间	t _{TUNE}		60		us	
相位噪声 @ 433 MHz	PN ₄₃₃	10 kHz 频率偏移		-101		dBc/Hz
		100 kHz 频率偏移		-114		dBc/Hz
		1MHz 频率偏移		-129		dBc/Hz
		10 MHz 频率偏移		-134		dBc/Hz
相位噪声 @ 868 MHz	PN ₈₆₈	10 kHz 频率偏移		-100		dBc/Hz
		100 kHz 频率偏移		-109		dBc/Hz
		1 MHz 频率偏移		-126		dBc/Hz
		10 MHz 频率偏移		-129		dBc/Hz

备注： [1]. 2 FSK 与 4 FSK 的 F_{DEV} 指中心频点左右两最外侧的频点到中心频点的频率偏差。

1.8 射频用的晶体规格要求

参数	符号	条件	最小	典型	最大	参数
晶体频率 ^[1]	F _{XTAL}			32		MHz
晶体频率容差 ^[2]	ppm _{XTAL}		0	10	100	ppm
负载电容	C _{LOAD_XTAL}			15		pF
晶体等效电阻	R _{mXTAL}			60		Ω
晶体启动时间 ^[3]	t _{XTAL}			200		us
备注: [1]. CMT2390F64 可以直接用外部参考时钟通过耦合电容驱动 XIN 管脚工作。外部时钟信号的峰峰值要求在 0.3 到 0.7 V 之间。 [2]. 该值包括 (1) 初始误差; (2) 晶体负载; (3) 老化; 和 (4) 随温度的改变。可接受的晶体频率误差受限于接收机的带宽和与之搭配的发射器之间射频频率偏差。 [3]. 该参数很大程度上与晶体相关。						

1.9 控制器复位和电源控制模块特性

参数	符号	条件	最小	典型	最大	单位
Rising	V _{PVD}	PLS[3:0]=0	1.8	1.88	1.96	V
Falling		PLS[3:0]=0	1.7	1.78	1.86	
Rising		PLS[3:0]=1	2	2.08	2.16	
Falling		PLS[3:0]=1	1.9	1.98	2.06	
Rising		PLS[3:0]=2	2.2	2.28	2.36	
Falling		PLS[3:0]=2	2.1	2.18	2.26	
Rising		PLS[3:0]=3	2.4	2.48	2.56	
Falling		PLS[3:0]=3	2.3	2.38	2.46	
Rising		PLS[3:0]=4	2.6	2.68	2.76	
Falling		PLS[3:0]=4	2.5	2.58	2.66	
Rising		PLS[3:0]=5	2.8	2.88	2.96	
Falling		PLS[3:0]=5	2.7	2.78	2.86	
Rising		PLS[3:0]=6	3	3.08	3.16	
Falling		PLS[3:0]=6	2.9	2.98	3.06	
Rising		PLS[3:0]=7	3.2	3.28	3.36	
Falling		PLS[3:0]=7	3.1	3.18	3.26	
Rising		PLS[3:0]=8	3.4	3.48	3.56	
Falling		PLS[3:0]=8	3.3	3.38	3.46	
Rising		PLS[3:0]=9	3.6	3.68	3.76	
Falling		PLS[3:0]=9	3.5	3.58	3.66	
Rising		PLS[3:0]=10	3.8	3.88	3.96	
Falling		PLS[3:0]=10	3.7	3.78	3.86	
PVD 迟滞	V _{PVDhyst} ⁽²⁾	-	80	100	125	mV
VDD 上电/下电复位阈值	V _{POR}	-	-	1.53	-	V

参数	符号	条件	最小	典型	最大	单位
复位持续时间	$T_{RSTTEMPO}^{(2)}$	-	-	150		us
1. 产品的特性由设计保证至最小的数值 $V_{POR/PDR}$ 。 2. 由设计和综合评估保证，不在生产中测试						

1.10 控制器内置参考电压

参数	符号	条件	最小值	典型值	最大值	单位
内置参照电压	V_{REFINT}	$-40^{\circ}\text{C} < T_A < +105^{\circ}\text{C}$	1.16	1.21	1.26	V
当读出内部参照电压时，ADC的采样时间	$T_{S_vrefint}^{(1)}$	PLS[2:0]=001 (上升沿)	-	10	-	μs
1. 最短的采样时间是通过应用中的多次循环得到。						

1.11 控制器工作电流特性

电流消耗是多种参数和因素的综合指标，这些参数和因素包括工作电压、环境温度、I/O 引脚的负载、产品的软件配置、工作频率、I/O 脚的翻转速率、程序在存储器中的位置以及执行的代码等。

● 最大电流消耗

微控制器处于下列条件：

- 所有的 I/O 引脚都处于输入模式，并连接到一个静态电平上—— V_{DD} 或 V_{SS} (无负载)。
- 所有的外设都处于关闭状态，除非特别说明。
- 闪存存储器的访问时间调整到 f_{HCLK} 的频率 (0~18MHz 时为 0 个等待周期，18~36MHz 时为 1 个等待周期，超过 36MHz 时为 2 个等待周期)。
- 指令预取功能开启 (提示：这个参数必须在设置时钟和总线分频之前设置)。
- 当开启外设时： $f_{PCLK1} = f_{HCLK}$ ， $f_{PCLK2} = f_{HCLK}$ 。

表 1-11.运行模式下的最大电流消耗，数据处理代码从内部闪存中运行

参数	符号	条件	f _{HCLK}	典型值 ⁽¹⁾	单位
运行模式下的 工作电流	I _{DD}	外部时钟 ⁽²⁾ ， 使能所有外设	48MHz	8.4	mA
			24MHz	5.0	
			8MHz	2.8	
		外部时钟 ⁽²⁾ ， 关闭所有外设	48MHz	5.0	
			24MHz	3.3	
			8MHz	2.3	

1.

由设计和综合评估保证，不在生产中测试。

2.

外部时钟，当f_{HCLK}为24 M或48 M时，需要启用PLL。

表 1-12.运行模式下的最大电流消耗，数据处理代码从内部 RAM 中运行

参数	符号	条件	fHCLK	典型值 ⁽¹⁾	单位
运行模式下的 工作电流	I _{DD}	外部时钟 ⁽²⁾ , 使能所有外设	48MHz	6.2	mA
			24MHz	4.1	
			8MHz	3.2	
		外部时钟 ⁽²⁾ , 关闭所有外设	48MHz	4.4	
			24MHz	3.2	
			8MHz	2.6	

1.

由设计和综合评估保证，在生产中以V_{DDmax}和f_{HCLKmax}为条件测试。

2.

外部时钟，当f_{HCLK}为24M或48M时，需要启用PLL。

表 1-13.睡眠模式下的最大电流消耗，代码运行在内部闪存中

参数	符号	条件	f _{HCLK}	典型值 ⁽¹⁾	单位
睡眠模式下的 工作电流	I _{DD}	外部时钟 ⁽²⁾ , 使能所有外设	48MHz	6.5	mA
			24MHz	3.9	
			8MHz	2.0	
		外部时钟 ⁽²⁾ , 关闭所有外设	48MHz	2.9	
			24MHz	2.1	
			8MHz	1.4	

1.

由综合评估得出，在生产中以V_{DDmax}和以f_{HCLKmax}使能外设为条件测试。

2.

外部时钟，当f_{HCLK}为24M或48M时，需要启用PLL。

表 1-14.停机和待机模式下的典型消耗

参数	符号	条件	典型值 ⁽¹⁾	最大值	单位
			V _{DD} =3.3V	V _{DD} =3.3V	
待机模式（SLEEP）电流		内核停止，所有外围设备包括 Cortex®-M0 核心外设，如 NVIC，系统滴答时钟（SysTick）依然在运行	2.7	5	mA
停机模式（STOP）电流		RTC 不运行，SRAM 保持，所有 I/O 状态保持，寄存器保持	1.5	2.5	uA
PD 模式电流		VDD 掉电模式，3 个 WAKEUP IO 及 NRST 可唤醒	0.5	1	uA
1. 典型值/最大值是在 TA=25℃ 下测试得到。					

● 典型的电流消耗

MCU 处于下述条件下：

- 所有的 I/O 引脚都处于输入模式，并连接到一个静态电平上—V_{DD} 或 V_{SS}(无负载)。
- 所有的外设都处于关闭状态，除非特别说明。
- 闪存存储器的访问时间调整到 f_{HCLK} 的频率（0~18MHz 时为 0 个等待周期，18~36MHz 时为 1 个等待周期，超过 36MHz 时为 2 个等待周期）。
- 指令预取功能开启(提示：这个参数必须在设置时钟和总线分频之前设置)。当开启外设时：f_{PCLK1}=f_{HCLK}，f_{PCLK2}=f_{HCLK}，f_{ADCCLK}=f_{PCLK2}/3。

表 1-15.运行模式下的典型电流消耗（数据处理代码从内部 Flash 中运行）

参数	符号	条件	fHCLK	典型值 ⁽¹⁾		单位
				使能所有外设	关闭所有外设	
运行模式下的 供应电流	I _{DD}	外部高速时钟(HSE _{ext}), 使用 AHB预分频以减低频率	48MHz	8.2	4.8	mA
			24MHz	5.0	3.3	
			8MHz	2.7	2.1	
		内部高速RC 振荡器(2) (HSI _{int}), 使用AHB预分频以减 低频率	48MHz	7.6	4.3	mA
			24MHz	4.3	2.7	
			8MHz	2.1	1.5	

1. 典型值是在TA=25℃、VDD=3.3V时测试得到。

2. 内部高速时钟为8MHz, 当fHCLK>8MHz时启用PLL。

表 1-16.睡眠模式下的典型电流消耗（数据处理代码从内部 Flash 或 RAM 中运行）

参数	符号	条件	fHCLK	典型值 ⁽¹⁾		单位
				使能所有外设(2)	关闭所有外设	
睡眠模式下的 工作电流	I _{DD}	外部高速时钟(HSE _{ext}), 使用 AHB预分频以减低频率	48MHz	6.3	2.7	mA
			24MHz	3.7	2.0	
			8MHz	1.8	1.2	
		内部高速RC 振荡器(2) (HSI _{int}), 使用AHB预分频以减 低频率	48MHz	5.7	2.1	mA
			24MHz	3.1	1.4	
			8MHz	1.2	0.6	

1. 典型值是在TA=25℃、VDD=3.3V时测试得到。

2. 内部高速时钟为 8 MHz, 当fHCLK > 8 MHz时启用PLL。

1.12 控制器外部时钟源特性

● 来自外部振荡源产生的高速外部用户时钟

下表中给出的特性参数是使用一个高速的外部时钟源测得，环境温度和供电电压符合下表条件。

表 1-17.高速外部用户时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
f _{HSE_ext}	用户外部时钟频率	-	4	8	20	MHz
V _{HSEH}	OSC_IN输入引脚高电平电压 ⁽¹⁾		0.7	-		V
V _{HSEL}	OSC_IN输入引脚低电平电压 ⁽¹⁾			-	0.3	
t _{w(HSE)}	OSC_IN高或低的时间 ⁽¹⁾		16	-	-	ns
t _{r(LSE)} t _{f(LSE)}	OSC_IN上升或下降的时间 ⁽¹⁾		-	-	20	
C _{in(HSE)}	OSC_IN输入容抗 ⁽¹⁾			5		pF
DuCy _(HSE)	占空比 ⁽¹⁾		45	-	55	%
I _L	OSC_IN输入漏电流 ⁽¹⁾	VSS≤VIN≤VDD	-	-	±1	μA

1. 由设计和综合评估保证，不在生产中测试。

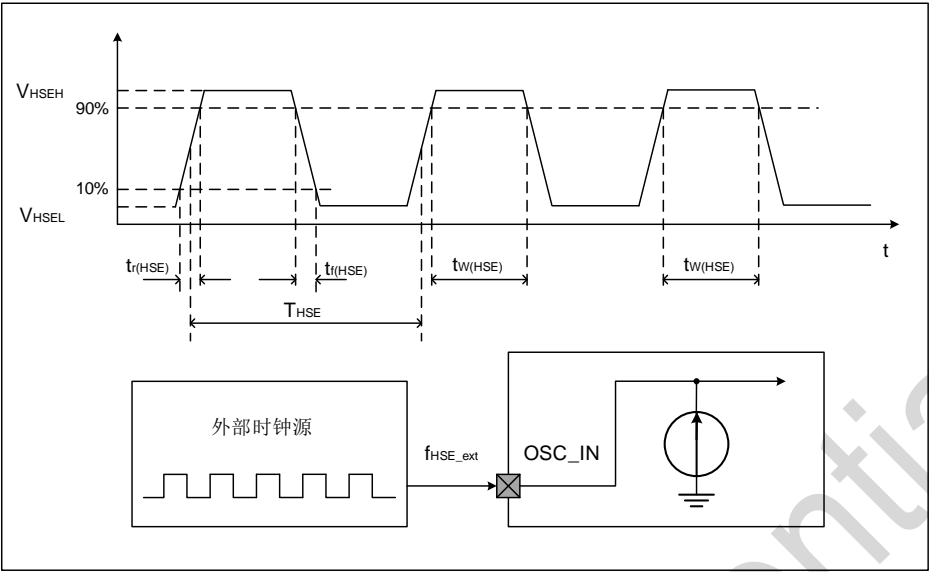


图 1-3. 外部高速时钟源的交流时序图

- 来自外部振荡源产生的低速外部用户时钟

表 1-18. 低速外部用户时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{LSE_ext}	用户外部时钟频率		0	32.768	1000	KHz
V_{LSEH}	OSC32_IN 输入引脚高电平电压 ⁽¹⁾	-	0.7	-		V
V_{LSEL}	OSC32_IN 输入引脚低电平电压 ⁽¹⁾			-	0.3	
$t_{w(LSE)}$	OSC32_IN 高或低的时间 ⁽¹⁾		450	-	-	ns
$t_{r(LSE)}$ $t_{f(LSE)}$	OSC32_IN 上升或下降的时间 ⁽¹⁾		-	-	10	
$DuCy_{(LSE)}$	占空比 ⁽¹⁾		30	-	70	%
I_L	OSC32_IN 输入漏电流 ⁽¹⁾	$V_{SS} \leq V_{IN} \leq V_{DD}$	-	-	± 1	μA

1. 由设计和综合评估保证，不在生产中测试。

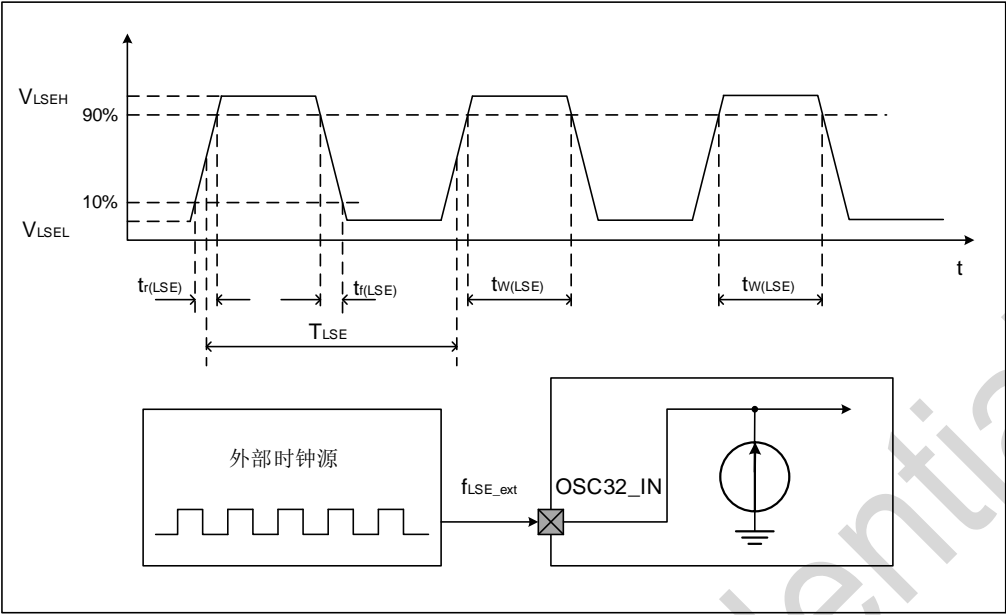


图 1-4. 外部低速时钟源的交流时序图

● 使用一个晶体/陶瓷谐振器产生的高速外部时钟

高速外部时钟（HSE）可以使用一个 4~20 MHz 的晶体/陶瓷谐振器构成的振荡器产生。本节中所给出的信息是基于使用下表中列出的典型外部元器件，通过综合特性评估得到的结果。在应用中，谐振器和负载电容必须尽可能地靠近振荡器的引脚，以减少输出失真和启动时的稳定时间。有关晶体谐振器的详细参数（频率、封装、精度等），请咨询相应的生产厂商。（这里提到的晶体谐振器就是我们通常说的无源晶振）

表 1-19. HSE 4~20 MHz 振荡器特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{OSC_IN}	振荡器频率		4	8	20	MHz
C_{L1} $C_{L2}^{(3)}$	建议的负载电容与对应的晶体串行阻抗（ R_S ）	$R_S = 30\ \Omega$	-	20	--	pF
i_2	HSE驱动电流	$V_{DD}=3.3\ V$, $V_{IN}=V_{SS}$ 30 pF 负载	-	1.1	1.6	mA
$t_{SU(HSE)}^{(4)}$	启动时间	V_{DD} 是稳定的		3		ms

1. 谐振器的特性参数由晶体/陶瓷谐振器制造商给出。
2. 由设计和综合评估保证，不在生产中测试。
3. 对于 C_{L1} 和 C_{L2} ，建议使用高质量的、为高频应用而设计的（典型值为）5 pF~25 pF 之间的瓷介电容器，并挑选符合要求的晶体或谐振器。通常 C_{L1} 和 C_{L2} 具有相同参数。晶体制造商通常以 C_{L1} 和 C_{L2} 的串行组合给出负载电容的参数。在选择 C_{L1} 和 C_{L2} 时，PCB 和 MCU 引脚的容抗应该考虑在内。
4. $t_{SU(HSE)}$ 是启动时间，是从软件使能 HSE 开始测量，直至得到稳定的 8MHz 振荡这段时间。这个数值是在一个标准的晶体谐振器上测量得到，它可能因晶体制造商的不同而变化较大。

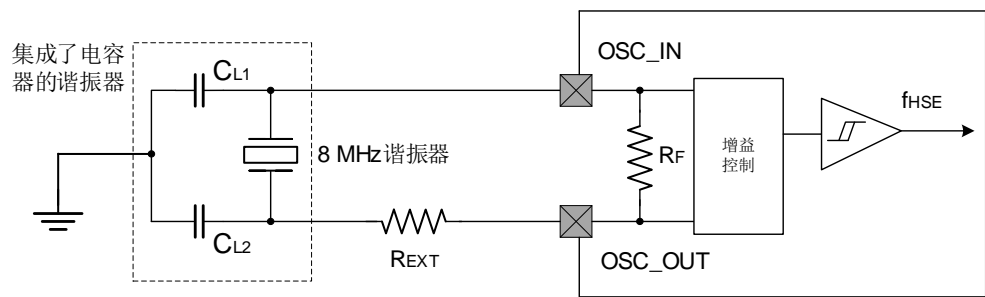


图 1-5. 使用 8 MHz 晶体的典型应用

注意：REXT 数值由晶体的特性决定。

● 使用一个晶体/陶瓷谐振器产生的低速外部时钟

低速外部时钟（LSE）可以使用一个 32.768 kHz 的晶体/陶瓷谐振器构成的振荡器产生。本节中所给出的信息是基于使用下表中列出的典型外部元器件，通过综合特性评估得到的结果。在应用中，谐振器和负载电容必须尽可能地靠近振荡器的引脚，以减小输出失真和启动时的稳定时间。有关晶体谐振器的详细参数（频率、封装、精度等），请咨询相应的生产厂商。（这里提到的晶体谐振器就是我们通常说的无源晶振）

注意：对于 CL1 和 CL2，建议使用高质量的 5 pF~15 pF 之间的瓷介电容器，并挑选符合要求的晶体或谐振器。通常 CL1 和 CL2 具有相同参数。晶体制造商通常以 CL1 和 CL2 的串行组合给出负载电容的参数。

负载电容 CL 由下式计算： $CL = CL1 \times CL2 / (CL1 + CL2) + Cstray$ ，其中 Cstray 是引脚的电容和 PCB 板或 PCB 相关的电容。

表 1-20. LSE 振荡器特性 (fLSE=32.768kHz)(1)

符号	参数	条件	最小值	典型值	最大值	单位
CL1 CL2 ⁽²⁾	建议的负载电容与对应的晶体串行阻抗(RS) ⁽³⁾	Rs :30 KΩ ~ 65 KΩ	-	-	20	pF
I2	LSE驱动电流	VDD = 3.3 V CL1 = CL2 = 12.5 pF Rs = 30 KΩ	-	0.3	-	μA
tSU(LSE) ⁽⁴⁾	启动时间	VDD是稳定的	-	2	-	s
<p>1. 由设计和综合评估保证，不在生产中测试。</p> <p>2. 参见本表格上方的注意和警告段落。</p> <p>3. 选择具有较小RS值的高质量振荡器，可以优化电流消耗。详情请咨询晶体制造商。</p> <p>4. tSU(LSE)是启动时间，是从软件使能LSE开始测量，直至得到稳定的32.768 KHz振荡这段时间。这个数值是在一个标准的晶体谐振器上测量得到，它可能因晶体制造商的不同而变化较大。</p>						

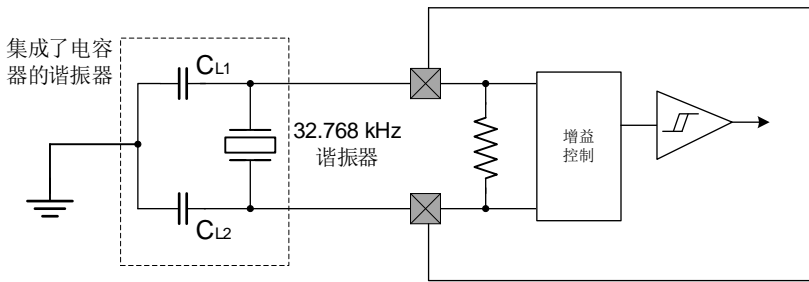


图 1-6. 使用 32.768 kHz 晶体的典型应用

1.13 控制器内部时钟源特性

● 高速内部(HSI)RC 振荡器

表 1-21. HSI 振荡器特性⁽¹⁾⁽²⁾

符号	参数	条件	最小值	典型值	最大值	单位
f_{HSI}	频率	VDD = 3.3 V, T_A = 25°C, 校准后	7.92	8	8.08	MHz
ACC_{HSI}	HSI振荡器的温漂	VDD = 3.3 V, T_A = -40 ~ 105°C, 温漂	-3	-	3	%
		VDD = 3.3 V, T_A = -10 ~ 85°C, 温漂	-2.5	-	2	%
		VDD = 3.3 V, T_A = 0 ~ 70°C, 温漂	-2	-	1.5	%
$t_{\text{SU(HSI)}}$	HSI振荡器启动时间		1	-	3	μs
$I_{\text{DD(HSI)}}$	HSI振荡器功耗		-	80	150	μA

1. VDD = 3.3 V, T_A = -40 ~ 85°C, 除非特别说明。
2. 由设计和综合评估保证, 不在生产中测试。

● 低速内部(LSI)RC 振荡器

表 1-22. LSI 振荡器特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
$f_{\text{LSI}}^{(2)}$	输出频率	25°C 校准, VDD = 3.3 V	29	30	31	KHz
		VDD = 1.8 V ~ 5.5 V, T_A = -40 ~ 105°C	24	30	36	KHz
$t_{\text{SU(LSI)}}^{(3)}$	LSI振荡器启动时间		-	30	80	μs
$I_{\text{DD(LSI)}}^{(3)}$	LSI振荡器功耗		-	0.2	-	μA

1. VDD = 3.3 V, T_A = -40 ~ 85°C, 除非特别说明。
2. 由设计和综合评估保证, 不在生产中测试。

1.14 控制器低功耗模式唤醒时间

下表列出的唤醒时间是在一个 8 MHz 的 HSI RC 振荡器的唤醒阶段测量得到。唤醒时使用的时钟源依当前的操作模式而定:

- 停机或待机模式: 时钟源是 RC 振荡器
- 睡眠模式: 时钟源是进入睡眠模式时所使用的时钟

表 1-23. 低功耗模式的唤醒时间

符号	参数	典型值	单位
$t_{WUSLEEP}^{(1)}$	从睡眠模式唤醒	16	HCLK ⁽²⁾
$t_{WUSTOP}^{(1)}$	从停机模式唤醒	20	us
$t_{WUPD}^{(1)}$	从待机模式唤醒	55	us

1. 唤醒时间的测量是从唤醒事件开始至用户程序读取第一条指令；
2. HCLK为AHB时钟频率。

1.15 控制器内部 PLL 特性

表 1-24. 控制器内部 PLL 特性

符号	参数	数值			单位
		最小值	典型值	最大值 ⁽¹⁾	
f_{PLL_IN}	PLL输入时钟 ⁽²⁾	4	8	20	MHz
	PLL输入时钟占空比	40	-	60	%
f_{PLL_OUT}	PLL倍频输出时钟	48	-	72	MHz
t_{LOCK}	PLL Ready 指示信号输出时间	-	-	50	μs
Jitter	TIE RMS Jitter	-	40	-	pS
I_{pll}	Operating Current of PLL @48MHz VCO frequency.	-	300	500	uA

1. 由设计和综合评估保证，不在生产中测试。
2. 需要注意使用正确的倍频系数，从而根据PLL输入时钟频率使得 f_{PLL_OUT} 处于允许范围内。

1.16 控制器 Flash 存储器特性

表 1-25. 闪存存储器特性

符号	参数	条件	最小值 ⁽¹⁾	典型值 ⁽¹⁾	最大值 ⁽¹⁾	单位
t_{prog}	32位的编程时间	$T_A = -40 \sim 85^{\circ}C$	-	175	-	μs
t_{ERASE}	页(512字节)擦除时间	$T_A = -40 \sim 85^{\circ}C$	-	2.27	-	ms
t_{ME}	整片擦除时间	$T_A = -40 \sim 85^{\circ}C$;	-	34.1	-	ms
I_{DD}	供电电流 ⁽¹⁾	读模式, $f_{HCLK} = 48\text{ MHz}$, $V_{DD} = 3.3\text{ V}$	-	2	2.4	mA
		写模式, $f_{HCLK} = 48\text{ MHz}$, $V_{DD} = 3.3\text{ V}$	-	-	1.2	mA
		擦除模式, $f_{HCLK} = 48\text{ MHz}$, $V_{DD} = 3.3\text{ V}$	-	-	0.6	mA
		掉电模式/停机, $V_{DD} = 3.3\sim 3.6\text{ V}$	-	-	150	μA

1. 由设计和综合评估保证，不在生产中测试。

表 1-26. 闪存存储器寿命和数据保存期限

符号	参数	条件	最小值 ⁽¹⁾	单位
N_{END}	寿命(注：擦写次数)	$T_A = -40 \sim 85^{\circ}C$;	100	千次
t_{RET}	数据保存期限	$T_A = 85^{\circ}C$, 1000次擦写 ⁽¹⁾ 之后	10	年

1. 由综合评估得出，不在生产中测试。

1.17 控制器 IO 端口特性

● 通用输入/输出特性

所有的 I/O 端口都是兼容 CMOS 和 TTL。

表 1-27. I/O 静态特性

符号	参数	VDD	条件	最小值	最大值	单位
VIH	输入低电平电压	3.3	-	-	0.8	V
		1.8	-	-	0.2×VDD	
VIH	输入高电平电压	3.3	-	2.0	-	V
		1.8	-	0.8×VDD	-	
Vhys	I/O 脚施密特触发器电压迟滞 ⁽¹⁾	3.3/1.8	-	0.1×VDD	---	V
I _{lkg} (2)	输入漏电流I _{IH}	3.3/1.8	-	---	1	μA
	输入漏电流I _{IL}	3.3/1.8	-	-1	-	
VOH	输出高电平电压	3.3	High driving I _{min} = 8 mA low driving I _{min} = 4 mA	2.4	-	V
		1.8	High driving I _{min} = 4 mA low driving I _{min} = 2 mA	VDD-0.45	-	
VOL	输出低电平电压	3.3	High driving I _{min} = 8 mA low driving I _{min} = 4 mA	-	0.45	
		1.8	High driving I _{min} = 4 mA low driving I _{min} = 2 mA	-	0.4	
RPU	弱上拉等效电阻	3.3/1.8	-	40	100	kΩ
RPD	弱下拉等效电阻	3.3/1.8	-	40	100	kΩ
CIO	I/O引脚的电容	3.3/1.8	-	-	10	pF
1. 施密特触发器开关电平的迟滞电压。由设计和综合评估保证，不在生产中测试。						
2. 如果在相邻引脚有反向电流倒灌，则漏电流可能高于最大值。						

所有 I/O 端口都是 CMOS 和 TTL 兼容（不需软件配置），它们的特性考虑了多数严格的 CMOS 工艺或 TTL 参数。

● 输入输出交流特性

输入输出交流特性的定义和数值在下表给出。

表 1-28. 输入输出交流特性

VDD	条件			Rise/Fall Time (ns)			Propagation Delay (ns)		
	Driving Strength	Slew Rate Control	CLoading(pf)	Min	Typ	Max	Min	Typ	Max
3.3V (2.7~3.6)	Low (DR=1)	Slow (SR=1)	25	4	5.5	11	6.6	10	20
			50	7.5	9.5	18	8.5	12	24
			100	15	17	32	13	16	31
		Fast (SR=0)	25	3.8	4.9	9.2	5.9	8.8	18
			50	7.3	8.8	16.2	7.8	10.8	21.2
			100	14.2	16.7	30.5	12	15	29
	High (DR=0)	Slow (SR=1)	25	2.4	3.7	7.2	5.5	8.5	17.1
			50	3.9	5.5	10.5	6.5	9.6	19.2
			100	7.3	9.3	17.2	8.4	12	23
		Fast (SR=0)	25	2	3.1	5.9	4.9	7.6	16
			50	3.7	4.9	9.5	5.8	8.7	18
			100	7.2	8.8	17	7.7	11	22
1.8V (1.62~1.98)	Low (DR=1)	Slow (SR=1)	25	8	12	22	14	23	44
			50	15	20	36	18	27	52
			100	29	36	65	26	36	66
		Fast (SR=0)	25	7.5	10.5	16.4	12.25	20	40
			50	14.5	18.5	33	16.5	24.2	47
			100	28	35	62	24	33	62
	High (DR=0)	Slow (SR=1)	25	4.6	8	15.4	12	20.2	40
			50	7.6	11.8	22	14	22.5	44
			100	11.5	19.5	36	17.5	26.7	52
		Fast (SR=0)	25	4	6.9	14	10.5	18	36
			50	7.3	11	20	12.3	20	40
			100	15	18.5	33	16	25	47

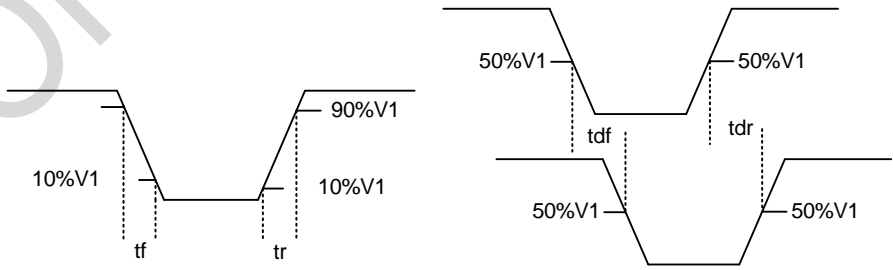


图 1-7. 输入输出交流特性定义

1.18 控制器 MCU_NRST 引脚特性

MCU_NRST 引脚输入驱动使用 CMOS 工艺，它连接了一个不能断开的上拉电阻。

表 1-29. NRST 引脚特性

符号	参数	VDD	最小值	典型值	最大值	单位
$V_{IL(NRST)}^{(1)}$	NRST输入低电平电压	1.8 V ~ 3.6 V	-	-	0.3 VDD	V
$V_{IH(NRST)}^{(1)}$	NRST输入高电平电压	1.8 V ~ 3.6 V	0.7 VDD	-	-	
$V_{hys(NRST)}$	NRST施密特触发器电压迟滞	1.8 V ~ 3.6 V	-	220	-	mV
R_{PU}	弱上拉等效电阻 ⁽²⁾	1.8 V ~ 3.6 V	30	40	50	kΩ
$V_{F(NRST)}^{(1)}$	NRST输入滤波脉冲	1.8 V ~ 2 V	-	-	100	Ns
		3 V ~ 3.6 V	-	-	100	
$V_{NF(NRST)}^{(1)}$	NRST输入非滤波脉冲	1.8 V ~ 2 V	650	-	-	Ns
		3 V ~ 3.6 V	300	-	-	

1. 复位网络是为了防止寄生复位。
2. 用户必须保证NRST引脚的电位能够低于最大VIL（NRST）以下，否则MCU不能得到复位

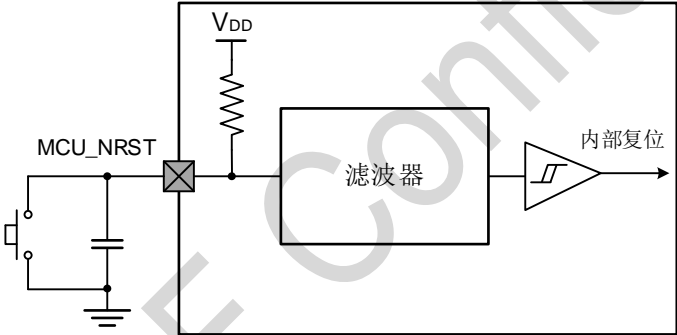


图 1-8. 建议的 NRST 引脚保护

1.19 控制器 TIM 定时器特性

表 1-30. TIMx⁽¹⁾特性

符号	参数	条件	最小值	最大值	单位
$t_{res(TIM)}$	定时器分辨时间	$f_{TIMxCLK}=48\text{ MHz}$	1	-	$t_{TIMxCLK}$
		$f_{TIMxCLK}=48\text{ MHz}$	20.8	-	ns
f_{EXT}	CH1至CH2的定时器外部时钟频率	$f_{TIMxCLK}=48\text{ MHz}$	0	$f_{TIMxCLK}/2$	MHz
		$f_{TIMxCLK}=48\text{ MHz}$	0	24	MHz
Re_{STM}	定时器分辨率	$f_{TIMxCLK}=48\text{ MHz}$	-	16	位
$t_{COUNTER}$	当选择了内部时钟时，16位计数器时钟周期	$f_{TIMxCLK}=48\text{ MHz}$	1	65536	$t_{TIMxCLK}$
		$f_{TIMxCLK}=48\text{ MHz}$	0.0208	1365	μs
t_{MAX_COUNT}	最大可能的计数	$f_{TIMxCLK}=48\text{ MHz}$	-	65536 x 65536	$t_{TIMxCLK}$
		$f_{TIMxCLK}=48\text{ MHz}$	-	89.478	s

1. TIMx是一个通用的名称，代表TIM 1~TIM 8

1.20 控制器 I2C 接口特性

I2C 接口符合标准 I2C 通信协议，但有如下限制：SDA 和 SCL 不是“真”开漏的引脚，当配置为开漏输出时，在引出脚和 VDD 之间的 PMOS 管被关闭，但仍然存在。I2C 接口特性见下表，有关输入输出复用功能引脚（SDA 和 SCL）的特性详情，参见第 1.17 节。

表 1-31. I²C 接口特性

符号	参数	标准模式		快速模式		快速模式		单位
		最小	最大	最小	最大	最小	最大	
f _{SCL}	I2C 接口频率	0	100	0	400	0	1000	KHz
t _{h(STA)}	开始条件保持时间 ⁽¹⁾	4.0	-	0.6	-	0.26	-	μs
t _{w(SCLL)}	SCL 时钟低时间 ⁽¹⁾	4.7	-	1.3	-	0.5	-	μs
t _{w(SCLH)}	SCL 时钟高时间 ⁽¹⁾	4.0	-	0.6	-	0.26	-	μs
t _{su(STA)}	重复的开始条件建立时间 ⁽¹⁾	4.7	-	0.6	-	0.26	-	μs
t _{h(SDA)}	SDA 数据保持时间 ⁽¹⁾	-	3.4	-	0.9	-	0.4	μs
t _{su(SDA)}	SDA 建立时间 ⁽¹⁾	250	-	100	-	50	-	ns
t _{r(SDA)} t _{r(SCL)}	SDA 和 SCL 上升时间 ⁽¹⁾	-	1000	20+0.1 Cb	300	-	120	ns
t _{f(SDA)} t _{f(SCL)}	SDA 和 SCL 下降时间 ⁽¹⁾	-	300	20+0.1 Cb	300	-	120	ns
t _{su(STO)}	停止条件建立时间 ⁽¹⁾	4.0	-	0.6	-	0.26	-	μs
t _{w(STO:STA)}	停止条件至开始条件的的时间(总线空闲) ⁽¹⁾	4.7	-	1.3	-	0.5	-	μs
C _b	每条总线的容性负载 ⁽¹⁾	-	400	-	400	-	200	pf
t _{v(SDA)}	数据有效时间 ⁽¹⁾	3.45	-	0.9	-	0.45	-	μs
t _{v(ACK)}	应答有效时间 ⁽¹⁾	3.45	-	0.9	-	0.45	-	μs

1. 由设计和综合评估保证，不在生产中测试。
2. 为达到标准模式 I2C 的最大频率，f_{PCLK1} 必须大于 2 MHz。为达到快速模式 I2C 的最大频率，f_{PCLK1} 必须大于 4 MHz。

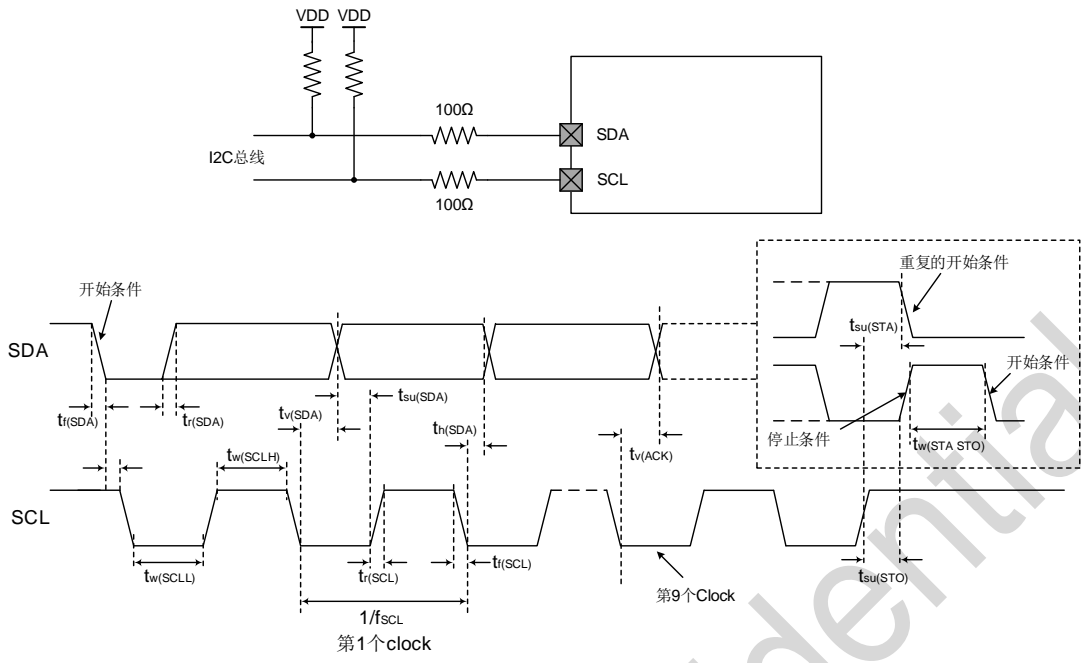


图 1-9. I²C 总线交流波形和测量电路⁽¹⁾

1. 测量点设置于 CMOS 电平: 0.3 VDD 和 0.7 VDD。

1.21 控制器 SPI/I2S 接口特性

有关输入输出复用功能引脚（SPI 的 NSS、SCLK、MOSI、MISO，I2S 的 WS、CLK、SD）的特性详情，参见第 1.17 节。

表 1-32. SPI 特性⁽⁴⁾

符号	参数	条件	最小值	最大值	单位
f_{SCLK} $1/t_{c(SCLK)}$	SPI 时钟频率	主模式	-	18	MHz
		从模式	-	18	
$t_{r(SCLK)}t_{f(SCLK)}$	SPI 时钟上升和下降时间	负载电容: C = 30 pF	-	8	ns
DuCy(SCK)	SPI 从输入时钟占空比	SPI 从模式	30	70	%
$t_{su(NSS)}^{(1)}$	NSS 建立时间	从模式	$4t_{PCLK}$	-	ns
$t_{h(NSS)}^{(1)}$	NSS 保持时间	从模式	$2t_{PCLK}$	-	ns
$t_{w(SCLKH)}^{(1)}$ $t_{w(SCLKL)}^{(1)}$	SCLK 高和低的时间	主模式	t_{PCLK}	$t_{PCLK}+2$	ns
$t_{su(MI)}^{(1)}$	数据输入建立时间	主模式	SPI1	19.84	ns
			SPI2	20.5	
$t_{su(SI)}^{(1)}$		从模式	SPI1	4.16	ns
			SPI2	4.16	
$t_{h(MI)}^{(1)}$	数据输入保持时间	主模式	0	-	ns
$t_{h(SI)}^{(1)}$		从模式	4	-	
$t_{a(SO)}^{(1)(2)}$	数据输出访问时间	从模式, $f_{PCLK} = 20\text{ MHz}$	0	$3t_{PCLK}$	ns
$t_{dis(SO)}^{(1)(3)}$	数据输出禁止时间	从模式	2	10	ns
$t_{v(SO)}^{(1)}$	数据输出有效时间	从模式(使能边沿之后)	SPI1	32	ns

符号	参数	条件		最小值	最大值	单位
$t_{V(MO)}^{(1)}$			SPI2	-	30	
		主模式(使能边沿之后)	SPI1	-	28	
			SPI2	-	28	
$t_{h(SO)}^{(1)}$	数据输出保持时间	从模式(使能边沿之后)		0	-	ns
$t_{h(MO)}^{(1)}$		主模式(使能边沿之后)		0	-	

1. 由设计和综合评估保证，不在生产中测试。
2. 最小值表示驱动输出的最小时间，最大值表示正确获得数据的最大时间。
3. 最小值表示关闭输出的最小时间，最大值表示把数据线置于高阻态的最大时间。
4. 测试电压为3.3 V。

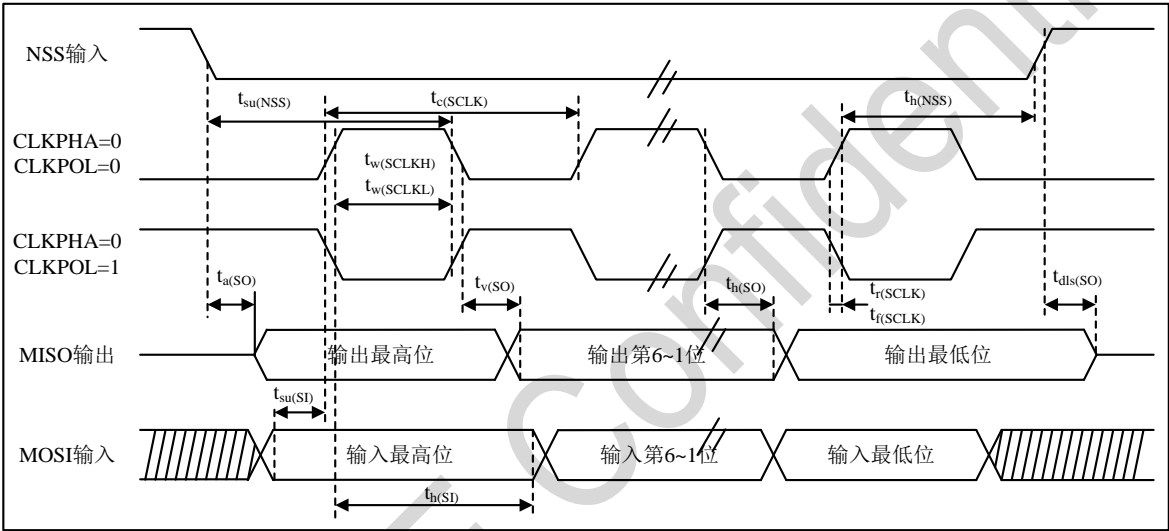


图 1-10. SPI 时序图 – 从模式和 CPHA=0

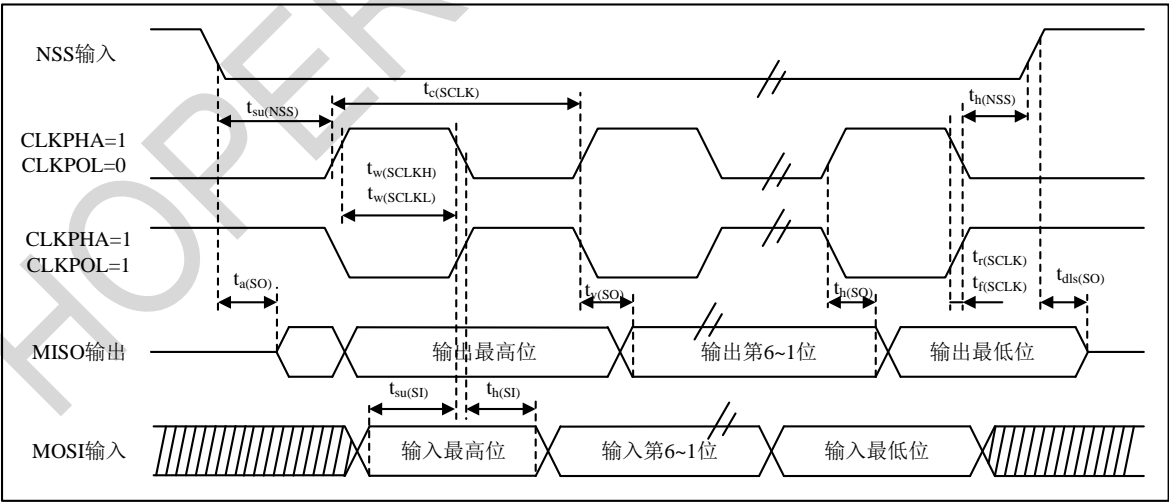


图 1-11. SPI 时序图 – 从模式和 CPHA=1⁽¹⁾

1. 测量点设置于 CMOS 电平：0.3 VDD 和 0.7 VDD。

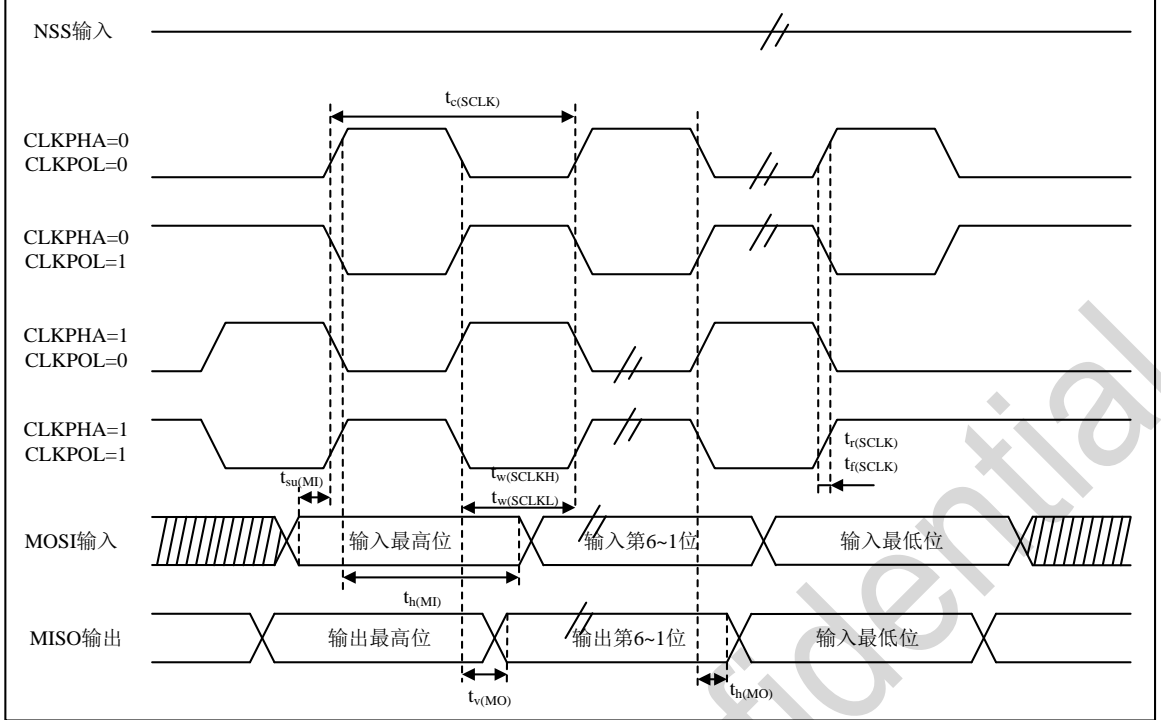


图 1-12. SPI 时序图 – 主模式⁽¹⁾

1. 测量点设置于 CMOS 电平: 0.3 VDD 和 0.7 VDD。

表 1-33. I²S 特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
DuCy(SCK)	I2S从输入时钟占空比	I2S从模式	30	50	70	%
f_{CLK} $1/t_c(CLK)$	I ² S时钟频率	主模式(16 bit)	-	$2 \cdot Fs^{(3)} \cdot 16$	-	Hz
		从模式(16 bit)	-	$2 \cdot Fs^{(3)} \cdot 16$	-	
		主模式(32 bit)	-	$2 \cdot Fs^{(3)} \cdot 32$	-	
		从模式(32 bit)	-	$2 \cdot Fs^{(3)} \cdot 32$	-	
$t_r(CLK)$	I2S时钟上升和下降时间	负载电容: CL = 50 pF	-	-	8	ns
$t_v(WS)^{(1)}$	WS有效时间	主模式	13.5	-	-	
$t_h(WS)^{(1)}$	WS保持时间	主模式	0	-	-	
$t_{su}(WS)^{(1)}$	WS建立时间	从模式	4	-	-	
$t_h(WS)^{(1)}$	WS保持时间	从模式	0	-	-	
$t_w(CLKH)^{(1)}$	CLK高和低的时间	主模式, $f_{PCLK} = 16 \text{ MHz}$, 音频48 kHz	312.5	-	-	
$t_w(CLKL)^{(1)}$			345	-	-	
$t_{su}(SD_MR)^{(1)}$	数据输入建立时间	主接收器	3.6	-	-	
$t_{su}(SD_SR)^{(1)}$		从接收器	3.5	-	-	
$t_h(SD_MR)^{(1)(2)}$	数据输入保持时间	主接收器	0	-	-	
$t_h(SD_SR)^{(1)(2)}$		从接收器	0	-	-	
$t_v(SD_ST)^{(1)(2)}$	数据输出有效时间	从发送器(使能边沿之后)	-	-	29.76	ns

符号	参数	条件	最小值	典型值	最大值	单位
$t_{h(SD_ST)}^{(1)}$	数据输出保持时间	从发生器(使能边沿之后)	0	-	-	
$t_{v(SD_MT)}^{(1)(2)}$	数据输出有效时间	主发生器(使能边沿之后)	-	-	13.6	
$t_{h(SD_MT)}^{(1)}$	数据输出保持时间	主发生器(使能边沿之后)	-6.5	-	-	

1.

由设计和综合评估保证，不在生产中测试。

2.

依赖于 f_{PCLK} 。例如，如果 $f_{PCLK} = 8\text{ MHz}$ ，则 $T_{PCLK} = 1/f_{PCLK} = 125\text{ ns}$ 。

3.

F_s 值音频采样频率，频率范围8 KHz ~ 96 KHz。

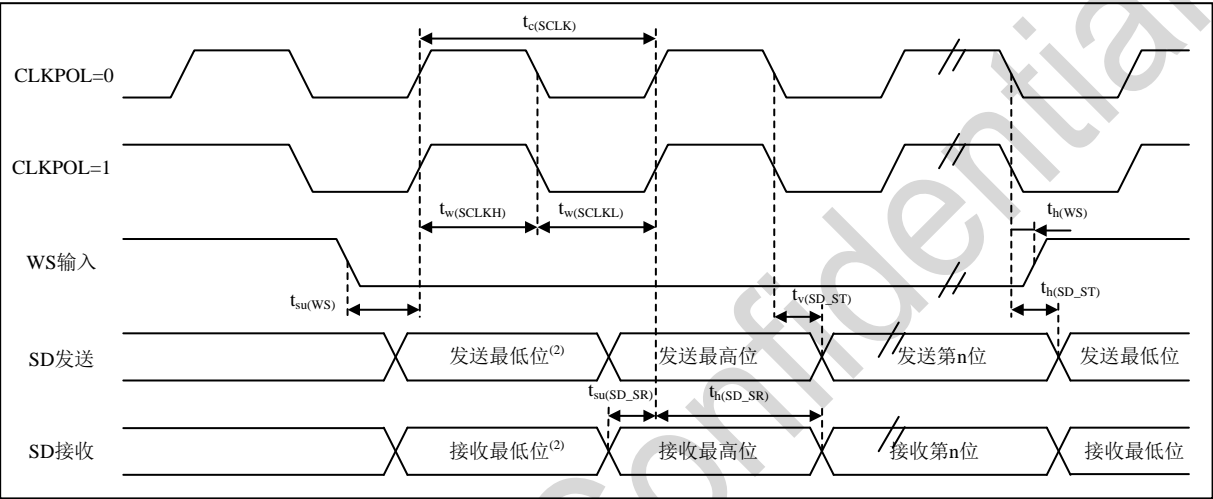


图 1-13. I2S 从模式时序图(飞利浦协议)(1)

1.
- 测量点设置于 CMOS 电平：0.3 VDD 和 0.7 VDD。
2.
- 前一字节的最低位发送/接收。在第一个字节之前没有这个最低位的发送/接收。

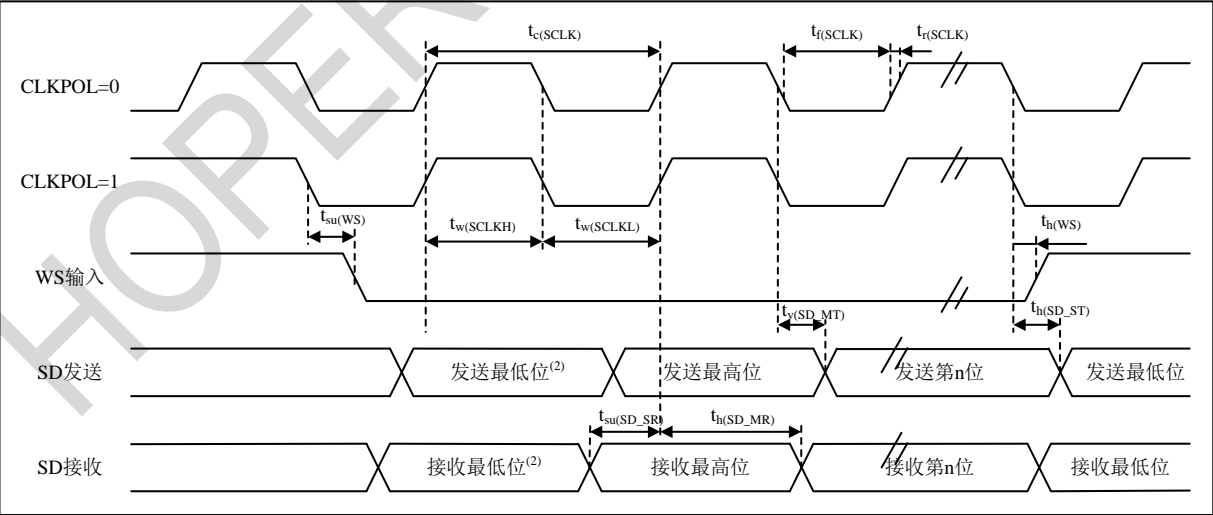


图 1-14. I2S 主模式时序图(飞利浦协议)(1)

1.
- 测量点设置于 CMOS 电平：0.3 VDD 和 0.7 VDD。
2.
- 前一字节的最低位发送/接收，在第一个字节之前没有这个最低位的发送/接收。

1.22 控制器 ADC 特性

表 1-34. ADC 特性

符号	参数	条件	最小值	典型值	最大值	单位
V _{DDA}	供电电压	-	2.4	3.3	5.5	V
V _{REF+}	正参考电压	-	2.4	-	V _{DDA}	V
f _{ADC}	ADC时钟频率	-	-	-	18	MHz
f _s ⁽¹⁾	采样速率	-	-	0.89	1.33	Msp/s
V _{AIN}	转换电压范围 ⁽²⁾	-	0	-	V _{REF+}	V
R _{AIN} ⁽¹⁾	外部输入阻抗	-	参见公式1			Ω
R _{ADC} ⁽¹⁾	ADC输入电阻	V _{DDA} =3.0 V	-	1500	-	Ω
C _{ADC} ⁽¹⁾	内部采样和保持电容	-	-	13	15	pF
SNDR	Singal noise distortion ration	V _{DDA} =3.3 V	-	68	-	dB
t _s ⁽¹⁾	采样时间	-	6	-	-	1/f _{ADC}
t _{STAB} ⁽¹⁾	上电时间	-	32	-	-	1/f _{ADC}
t _{CONV} ⁽¹⁾	转换时间	-	12			1/f _{ADC}

1. 由设计和综合评估保证，不在生产中测试。

2. VREF+内部连接到VDDA。

公式1：最大RAIN公式

$$R_{AIN} < \frac{T_s}{f_{ADC} \times C_{ADC} \times \ln(2^{N+2})} - R_{ADC}$$

上述公式(公式1)用于决定最大的外部阻抗，使得误差可以小于1/4 LSB。其中N=12(表示12位分辨率)。

表 1-35. ADC 精度 – 局限的测试条件⁽¹⁾⁽²⁾

符号	参数	测试条件	典型值	最大值 ⁽³⁾	单位
EG	增益误差	V _{REF+} = 3.3 V, T _A = 25 °C, V _{in} = 0.05 V _{DDA} ~ 0.95 V _{DDA}	±2	±5	LSB
EO	偏移误差		±0.5	±2.0	
ED	微分线性误差		±0.6	1.5	
EL	积分线性误差		±1.5	2.5	
ENOB	有效位		11	-	Bits
1. ADC的直流精度数值是在经过内部校准后测量的。 2. ADC精度与反向注入电流的关系：需要避免在任何标准的模拟输入引脚上注入反向电流，因为这样会显著地降低另一个模拟输入引脚上正在进行的转换精度。建议在可能产生反向注入电流的标准模拟引脚上，(引脚与地之间) 增加一个肖特基二极管。 3. 由综合评估保证，不在生产中测试。					

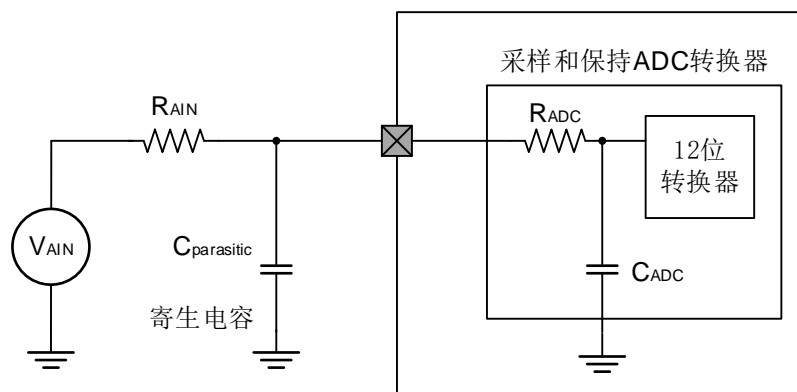


图 1-15. 使用 ADC 典型的连接图

1.23 控制器运算放大器（OPAMP）电气参数

表 1-36. OPAMP 特性

符号	参数	条件	最小值	典型值	最大值	单位
VDDA	模拟供电电压	-	2.4	-	5.5	V
CMIR	共模电压输入范围	-	0	-	VDDA	V
VIOFFSET	输入失调电压	-	-	4	-	mV
ILOAD	驱动电流	-	-	0.5	-	mA
IDDA	运算放大器电流消耗	No load, quiescent mode	-	0.5	-	mA
CMMR	共模抑制比	-	-	70	-	dB
PSRR	电源抑制比	-	-	60	-	dB
GBW	增益带宽	-	-	2.5	-	MHz
SR	转换速率	-	-	3	-	V/us
RLOAD	最小阻抗负载	-	10	-	-	KΩ
CLOAD	最大容抗负载	-	-	-	25	pF
TSTARTUP	启动建立时间	CLOAD ≤ 25 pF, RLOAD ≥ 10 kΩ, Follower configuration	-	3	5	μs
PGA BW	PGA bandwidth for different non inverting gain	PGA Gain = 2, Cload = 25 pF, Rload = 10 KΩ	-	1	-	MHz
		GA Gain = 4, Cload = 25 pF, Rload = 10 KΩ	-	0.5	-	
		GA Gain = 16, Cload = 25 pF, Rload = 10 KΩ	-	0.125	-	

符号	参数	条件	最小值	典型值	最大值	单位
		GA Gain = 32, Clod = 25 pF, Rload = 10 K Ω	-	0.0625	-	
1. 由设计和综合评估保证, 不在生产中测试。						

1.24 控制器比较器 (COMP) 电气参数

表 1-37. COMP 特性

符号	参数	条件		最小	典型	最大值	单位
VDDA	模拟供电电压	-		2.2	-	5.5	V
VIN	输入电压范围	-		0	-	VDDA	
TSTART	比较器启动建立时间	normal mode		-	-	5	us
		low speed mode		-	-	15	
td	Propagation delay for 200 mV step with 100 mV overdrive	VDDA >= 2.2 V normal mode		-	100	-	ns
		low speed mode		-	520	-	
VOFFSET	比较器输入失调误差	Full common mode range		-	±4	±20	mV
Vhys	比较滞后电压（高速/低功耗）	No hysteresis		-	0	-	mV
		Low hysteresis		-	10/8	-	
		Medium hysteresis		-	20/15	-	
		High hysteresis		-	30/25	-	
IDDA	比较器电流消耗	High speed mode	Static	-	35	-	μA
			With 50 kHz ±100 mV overdrive square signal	-	36	-	
		Low speed mode	Static	-	5	-	
			With 50 kHz ±100 mV overdrive square signal	-	6	-	

1. 由设计和综合评估保证，不在生产中测试。

1.25 控制器温度传感器（TS）特性

表 1-38. 温度传感器特性

符号	参数	最小值	典型值	最大值	单位
$T_L^{(1)}$	V_{SENSE} 相对于温度的线性度	-	± 2	-	$^{\circ}\text{C}$
Avg_Slope ⁽¹⁾	平均斜率	-	3.9	-	mV/ $^{\circ}\text{C}$
$V_{25}^{(1)}$	在25 $^{\circ}\text{C}$ 时的电压	-	1.3	-	V
$t_{START}^{(1)}$	建立时间	-	11	22	μs
$T_{S_temp}^{(1)(2)}$	当读取温度时，ADC采样时间	-	1.87	6.43	μs

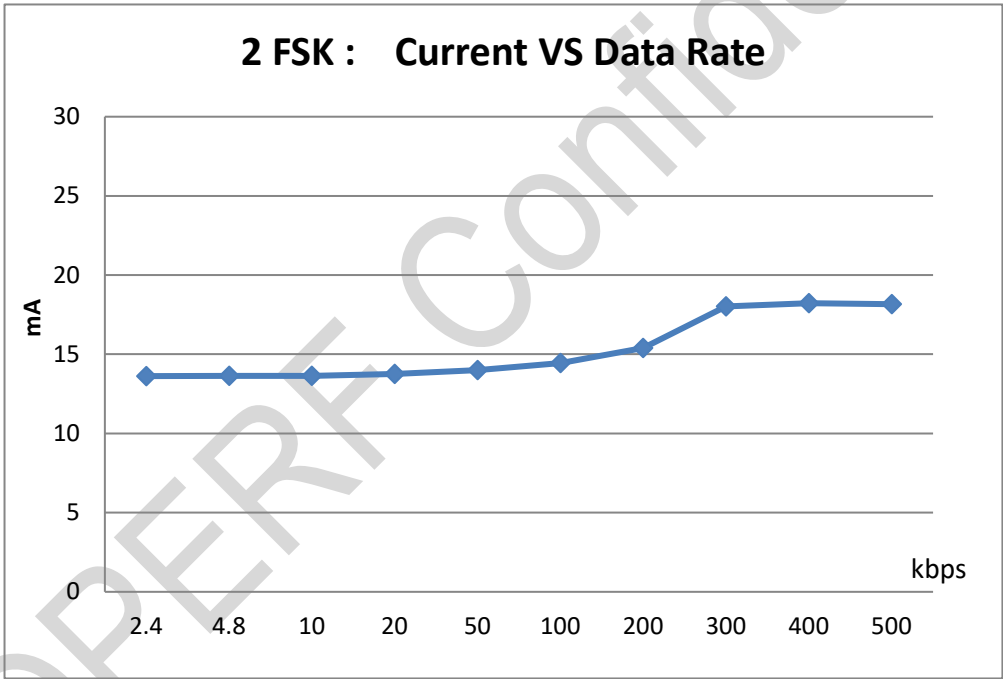
1.

由设计和综合评估保证，不在生产中测试。

2.

最短的采样时间可以由应用程序通过多次循环决定。

1.26 接收电流与数据率



测试条件：Freq = 434 MHz, ppm = 10

图 1-16.接收电流与数据率

1.27 接收灵敏度与数据率

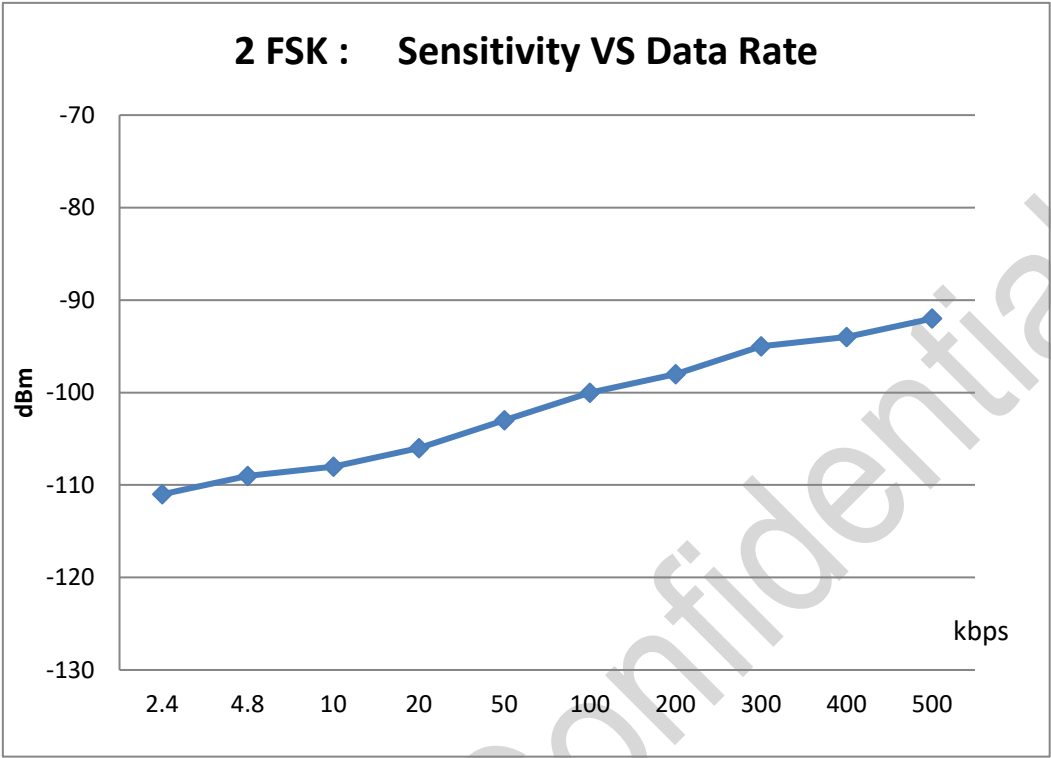
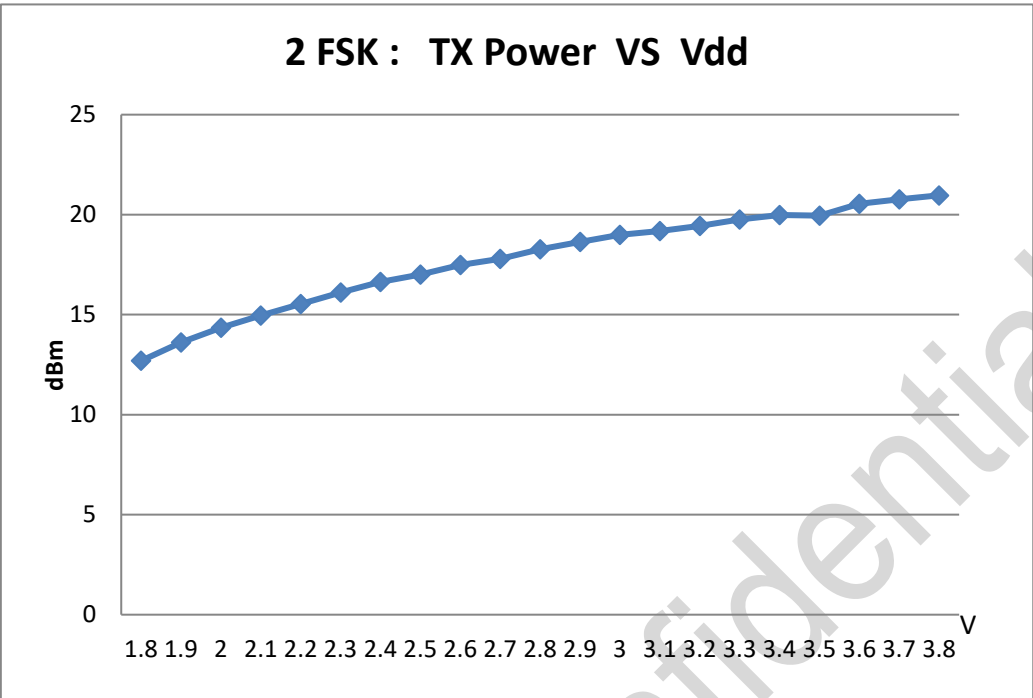


图 1-17. 接收灵敏度与数据率

1.28 发射功率与供电电压关系



测试条件: Freq = 434 MHz, 20 dBm 匹配网络, 3.3 V 下 20 dBm 发射功率

图 1-18. 发射功率与供电电压关系

1.29 发射相位噪声

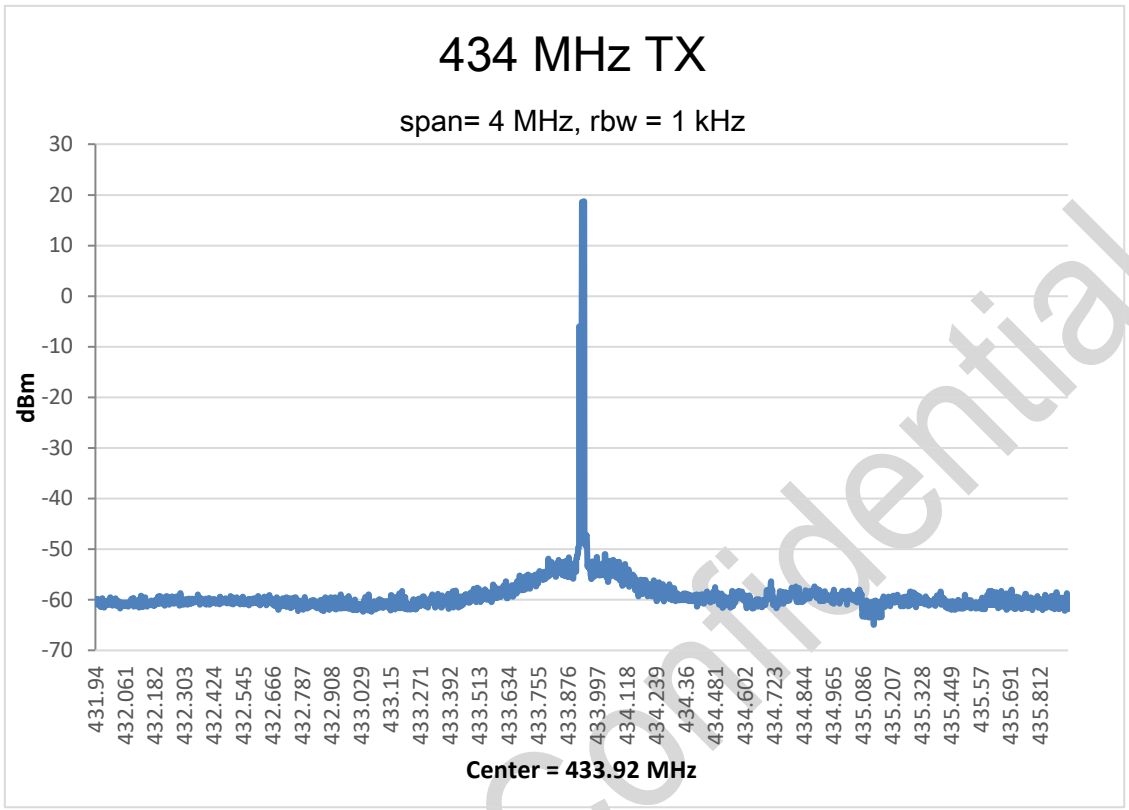


图 1-18. 发射相位噪声

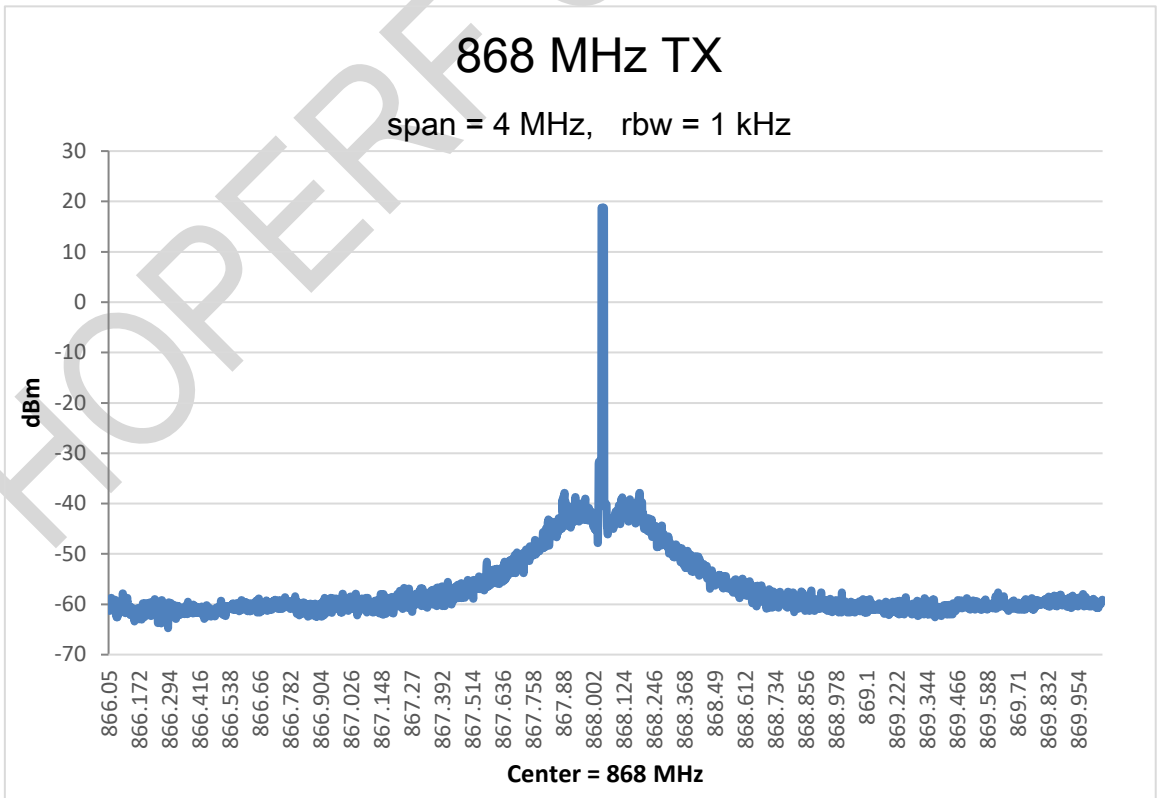


图 1-19. 发射相位噪声

2 管脚描述

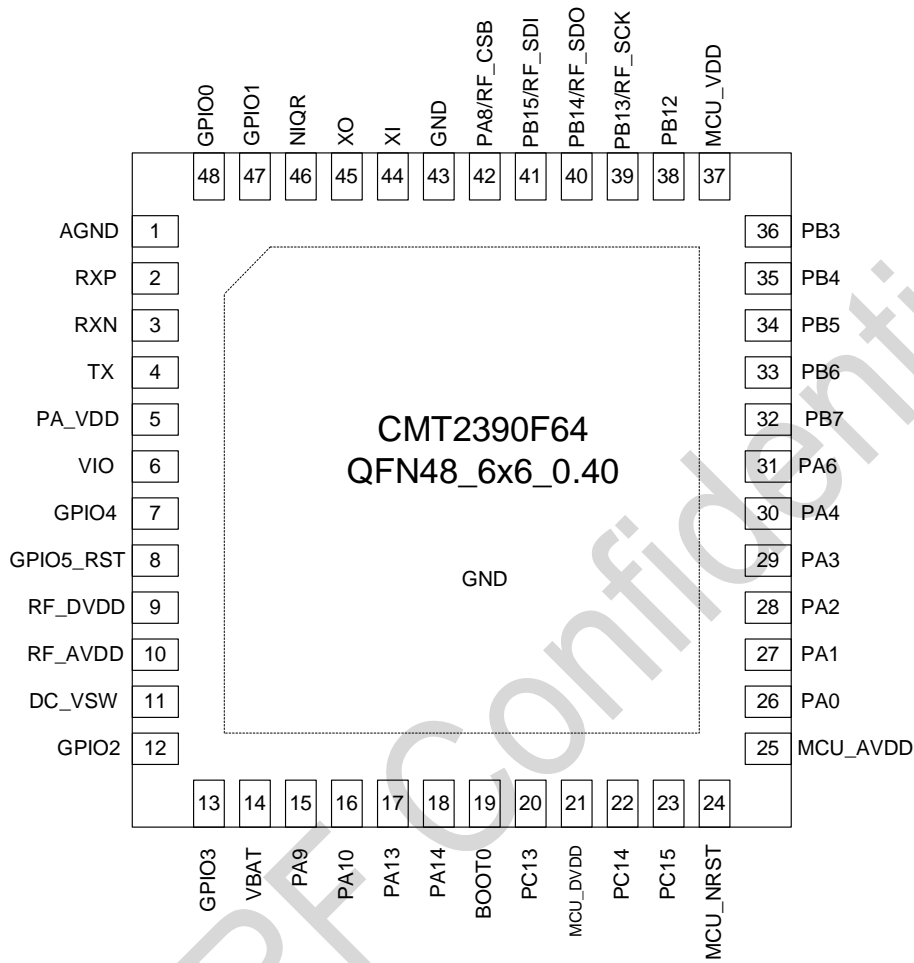


图 2-1. CMT2390F64 管脚排列图

表 2-1. CMT2390F64 管脚描述

管脚号	管脚名称	I/O	描述
1	AGND	I	模拟 GND
2	RXP	I	RX 信号输入 P
3	RXN	I	RX 信号输入 N
4	TX	O	输出
5	PA_VDD	IO	PA VDD
6	VIO	IO	IO VDD
7	GPIO4	IO	可配置
8	GPIO 5_RST	IO	可配置
9	RF_DVDD	I	RF 模块数字 VDD

管脚号	管脚名称	I/O	描述
10	RF_AVDD	I	射频电路 VDD
11	DC_VSW	I	DCDC
12	GPIO2	IO	可配置
13	GPIO3	IO	可配置
14	VBAT	I	模拟 VDD
15	PA9	IO	MCU 端口 PA9
16	PA10	IO	MCU 端口 PA10
17	PA13	IO	MCU 端口 PA13
18	PA14	IO	MCU 端口 PA14
19	BOOT0		启动内存选择
20	PC13	IO	MCU 端口 PC13
21	MCU_DVDD	模拟	MCU 供电数字电源正
22	PC14	IO	MCU 端口 PC14
23	PC15	IO	MCU 端口 PC15
24	MCU_NRST	I	MCU 复位端口，低电平有效
25	MCU_AVDD	模拟	MCU 供电模拟电源正
26	PA0	IO	MCU 端口 PA0
27	PA1	IO	MCU 端口 PA1
28	PA2	IO	MCU 端口 PA2
29	PA3	IO	MCU 端口 PA3
30	PA4	IO	MCU 端口 PA4
31	PA6	IO	MCU 端口 PA6
32	PB7	IO	MCU 端口 PB7
33	PB6	IO	MCU 端口 PB6
34	PB5	IO	MCU 端口 PB5
35	PB4	IO	MCU 端口 PB4
36	PB3	IO	MCU 端口 PB3
37	MCU_VDD	S	互补电源
38	PB12	IO	MCU 端口 PB12
39	PB13/RF_SCK	IO	MCU 端口 PB13/ RF SPI 的时钟
40	PB14/RF_SDO	IO	MCU 端口 PB14 / RF SPI 的数据输出
41	PB15/RF_SDI	IO	MCU 端口 PB15 / RF SPI 的数据输入
42	PA8/RF_CSB	IO	RF SPI 访问寄存器的片选
43	GND	I	底板 GND
44	XI	I	晶体电路输入
45	XO	O	晶体电路输出
46	NIRQ	I	可配置
47	GPIO1	IO	可配置
48	GPIO0	IO	可配置

3 芯片框架

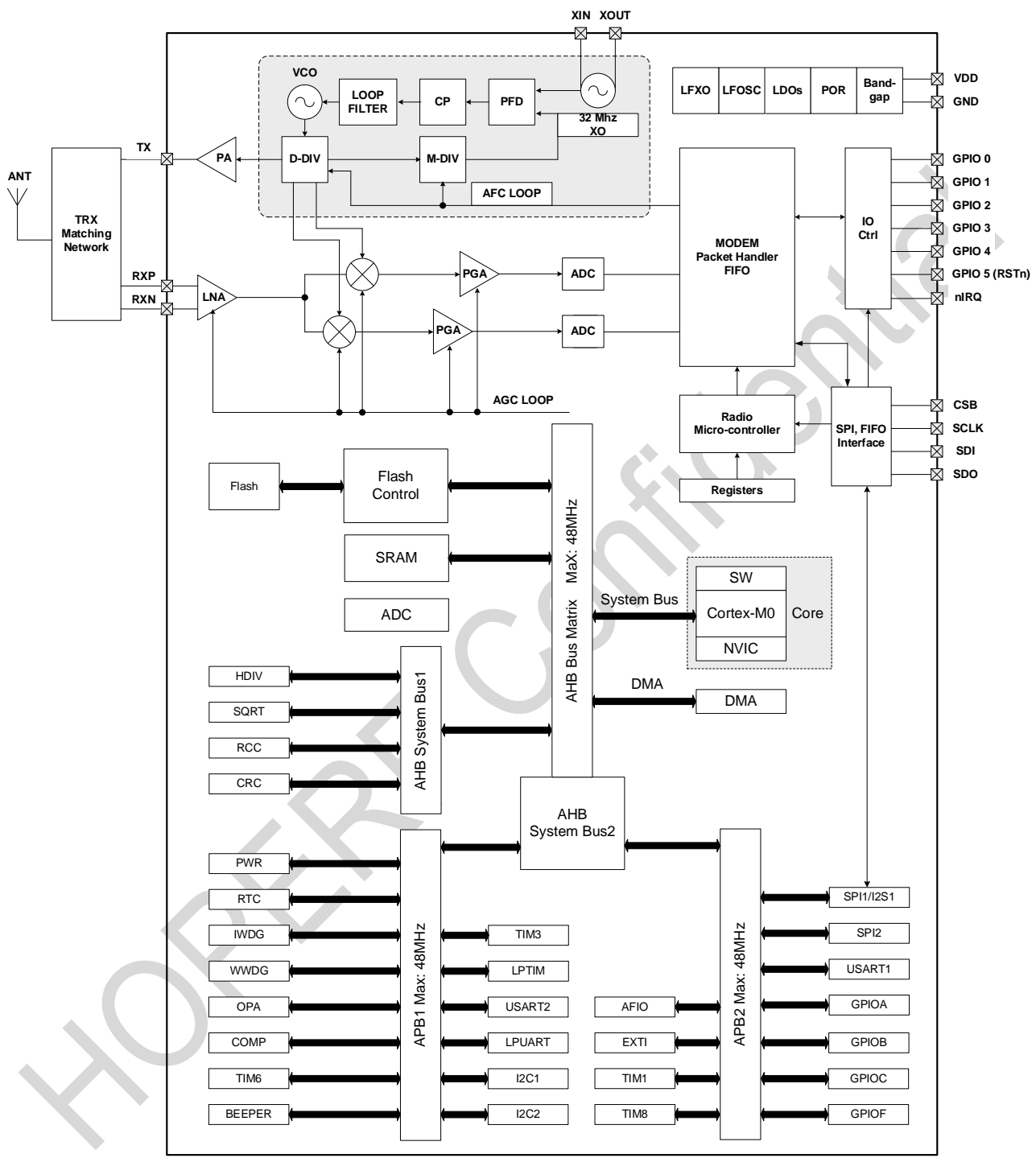


图 3-1. 功能系统框图

CMT2390F64 是一款集成 Sub-G 高性能无线收发器的单片机，CMT2390F64 的内部系统框图上图 3-1 所示。

● 低功耗高性能 Sub-G 收发器

Sub-G 无线收发器支持 113 至 960 MHz，OOK、(G)FSK，4 (G)FSK 等调制模式、低功耗高性能、适用于各类无线收发通讯应用场合。该产品属于 CMOSTEK NextGenRF™ 系列，该系列产品包括发射器、接收器和收发器等完整的产品系列。

● ARM Cortex-M0 高性能 32e 位微处理器

CMT2390F64 控制器部分采用 32 位 ARM Cortex®-M0 内核，最高工作主频 48 MHz，集成高达 64 KB 加密存储 Flash，最大 8 KB SRAM；内置一个高速 AHB 总线，二个低速外设总线 APB 及总线矩阵，最多支持 23 个通用 I/O，提供丰富的高性能模拟接口，包括 1 个 12 位 1 Msps ADC，最多支持 12 个外部输入通道、1 路独立的运算放大器、1 个高速比较器，同时提供多种数字通信接口，包括 3 个 U(S)ART、2 个 I2C、2 个 SPI、1 个 I2S。

CMT2390F64 资源具体请见下表。

表 3-1. CMT2390F64 外设资源表

项目名称		CMT2390F64 外设资源	备注
Flash 容量 (KB)		64	
SRAM 容量 (KB)		8	
CPU 内核和频率		ARM Cortex-M0 @ 48 MHz	
工作环境		1.8~3.6 V / -40~85℃	
定时器	通用	3	
	高级	16 中断源，4 优先级	
	基本	增强型串口	
	LPTIM	支持	
	RTC	支持	
通讯接口	SPI	支持	
	I2S	支持	
	I2C	支持	
	USART	支持	
	LPUART	支持	
GPIO		23	其中 4 个连接到 RF 的 SPI
DMA		5 通道	
12 bit ADC		6-ch	1 Msps
OPA/COMP		1 / 1	
Beeper		1	TWI & STWI
算法支持		CRC 16 / CRC 32	
安全保护		读写保护 (RDP / WRP)、存储加密	

4 Sub-G 收发器

4.1 发射机

CMT2390F64 发射器是基于射频频率直接综合的发射器。其载波频率是由一个低噪声小数分频频率综合器产生。调制数据由一个高效的单端功率放大器 (PA) 发射出去。输出功率可以通过寄存器读写，以 1dB 的步进从 -10 dBm 配置到 +20 dBm。

在 OOK 模式下，当 PA 根据发射数据快速开关时，容易引起载波附近产生频谱的杂散和毛刺。通过缓慢升降（Ramping）机制，可以把这些杂散和毛刺减到最小。在 FSK 模式下，CMT2390F64 支持信号经过高斯滤波后才发射，即 GFSK，让发射频谱更为集中。

根据不同的应用需求，用户可以设计一个 PA 匹配网络在所需的输出功率底下优化发射效率。典型应用原理图和所需的 BOM 陈述与第三章“典型应用原理图”。

发射器可工作在直通模式和包模式下。在直通模式下，待发射的数据直接通过芯片的 DIN 管脚送入芯片，并直接发射。在包模式下，数据可以在 STBY 状态下预先装入芯片的 FIFO 中，再配合其他的包元素一起发射出去。在 4FSK 模式下只支持从 FIFO 中发射数据。

4.2 接收机

CMT2390F64 内建一个超低功耗，高性能低中频 OOK，FSK 接收器。天线感应进来的射频信号，通过低噪声放大器放大以后，通过正交混频器下变频至中频，可编程放大器把信号进一步放大，再通过模数转换器送入数字域，做数字解调处理。在上电复位（POR）的时候每一个模拟模块都会被校准到内部的参考电压。这使得芯片能更好的工作在不同的温度和电压底下。基带滤波和解调由数字解调器完成。当芯片工作在有强带外干扰的环境时，通过自动增益控制环路调节系统的增益，可以获得最佳的系统线性度，选择性，灵敏度等性能。

沿用 CMOSTEK 的低功耗设计技术，当接收器常开时仅消耗非常低的功耗。它的周期运行模式和空中唤醒功能可以在对功耗有严格要求的应用中进一步降低系统的平均功耗。

与发射器类似，CMT2390F64 接收器可以工作于直通模式和包模式。在直通模式下，解调器输出的数据可以通过芯片的 DOUT 管脚直接输出。DOUT 可以由 GPIO 配置而成。在包模式下，解调器的数据输出先送至数据包处理器当中解码，然后填入 FIFO 中，再由 MCU 通过 SPI 接口对 FIFO 进行读取。

4.3 收发器上电 POR

上电复位电路辅助探测电源变化，并产生相应的复位信号来复位整个射频系统（CMT2390F64 的射频部分）。当 POR 过后，CMT2390F64 控制器可以对射频系统进行重新初始化配置。有两种情况会让 POR 产生复位。

第一种情况是短暂的电源突变导致 POR 产生复位。触发的条件是，RF-VDD（射频系统供电，下同）在小于 2 μ s 的时间内骤降 0.9 V 加减 20%（即 0.72 V – 1.08 V），注意，它监测的是 RF-VDD 的降幅，而不是 RF-VDD 的绝对值。如下图所示：

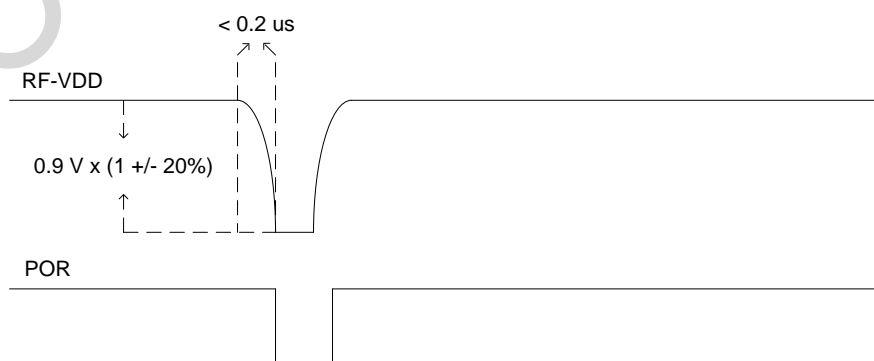


图 4-1.迅速下降导致 POR 复位

第二种情况是缓慢的电源下降。触发的条件是，RF-VDD 在大于等于 2 us 的时间内下降到 1.45 V 加减 20%（即 1.16 V – 1.74 V），注意，它监测的是 RF-VDD 的绝对值，而不是 RF-VDD 的降幅。如下图所示：

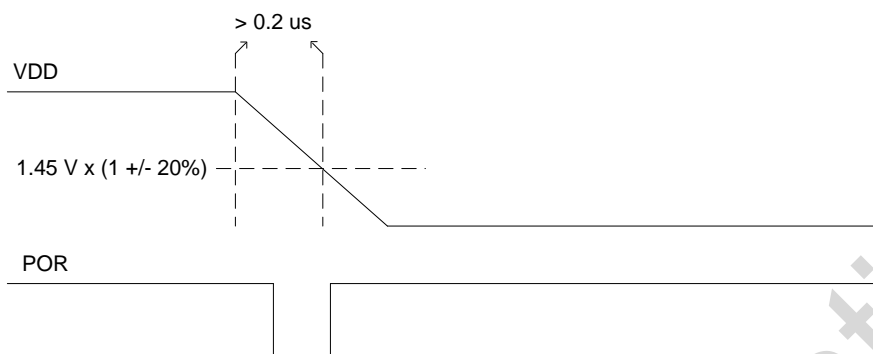


图 4-2.缓慢下降导致 POR 复位

4.4 收发器晶体振荡器

晶体振荡器用于为锁相环提供基准时钟，为数字模块提供系统时钟。XI 与 XO 之间的差分负载电容等于 C_L ， C_L 应该与晶体要求的负载电容值匹配，以使晶体准确振荡在 32 MHz。

$$C_L = \frac{C_{\text{onchip}} + C_{\text{off_chip}} + C_{\text{par}}}{2}$$

Conchip 为 CMT2390F64 内部提供给晶体两端分别对地挂接的负载电容，可通过 RFPDK 上的 Xtal Cap Load 配置可调范围为 23~29 pF，步进约 190 fF。Coffchip 为外部挂接晶体两端到地的负载电容，由客户选择是否增加。Cpar 为晶体两端分别到地的寄生电容，约为 2~6 pF。这里推荐用户使用 15 pF 负载的晶体振荡器与 CMT2390F64 搭配使用。另外，晶体的 ppm 越低，对接收机性能越好

4.5 收发器内置低频振荡器（LPOSC）

CMT2390F64 射频系统集成了一个由 32 kHz 低功耗振荡器（LPOSC）驱动的睡眠计时器。当该功能使能时，该计时器周期性的将芯片从睡眠中唤醒。当芯片工作于周期运行模式时，睡眠时间可以配置从 62.5 us 至 8585740.288 s。由于低功耗振荡器的频率会随着温度和电压的改变而漂移，它会在上电阶段自动校准，并且会被周期性的校准。这些校准会使得该振荡器的频率容差保持在±1%以内。

4.6 收发器内置低压检测

芯片设置了低电压检测的功能。每当芯片调谐到某个频率时，该检测就会进行一次。当芯片从 SLEEP/READY 状态跳转到 RFS/TFS/TX/RX 状态时都会进行频率调谐。检测结果可以通过 LBD_DATA 寄存器读取。

4.7 接收机信号强度指示（RSSI）

RSSI 用于评估调谐的信道内的信号的强度，检测范围-127 dBm 到 20 dBm。用户可以通过配置 RFPDK 里的 RSSI Detect Mode 来选择是实时输出 RSSI 值，还是在接收数据包的各个阶段锁存 RSSI 的值。

CMT2390F64 允许用户在 RFPDK 设置检测门限 RSSI Compare TH，此值与检测到的 RSSI 值进行对比，如果 RSSI 检测值大于门限就输出 1，否则输出 0。对比的结果可以输出到 RSSI VLD 中断，也可以用于辅助内部超低功耗（SLP）模式的运作。

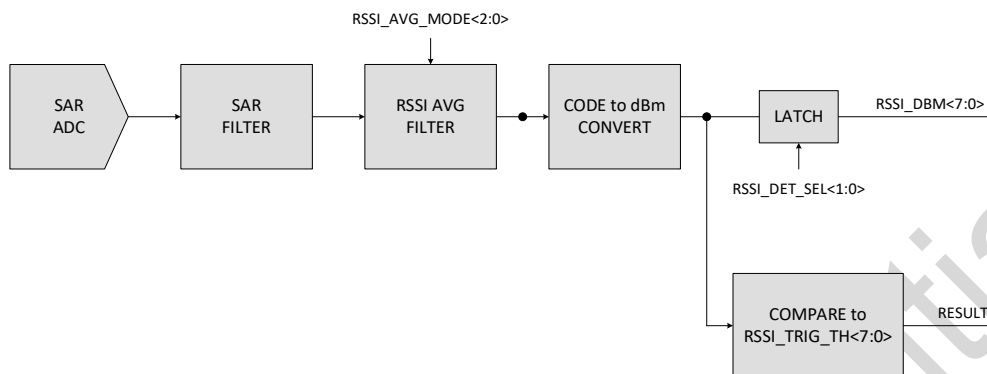


图 4-3. RSSI 测量和对比电路结构

CMT2390F64 芯片所提供的 RSSI 可以满足用户一般情况下的定性分析需求，若需要定量分析，需要更精准的 RSSI 测量结果，用户需要在实际的方案中做生产校准，具体使用方法请用户参考《AN144-CMT2300A RSSI 使用指南》。

4.8 相位跳变检测（PJD）

PJD 是指 Phase Jump Detector，即相位跳变检测器。在芯片进行 2-FSK 解调的时候，可用于通过观察接收信号的跳变特性，来识别接收的是噪声还是有用信号。OOK 和 4-FSK 解调并不支持该功能。

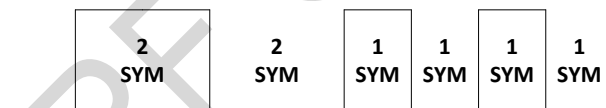


图 4-4. 接收信号跳变图

PJD 认为输入信号从 0 到 1 或者从 1 到 0 切换就是一次相位跳变，用户仅仅需要去配置 PJD_WIN_SEL<1:0>，来告诉 PJD 需要检测多少次信号跳变才能输出判断结果。如上图所示，一共接收了 8 个 symbol，但是跳变只出现了 6 次，因此跳变数并不能等同于 symbol 数量。只有在接收 preamble 时，跳变数才等同于 symbol 数。总的来说，PJD 跳变次数越多，判断结果越可靠；越少，就越快完成。如果接收的时间窗口很小，那么就需要将检测次数减少来满足窗口设置的要求。一般来说，跳变次数是 4 次就已经可以达到比较可靠的检测效果，即不会将噪声误判为有用信号，有用信号来的时候不会检测不到。

监测信号跳变，实质上就是监测信号是否符合预期的数据率。在监测跳变的同时，PJD 还会在内部自动监测信号的 Deviation 是否符合约定的有效信号的值，同时会判断 SNR 是否超过 7 dB。然后综合数据率，Deviation 和 SNR 的监测结果，如果确定接收到的是可靠的信号，那么就会输出 1；如果是噪声或者干扰信号，就会输出 0。这个结果可以通过配置输出到 RSSI VLD 中断，也可以输出到内部辅助超低功耗（SLP）接收模式的实现。在直通模式下，通过将 DOUT_MUTE 寄存器设为 1，还可以利用 PJD 来实现 FSK 解调输出静音。

PJD 技术类似于传统的载波检测（CS）技术，但比 CS 更为可靠。当用户将 RSSI 监测和 PJD 技术结合起来，就能够非常准确地识别当前信道的空闲状态。

4.9 接收机数据率时钟恢复 (CDR)

CDR 系统的基本任务是在接收数据的同时，恢复出与数据率同步的时钟信号，既在芯片内部用于解码，也可以输出到 GPIO 给用户用于采样数据。所以，CDR 的任务很简单也很重要，如果恢复出来的时钟频率跟实际传输的数据率有误差，就会在接收时造成数据采集错误，出现误码，以及解码出错。

CMT2390F64 接收机支持三种 CDR 系统，分别支持不同的应用需求：

- **COUNTING 系统** – 这个系统是针对数据率对得比较准的情况设计的，如果数据率是 100% 对准，可以连续接收无限个长 0 都不会出错。
- **TRACING 系统** – 这个系统是针对数据率偏差比较大的情况设计的，它具有追踪功能，可以自动探测出 TX 发射过来的数据率，并同时快速地调整 RX 本地的数据率，尽量减小两者之间的误差。这个系统可以承受的范围可以大至 15.6%，这是业界其它同类产品无法做到的。
- **MANCHESTER 系统** – 这个系统是有 COUNTER 系统变化出来的，基本特性是一样的，唯一的区别是，该系统是专门为了曼切斯特编解码而设计的，在 TX 数据率有突发变化的情况下，可以做特殊处理，能够正确识别突变的信号部分。

4.10 快速手动跳频

手动跳频的意思是，基于使用 RRPDK 配置得到的基础频点，例如 433.92 MHz，在应用过程当中，用 MCU 通过简单地设置 1 到 2 个寄存器，就可以快速地切换到另一个频点。在多信道的应用中，简化了用户不停切换新的频点的操作。

$$\text{FREQ} = \text{基础频点} + 1 \text{ kHz} \times \text{FREQ_SPACE} < 7:0 > \times \text{FREQ_CHANNEL_MANU} < 7:0 >$$

一般来说，用户可以先在上电初始化配置的阶段，将 FREQ_SPACE<7:0> 设置好，然后在应用中通过不停地改动 FREQ_CHANNEL_MANU<7:0> 来切换频道即可。

4.11 收发器控制接口及工作模式

4.11.1 收发器 SPI 接口时序

芯片是通过 4-线 SPI 口与外部进行通信的。SPI 默认是 4 线的，在上电后可配置成 3 线。低有效的 CSB 是用于访问寄存器的片选信号。SCLK 是串口时钟，最快速度可以到 10MHz。无论对于芯片本身，还是外部的 MCU，都是在 SCLK 的下降沿送出数据，在上升沿采集数据。SDI 用于数据输入，SDO 用于数据输出。在 3 线模式下，SDI 同时用于数据输入和输出，SDO 闲置。地址和数据部分都是从 MSB 开始传送。

当访问寄存器的时候，CSB 要拉低。然后首先发送一个 R/W 位，后面跟着 7 位的寄存器地址。控制器在拉低 CSB 之后，必须等待至少半个 SCLK 周期，才能开始发送 R/W 位。在控制器发送出最后一个 SCLK 的下降沿之后，必须等待至少半个 SCLK 周期，再把 CSB 拉高。

需要注意的是，对于下图的 4 线写寄存器操作，在 SDI 输入写数据的同时，SDO 会输出该寄存器当前的值 (old register read data)，MCU 可根据需要决定是否读取该值。

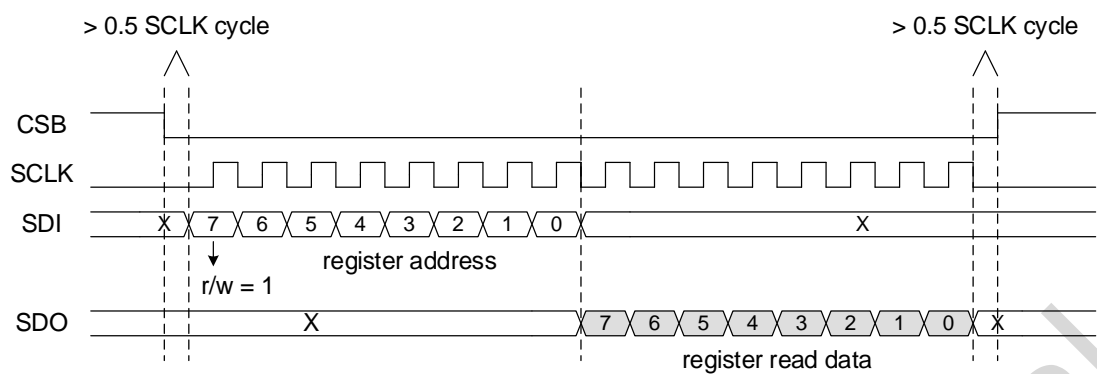


图 4-5. 收发器 SPI 读寄存器时序

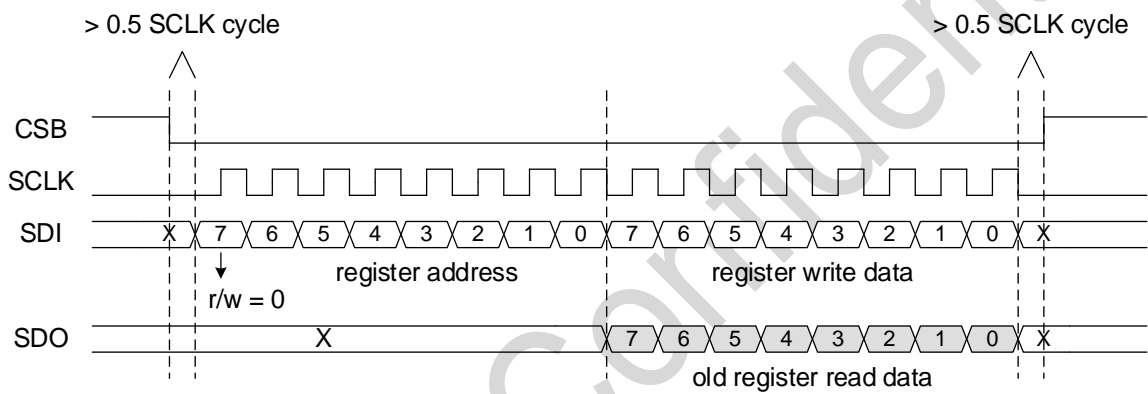


图 4-6. 收发器 SPI 写寄存器时序

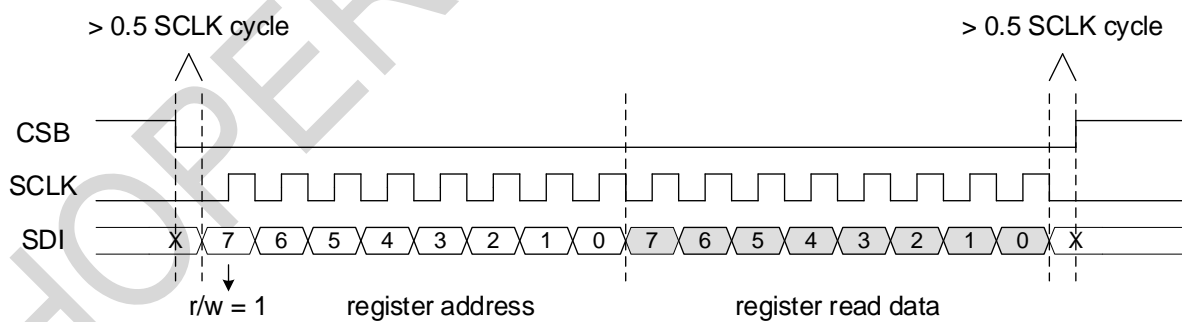


图 4-7. SPI (3 线) 读寄存器时序

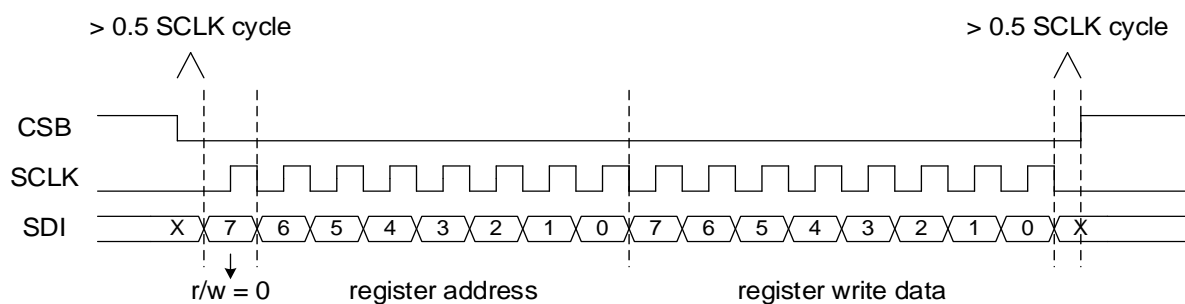


图 4-8. SPI（3 线）写寄存器时序

对于 3 线的读寄存器操作，MCU 和 CMT2390F64 都会在地 0 和数据 7 之间产生切换 IO（SDIO）口的行为。此时 CMT2390F64 会将 IO 口从输入切换到输出，MCU 会将 IO 口从输出切换到输入。请注意中间虚线的位置，此时强烈建议 MCU 在送出 SCLK 的下降沿前，先将 IO 口切换为输入；CMT2390F64 在看到下降沿之后，才会将 IO 切换为输出。这就避免了两者的同时 SDIO 设为输出导致电气冲突的情况。对于某些 MCU 来说，这样的情况可能会导致其复位或出现其它异常行为。

4.11.2 收发器 FIFO 接口时序

收发器默认提供两个独立的 128-byte 的 FIFO，分别给 RX 和 TX 使用，两者互不相干。RX FIFO 用来在 RX 模式中存储接收数据，TX FIFO 用于 TX 模式中存储即将发射的数据。用户也可以将 FIFO_MERGE_EN 设成 1，那么两个 FIFO 就合成一个 256-byte 的 FIFO，在 TX 和 RX 下都可以使用，通过配置 FIFO_RX_TX_SEL 来指示目前是用作 TX 还是 RX。如果没有使用合并，当 128 字节 RX FIFO 被填入时，用户可以同时为下一次发射填入 128 字节的 TX FIFO，以节省系统操作时间。

FIFO 可以通过 SPI 接口访问。用户可以通过设置 FIFO_CLR_TX/ FIFO_CLR_RX 位来清空 FIFO。并且，用户可以通过设置 FIFO_RESTORE 来重复发射之前填入的数据，无需重新填入数据。

用户可以通过配置 PD_FIFO 来控制 FIFO 是否在 SLEEP 状态下保存内容。PD_FIFO = 0 指 FIFO 可以在 SLEEP 状态下保存内容，但会消耗 200 nA 左右的漏电流。

在 MCU 需要访问 FIFO 的时候，首先要将配置一些寄存器，来设置好 FIFO 的读/写模式，以及其它工作模式。下图给出的是确定模式后的读写时序图。FIFO 的操作以写入 Page 0 的 0x7A 地址来触发，当 r/w 比特为 0 时，会进行写 FIFO 操作，当为 1 时，会进行读 FIFO 操作。

FIFO 的读写也可以使用 3 线的 SPI 来操作，当使用 3 线时，读数据的输出和写数据的输入，均是在 SDI 管脚上进行。当使用 4 线时，写数据从 SDI 输入，读数据从 SDO 输出。FIFO 的操作流程是，先访问 0x7A 地址的 FIFO 操作端口，其中包含的读写位决定后面是写数据还是读数据操作。之后是持续读或者写的数据阶段，由用户决定何时完成操作。

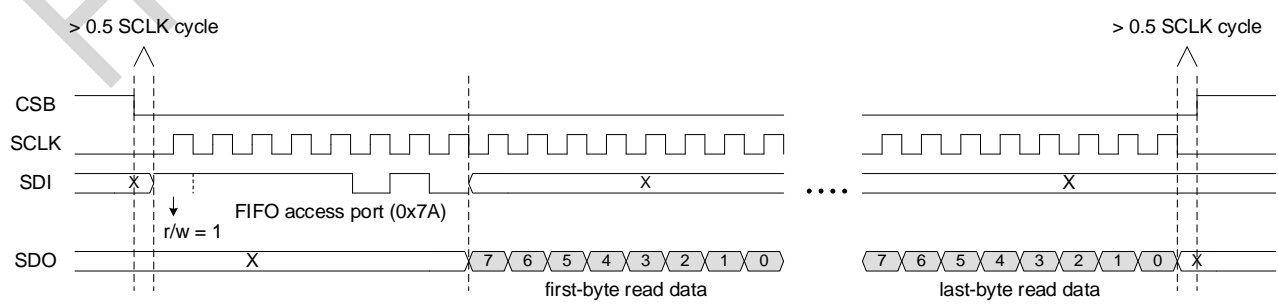


图 4-9. SPI（4 线）读取 FIFO 时序

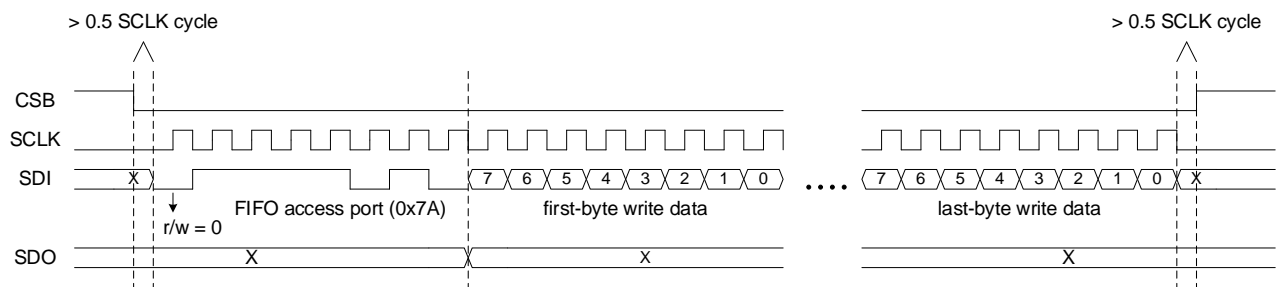


图 4-10. SPI（4 线）写入 FIFO 时序

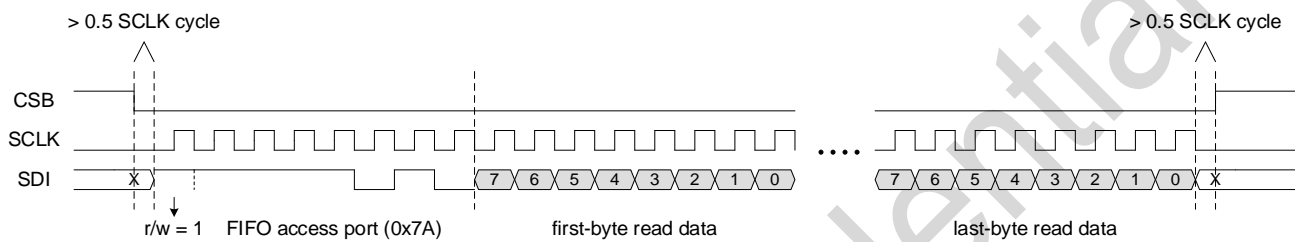


图 4-11. SPI（3 线）读取 FIFO 时序

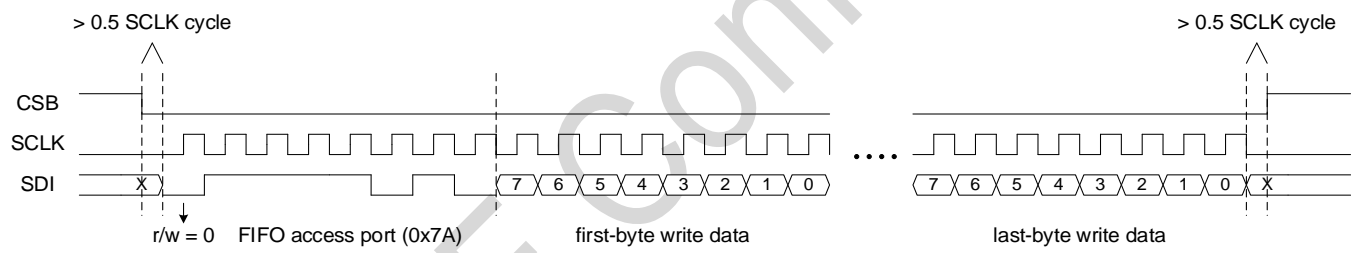


图 4-12. SPI（3 线）写入 FIFO 时序

收发器提供了丰富的与 FIFO 相关的中断源，作为芯片高效的运作的辅助手段，其中 Rx 和 Tx 相关的 FIFO 中断时序如下图所示。

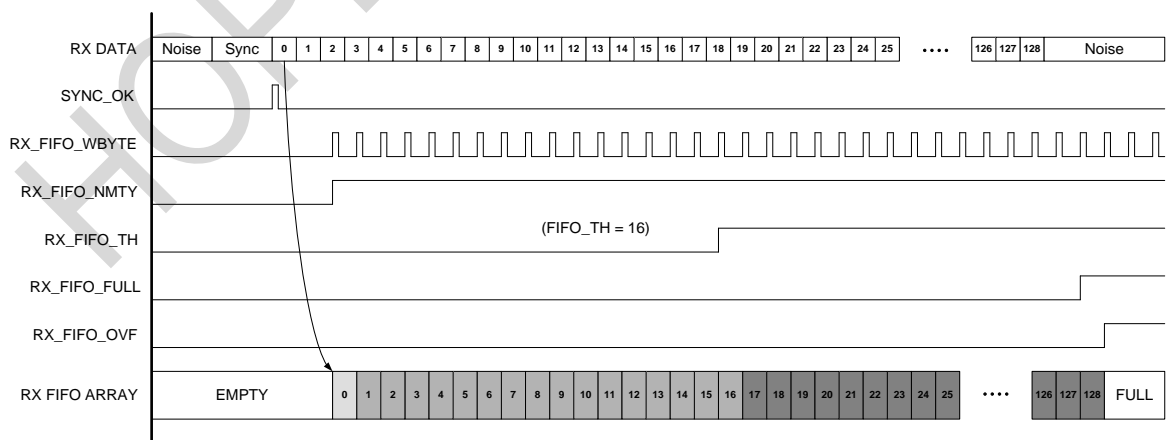


图 4-13. 收发器 RX FIFO 中断时序示意图

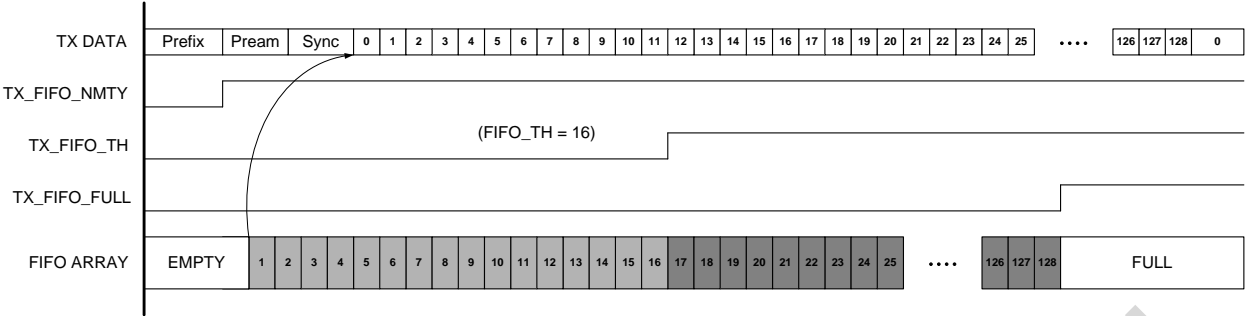


图 4-14. 收发器 TX FIFO 中断时序示意图

4.11.3 收发器工作状态、时序及功耗

● 启动时序

芯片在 VDD 接通后，等待约 1ms 的时间后 POR 会释放，但芯片会停留在 IDLE 状态，不做任何动作。用户发送 power_up 命令后，芯片就会开始上电流程，做各个模块的校正。芯片完成校正后会停留在 SLEEP。在任何时候，只要进行复位（包括 POR，硬复位，和软复位），芯片会回到 IDLE 状态，等待用户重新发送 power_up 命令。

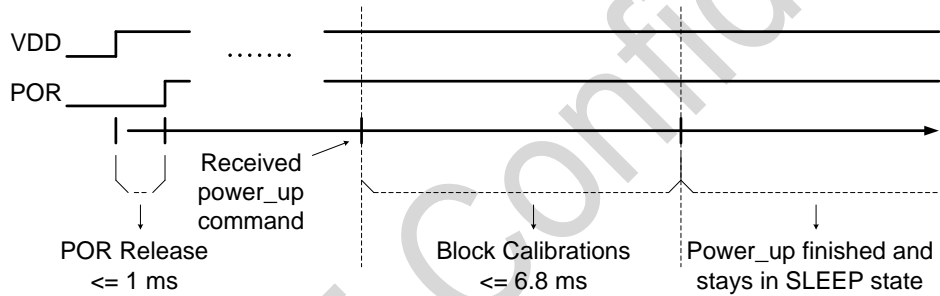


图 4-15.上电时序

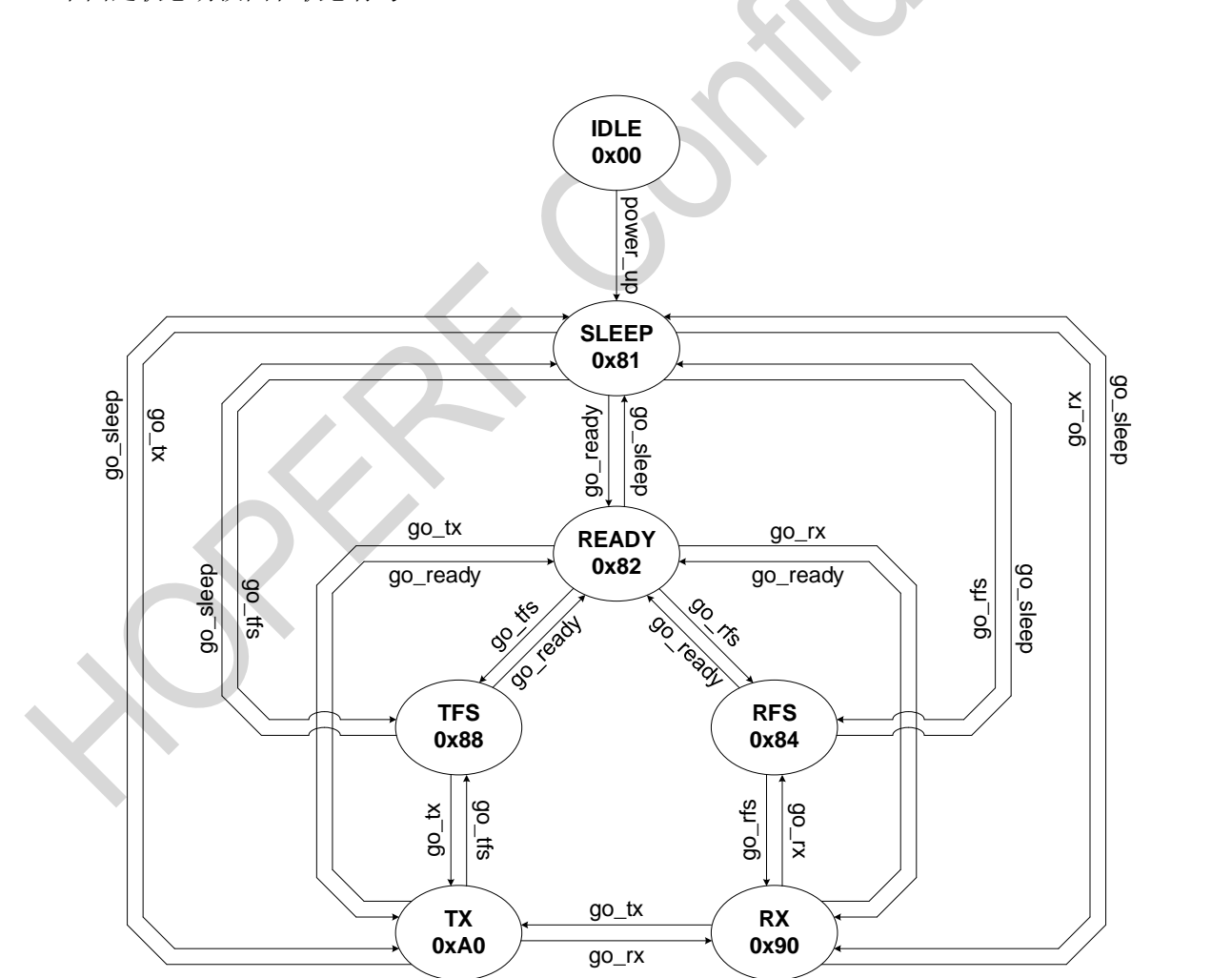
当校准完成后芯片进入 SLEEP 模式，从这时开始，控制器可以通过设置寄存器 CHIP_MODE_SWT<7:0>将芯片切换至不同的运行状态。

● 收发器工作状态

收发器一共有 7 种工作状态：IDLE，SLEEP，STBY，RFS，RX，TFS 和 TX，如下表所列：

表 4-1. 收发器状态和模块开启表

状态	二进制码	切换命令	开启模块	可选择开启模块
IDLE	0x00	soft_rst	SPI, POR	无
SLEEP	0x81	go_sleep	SPI, POR	LFOSC, FIFO, Sleep Timer
READY	0x82	go_ready	SPI, POR, XTAL, FIFO	无
RFS	0x84	go_rfs	SPI, POR, XTAL, PLL, FIFO	无
TFS	0x88	go_tfs	SPI, POR, XTAL, PLL, FIFO	无
RX	0x90	go_rx	SPI, POR, XTAL, PLL, LNA+MIXER+ADC, FIFO	RX Timer
TX	0xA0	go_tx	SPI, POR, XTAL, PLL, PA, FIFO	无



➤ SLEEP 状态

在 SLEEP 下芯片的功耗是最低的，几乎所有的模块都关闭了。SPI 是开启的，配置区和控制区 1 的寄存器可以被访问，FIFO 之前被填入的内容，也会保持不变，但是 FIFO 不能被操作。如果用户打开了定时唤醒的功能，那么 LFOSC 和睡眠计数器就会开启并工作。从 IDLE 切换到 SLEEP 所需要的时间就是上面介绍的上电流程时间。从其余状态切换到 SLEEP 都会立即完成。

➤ STBY 状态

在 STBY 下，晶体开启了，数字电路的 LDO 也会开启，电流会稍微增加，FIFO 可以被操作。用户可以选择是否输出 CLK0（系统时钟）到 GPIO_n 引脚上。由于晶体以及开启，所以相比起 SLEEP，从 STBY 切换到发射或者接收所需要的时间都会比较短。从 SLEEP 切换到 STBY 需要等待晶体开启和稳定的时间后才能完成。从其他状态切换到 STBY 会立即完成。

➤ RFS 状态

RFS 是切换到 RX 之前的一个过渡状态，除了接收机的 RF 模块是关闭之外，其它模块都开启了，电流会比 STBY 大。由于在 RFS 的时候，PLL 已经锁定在 RX 的频点了，所以不能切换到 TX。从 STBY 切换到 RFS 大概需要 350 us 的 PLL 校正和稳定时间，从 SLEEP 切换到 RFS 就需要加上晶体启动和稳定的时间，从其它状态切换到 RFS 会立即完成。

➤ TFS 状态

TFS 是切换到 TX 之前的一个过渡状态，除了发射机的 RF 模块是关闭之外，其它模块都开启了，电流会比 STBY 大。由于在 TFS 的时候，PLL 已经锁定在 TX 的频点了，所以不能切换到 RX。从 STBY 切换到 TFS 大概需要 350 us 的 PLL 校正和稳定时间，从 SLEEP 切换到 TFS 就需要加上晶体启动和稳定的时间，从其它状态切换到 TFS 会立即完成。

➤ RX 状态

在 RX 所有关于接收机的模块都会打开。从 RFS 切换到 RX 只需要 20 us。从 STBY 切换到 RX 需要加上 350 us 的 PLL 校正和稳定时间。从 SLEEP 切换到 RX 需要加上晶体启动和稳定的时间。在 TX 可以通过发送 go_switch 命令来快速切换到 RX，无论 TX 和 RX 设置的频点是否相同，都需要等待 350 us 的 PLL 重新校正和稳定时间才能切换成功。

➤ TX 状态

在 TX 所有关于发射机的模块都会打开。从 TFS 切换到 TX 只需要 20 us。从 STBY 切换到 TX 需要加上 350 us 的 PLL 校正和稳定时间。从 SLEEP 切换到 TX 需要加上晶体启动和稳定的时间。在 RX 可以通过发送 go_switch 命令来快速切换到 TX，无论 RX 和 TX 设置的频点是否相同，都需要等待 350 us 的 PLL 重新校正和稳定时间才能切换成功。

4.11.4 收发器 GPIO 功能和中断映射

CMT2390F64 有 7 个 GPIO（GPIO0~GPIO5 和 NIRQ），每个 GPIO 都可以配置成不同的输入或者输出；CMT2390F64 有 3 个中断口（INT1、INT2、INT3），可以配置到不同的 GPIO 输出。

表 4-3. 收发器 GPIO 功能

管脚号	名字	I/O	功能
48	GPIO0	IO	可配置为: DOUT, INT1, INT2, INT3, DCLK, TRX_SWT
47	GPIO1	IO	可配置为: DCLK, INT1, INT2, DOUT, TRX_SWT
12	GPIO2	IO	可配置为: INT1, INT2, INT3, DCLK, DOUT, ANTD1
13	GPIO3	IO	可配置为: INT1, INT2, DCLK, DOUT, DIN, ANTD2
7	GPIO4	IO	可配置为: DOUT, INT1, INT2, DCLK, DIN, CLKO, LFCLKO
8	GPIO5	IO	可配置为: RSTn, INT1, INT2, DOUT, DCLK
46	NIRQ	IO	可配置为: INT1, INT2, DCLK, DOUT, DIN, TCXO

下面给出中断映射表, INT1 和 INT2 的映射是一样的, 下面以 INT1 为例说明。

表 4-4. 收发器中断映射表

名称	INT1_SEL	描述	清除方式
INT_MIX	000000	组合中断, 下面任何一个中断有效, INT_MIX 就会有效	Auto/By MCU
ANT_LOCK	000001	天线分集功能运行后天线完成锁定中断	By MCU
RSSI_PJD_VALID	000010	RSSI 和 (或) PJD 的组合有效中断	Auto
PREAM_PASS	000011	指示成功收到 Preamble 的中断	By MCU
SYNC_PASS	000100	指示成功收到 Sync Word 的中断	By MCU
ADDR_PASS	000101	指示成功收到 Addr 的中断	By MCU
CRC_PASS	000110	指示成功收到并通过 CRC 校验的中断	By MCU
PKT_OK	000111	指示完整收到一个数据包, 且数据包正确的中断	By MCU
PKT_DONE	001000	指示当前的数据包已经接收完成, 会有下面 4 种情况: 1. 完整地接收到整个数据包, 且数据包正确 2. 曼切斯特解码错误, 解码电路自动重启 3. NODE ID 接收错误, 解码电路自动重启 4. 发现信号冲突, 解码电路不自动重启, 等待 MCU 处理	By MCU
SLEEP_TMO	001001	指示 SLEEP 计数器超时的中断	By MCU
RX_TMO	001010	指示 RX 计数器超时的中断	By MCU
RX_FIFO_NMTY	001011	指示 RX FIFO 非空的中断	Auto
RX_FIFO_TH	001100	指示 RX FIFO 未读内容超过 FIFO TH 的中断	Auto
RX_FIFO_FULL	001101	指示 RX FIFO 填满的中断	Auto
RX_FIFO_WBYTE	001110	指示 RX FIFO 每写入一个 BYTE 的中断, 是脉冲	Auto
RX_FIFO_OVF	001111	指示 RX FIFO 溢出的中断	Auto
TX_DONE	010000	指示 TX 完成的中断	By MCU
TX_FIFO_NMTY	010001	指示 TX FIFO 非空的中断	Auto
TX_FIFO_TH	010010	指示 TX FIFO 未读内容超过 FIFO TH 的中断	Auto
TX_FIFO_FULL	010011	指示 TX FIFO 满的中断	Auto
STATE_IS_READY	010100	指示当前状态是 READY 的中断	Auto
STATE_IS_FS	010101	指示当前状态是 RFS 或 TFS 的中断	Auto
STATE_IS_RX	010110	指示当前状态是 RX 的中断	Auto
STATE_IS_TX	010111	指示当前状态是 TX 的中断	Auto
LBD_STATUS	011000	指示低电压检测有效 (VDD 低于设置的 TH) 的中断	By MCU

名称	INT1_SEL	描述	清除方式
API_CMD_FAILED	011001	API 命令执行错误中断	By MCU
API_DONE	011010	API 命令完成指示中断	By MCU
TX_DC_DONE	011011	Duty Cycle 发射模式运行完成中断	By MCU
ACK_RECV_FAILED	011100	ACK 接收失败中断	By MCU
TX_RESEND_DONE	011111	重复发射运行完成中断	By MCU
NACK_RECV	011110	接收到 NACK 的指示中断	By MCU
SEQ_MATCH	011111	序列号匹配成功中断	By MCU
CSMA_DONE	100000	CSMA 运行完成中断	By MCU
CCA_STATUS	100001	信道监听状态中断	By MCU

中断默认 1 有效，但可通过将 INT_POLAR 寄存器比特设置为 1，使所有中断都变为 0 有效。下面还是以 INT1 为例，提供两个不同性质的中断源的控制和选择图。对于控制和映射来说，INT1 和 INT2 是相同的，可映射到任意一个 GPIO。INT3 的来源只有 INT_MIX，只能映射到 GPIO0 和 GPIO2。在使用时，用户可以选择使用 INT_MIX 来将所有中断源都映射到中断口上，通过查询中断标志来识别是哪一个中断生效；或者可以直接将某一个中断源映射到中断口上。

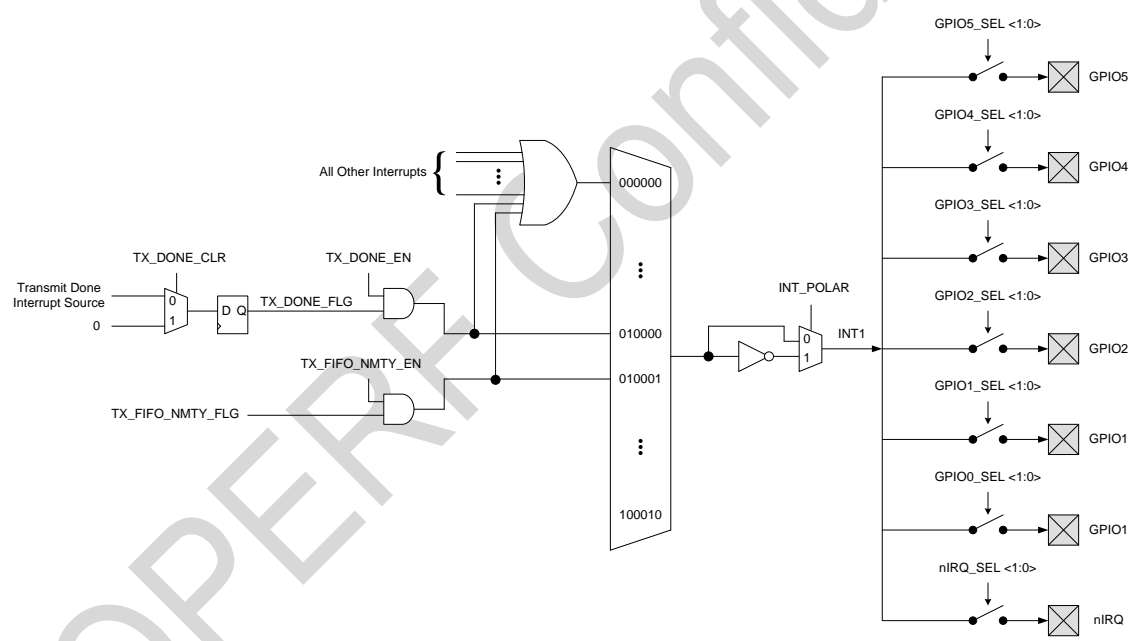


图 4-17. CMT2390F64 INT1 中断映射图

5 控制器功能简介

5.1 存储器

CMT2390F64 包含嵌入式加密闪存（Flash）存储器、嵌入式 SRAM，下图 5-1 为存储器地址映射图。

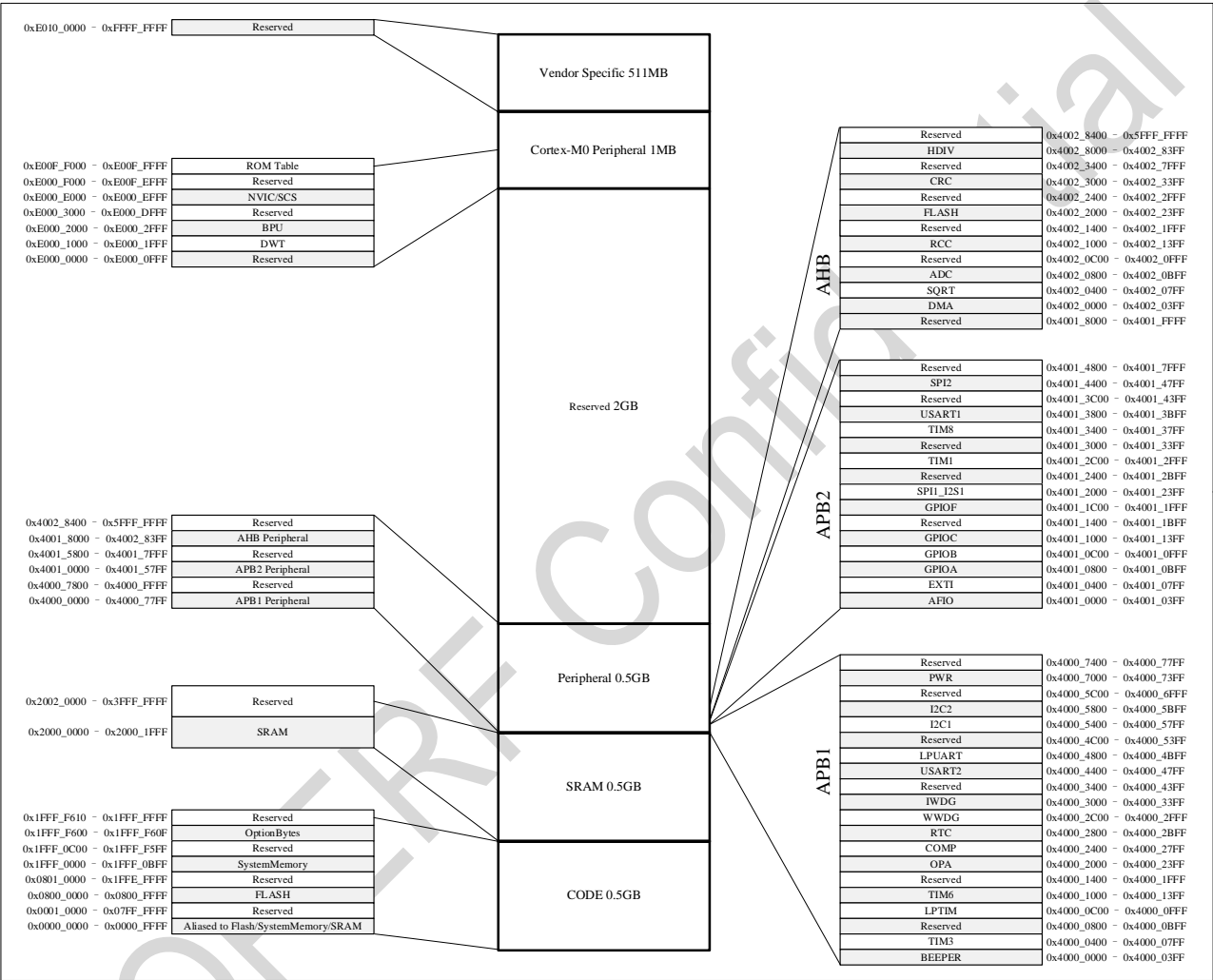


图 5-1.存储器映射图

5.1.1 嵌入式闪存存储器

片内集成 64K 字节嵌入式闪存（FLASH），用于存放程序和数据，页面大小 512 byte，支持页擦除、字写、字读、半字读、字节读操作。支持存储加密保护，写入自动加密、读出自动解密（包括程序执行操作）。

5.1.2 嵌入式 SRAM

片内集成多达 8K 字节的内置 SRAM，同时在 STOP 低功耗模式下可以保持数据。

5.1.3 嵌套的向量式中断控制器（NVIC）

嵌套向量中断控制器（NVIC）和处理器核的接口紧密相连，可以实现低延迟的中断处理和高效地处理晚到的中断。嵌套向量中断控制器管理着包括内核异常等中断。

- 32个可屏蔽中断通道（不包含16个Cortex®-M0的中断线）；
- 4个可编程的优先等级（使用了2位中断优先级）；
- 低延迟的异常和中断处理；
- 电源管理控制；
- 系统控制寄存器的实现；

该模块以最小的中断延迟提供灵活的中断管理功能。

5.2 扩展中断/事件控制器（EXTI）

扩展中断/事件控制器包含 24 个产生中断/事件触发的边沿检测电路。每条输入线可以独立地配置为事件或中断，以及上升沿、下降沿或者双边沿 3 种触发类型，也可以独立地被屏蔽。挂起寄存器保持着状态线的中断请求，可通过在挂起寄存器的对应位写‘1’，清除中断请求。

5.3 时钟系统

器件提供多种时钟供用户选择，包括内部高速 RC 振荡器 HSI（8 MHz），内部低速时钟 LSI（30 KHz），外部低速时钟（32.768 KHz），PLL。

不同的时钟源可被用来驱动系统时钟（SYS CLK）：

- HSI 振荡器时钟
- PLL 时钟
- LSI 振荡器时钟
- LSE 振荡器时钟

2 个二级时钟源：

- 30 KHz 低速内部 RC，可以用于驱动独立看门狗和通过程序选择驱动 RTC、LPTIMER 和 LPUART。用于从停止模式下自动唤醒系统。
- 32.768 KHz 低速外部晶体也可通过程序选择用来驱动 RTC、LPTIMER 和 LPUART。
- 当不被使用时，任一个时钟源都可被独立地启动或关闭，由此优化系统功耗。

复位时内部 HSI 时钟被设置为默认的 CPU 时钟，在需要时可以采取对 PLL 时钟安全的中断管理（如当一个间接使用的外部振荡器失效时）。

用户可通过多个预分频器配置 AHB、APB（APB1 和 APB2）域的频率。AHB 域，APB1 域和 APB2 域的最大允许频率是 48 MHz。图 5-2 为时钟树框图。

Clock Tree

HSE = High-speed external clock signal(CMT2380F64 not support)
HIS = High-speed internal clock signal
LSE= Low-speed external clock signal
LSI = Low-speed internal clock signal

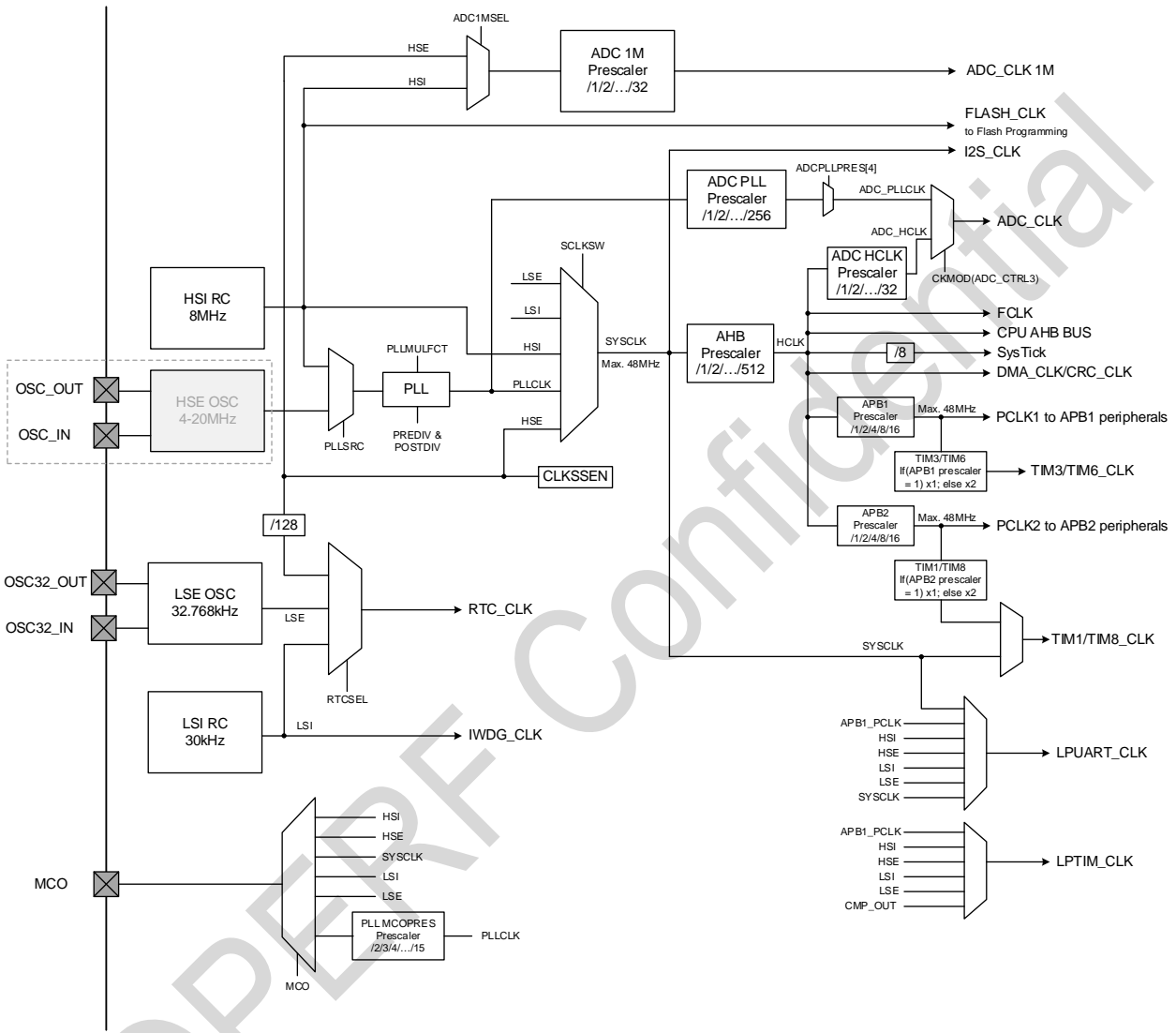


图 5-2. 时钟树

5.4 启动模式

在启动时，通过 BOOT0 引脚及 Flash 系统区配置比特可以选择三种启动模式中的一种：

- 从程序闪存储器（FLASH Memory）启动
- 从系统存储器（System Memory）启动
- 从内部 SRAM 启动

启动加载程序（Bootloader）存放于系统存储器中

5.5 供电方案

- VDD 区域：电压输入范围为 1.8 V~3.6 V，主要为 Main Regulator、IO 及时钟复位系统电源输入。
- VDDA 区域：输入电压范围 1.8 V~3.6 V，为大部分模拟外设供电，详细信息请参阅相关数据手册电气特性部分。
- VDDD区域：电压调节器为CPU, AHB, APB, SRAM, FLASH及大部分数字外设接口供电。
- PWR 作为整个器件的电源控制模块，主要功能是控制 MCU 进入不同的电源模式以及可以被其他事件或者中断唤醒。CMT2390F64 支持 RUN、LPRUN、SLEEP、STOP 和 PD 模式。

5.6 可编程电压监测器

内部集成了上电复位（POR）和掉电复位（PDR）电路，这部分电路始终处于工作状态，保证系统在供电超过 1.8 V 时工作；当 VDD 低于设定的阈值（VPOR/PDR）时，置器件于复位状态，而不必使用外部复位电路。器件中还有一个可编程电压监测器（PVD），它监视 MCU_VDD/MCU_VDDA 供电并与阈值 VPVD 比较，当 VDD 低于或高于阈值 VPVD 时将产生中断，中断处理程序可以发出警告信息。PVD 功能需要通过程序开启。关于 VPOR/PDR 和 VPVD 的值参考表格“内嵌复位和电源控制模块特性”。

5.7 低功耗模式

CMT2390F64 在系统复位或电源打开复位后处于运行模式。当 CPU 不需要运行时（例如在等待外部事件时），可以使用几种低功耗模式来节省功耗。由用户选择在低功耗、短启动时间和可用的唤醒源之间选择最佳低功耗模式。

CMT2390F64 四种低功耗模式特征：

- LPRUN模式（低功耗运行模式，系统处于32.768 KHz低频运行模式）
- SLEEP模式（内核停止，所有外围设备包括Cortex®-M0 核心外设，如NVIC，系统滴答时钟SysTick依然在运行）
- STOP模式（大部分时钟被关闭，电压调节器仍运行在低功耗模式）
- PD模式（VDDD掉电模式，VDD保持，3个WAKEUPIO及NRST可唤醒）
- 此外，运行模式下的功耗可以通过以下方法之一来降低：
 - 降低系统时钟
 - 关闭APB和AHB总线上未被使用的外设时钟
 - RUN模式下可选配置PWR_CTRL4.STBFLH，让FLASH进入深度待机模式；退出时，需要等待大约10 us后，才可以重新访问FLASH

5.8 直接存储器存取（DMA）

集成 1 个通用 5 个通道 DMA 控制器，可以管理存储器到存储器、外设到存储器和存储器到外设的数据传输；每个通道都有专门的硬件 DMA 请求逻辑，同时可以由软件触发每个通道。可通过软件单独设置每个通道的传输的长度、传输的源地址和目标地址。

DMA 可以用于主要的外设：SPI、I2C、USART，通用、基本和高级控制定时器 TIMx，I2S、ADC。

5.9 实时时钟（RTC）

实时时钟（RTC）具有一组独立连续计数的 BCD 定时器/计数器。在相应软件配置下，可提供日历的功能。同时 RTC 提供两个可编程的闹钟中断。

两个 32 位寄存器包含十进制格式（BCD）表示亚秒、秒、分钟、小时（12 或 24 小时格式）、星期几、日（几号）、月和年。亚秒值以二进制格式作为单独的 32 位寄存器提供。另外的 32 位寄存器包含可编程的秒、分钟、小时、星期几、日、月和年。RTC 提供了在低功耗模式下自动唤醒的功能。当 GPIO 上启用时间戳功能事件或侵入检测事件时，在寄存器中保存当前日历。

5.10 定时器和看门狗

CMT2390F64 支持最多 2 个高级控制定时器、1 个通用定时器、1 个基本定时器和 1 个低功耗定时器，以及 2 个看门狗定时器和 1 个系统嘀嗒定时器。

下表比较了高级控制定时器、普通定时器和基本定时器的功能：

表 5-1. 定时器功能比较

定时器	计数器分辨率	计数器类型	预分频系数	产生 DMA 请求	捕获/比较通道	互补输出
TIM1 TIM8	16 bits	Up Down Up/Down	1~65536 之间任意整数	可以	4	有
TIM3	16 bits	Up Down Up/Down	1~65536 之间任意整数	可以	4	没有
LPTIM	16 bits	Up	2 ^N , N 为 0~7 之间任意整数	不可以	2	没有
TIM6	16 bits	Up	1~65536 之间任意整数	可以	0	没有

5.10.1 基本定时器 TIM6

基本定时器（TIM6）包含一个 16 位自动装载计数器，由可编程预分频器进行驱动。可以为通用定时器提供时间基准。

基本定时器的主要功能如下：

- ◆ 16 位自动重载累加计数器；
- ◆ 16 位可编程(可实时修改)预分频器，用于对输入的时钟按系数为 1~65536 之间的任意数值分频；
- ◆ 在更新事件(计数器溢出)时产生中断/DMA 请求

5.10.2 通用定时器 TIM3

内置了 1 个可同步运行的通用定时器（TIM3）。这个定时器有一个 16 位的自动加载递增/递减计数器、一个 16 位的预分频器和 4 个独立的通道，每个通道都可用于输入捕获（用于测量脉冲宽度）、输出比较、PWM 和单脉冲模式输出。

通用定时器的主要功能包括：

- ◆ 16 位向上、向下、向上/向下自动装载计数器；
- ◆ 16 位可编程(可以实时修改)预分频器，计数器时钟频率的分频系数为 1~65536 之间的任意数值；

- ◆ 4 个独立通道：
 - 输入捕获；
 - 输出比较；
 - PWM 生成(边缘或中间对齐模式)；
 - 单脉冲模式输出；
- ◆ 使用外部信号控制定时器或多个定时器互连时的同步电路；
- ◆ 如下事件发生时产生中断/DMA：
- ◆ 更新：计数器向上溢出/向下溢出，计数器初始化(通过软件或者内部/外部触发)；
- ◆ 触发事件(计数器启动、停止、初始化或者由内部/外部触发计数) ；
- ◆ 输入捕获；
- ◆ 输出比较；
- ◆ 支持针对定位的增量(正交)编码器和霍尔传感器电路；
- ◆ 触发输入作为外部时钟或者按周期的电流管理

5.10.3 低功耗定时器 LPTIM

LPTIM 是一个 16 位定时器，能工作在极低的功耗下。得益于时钟源的多样性，LPTIM 可以在除 PD 模式之外的所有电源模式下运行。由于 LPTIM 可以在没有内部时钟源的情况下运行，因此它可以用作“脉冲计数器”，这在某些应用程序中非常有用。此外，LPTIM 具有从低功耗模式中唤醒系统的能力，这使得它适合以极低的功耗实现“超时功能”监测。

LPTIM 引入了一个灵活的时钟方案，提供了所需的功能和性能，同时最大化降低了功耗。

低功耗定时器的主要功能包括：

- ◆ 16 位向上自动装载计数器；
- ◆ 3 比特预分频器，8 种分频因子（1、2、4、8、16、32、64、128）；
- ◆ 丰富的时钟源：
 - 内部时钟源：HSI，HSE，LSI，LSE，APB1 和 CMP_OUT 六种时钟源；
 - 通过 LPTIM 输入的外部时钟源（工作时无 LP 振荡器运行，用于脉冲计数器应用）；
- ◆ 16 位 ARR 自动装载寄存器；
- ◆ 16 位比较器寄存器；
- ◆ 连续或者单触发模式；
- ◆ 可选的软件和硬件输入触发；
- ◆ 可编程的数字防抖滤波器；
- ◆ 可配置单脉冲或 PWM 输出；
- ◆ IO 电平极性可配置；
- ◆ 支持编码器模式；

5.10.4 高级控制定时器 TIM1 和 TIM8

两个独立的高级定时器（TIM1/TIM8），每个定时器通过可编程预分频器驱动的 16 位自动装载计数器构成。支持多种功能，包含测量输入信号的脉冲宽度（输入捕获），或者产生输出波形（输出比较、PWM、嵌入死区时间的互补 PWM 输出等）。使用定时器预分频器和 RCC 时钟控制预分频器，可以实现脉冲宽度和波形周期从几个微秒到几个毫秒的调节。每个定时器都是完全独立的，没有互相共享任何资源。

高级定时器的主要功能包括：

- ◆ 16 位向上、向下、向上/下自动装载计数器；
- ◆ 16 位可编程(可以实时修改)预分频器，计数器时钟频率的分频系数为 1~65536 之间的任意数值；
- ◆ 支持最高 48 Mhz 作为定时器输入时钟；
- ◆ 多达 4 个独立通道：
 - 输入捕获；
 - 输出比较；
 - PWM 生成(边缘或中间对齐模式)；
 - 单脉冲模式输出；
- ◆ PWM 触发 ADC 采样；
- ◆ 触发时间点在 PWM 整个周期内可软件配置。
- ◆ 死区时间可编程的互补输出；
- ◆ 使用外部信号控制定时器或多个定时器互联时的同步电路；
- ◆ 允许在指定数目的计数器周期之后更新定时器寄存器的重复计数器；
- ◆ Break 输入信号可以将定时器输出信号置于复位状态或者一个已知状态；
- ◆ 如下事件发生时产生中断/DMA：
 - 更新：计数器向上溢出/向下溢出，计数器初始化(通过软件或者内部/外部触发)；
 - 触发事件(计数器启动、停止、初始化或者由内部/外部触发计数)；
 - 输入捕获；
 - 输出比较；
 - Break 信号输入；
- ◆ 支持针对定位的增量(正交)编码器和霍尔传感器电路；
- ◆ 触发输入作为外部时钟或者按周期的电流管理。

在调试模式下，计数器可以被冻结，同时 PWM 输出被禁止，从而切断由这些输出所控制的开关。很多功能都与标准的 TIM 定时器相同，内部结构也相同，因此高级控制定时器可以通过定时器链接功能与 TIM 定时器协同操作，提供同步或事件链接功能。

5.10.5 系统时基定时器 Systick

这个定时器是专用于实时操作系统，也可当成一个标准的递减计数器。

它具有下述特性：

- ◆ 24 位的递减计数器
- ◆ 自动重加载功能
- ◆ 当计数器为 0 时能产生一个可屏蔽系统中断
- ◆ 可编程时钟源

5.10.6 看门狗定时器 WDG

支持两个看门狗，独立看门狗 (IWDG) 和窗口看门狗 (WWDG)。两个看门狗提供了更高的安全性、时间的精确性和使用的灵活性。

- ◆ 独立看门狗 (IWDG)

独立看门狗是基于一个 12 位的递减计数器和一个 8 位的预分频器，由独立的低速 RC 振荡器驱动，即使主时钟发生故障它也仍然有效，可工作在 STOP 模式。IWDG 一旦被激活，如果不在设定的时间内喂狗（清除看门狗计数器），则在计数器计数至 0x000 时产生复位，它可以用于在应用程序出现问题时复位整个系统，或作为一个自由定时器为应用程序提供超时管理。通过选项字节可以配置成是软件或硬件启动看门狗。复位和低功耗唤醒可配。

◆ 窗口看门狗（WWDG）

窗口看门狗通常被用来监测，由外部干扰或不可预见的逻辑条件造成的应用程序背离正常的运行序列而产生的软件故障。除非递减计数器的值在 T6 位变成 0 前被刷新，看门狗电路在达到预置的时间周期时，会产生一个 MCU 复位。在递减计数器达到窗口寄存器数值之前，如果 7 位的递减计数器数值（在控制寄存器中）被刷新，那么也将产生一个 MCU 复位。这表明递减计数器需要在一个有限的时间窗口中被刷新。

主要特点：

- ◆ WWDG 由 APB1 时钟分频后得到的时钟驱动；
- ◆ 可编程的自由运行递减计数器；
- ◆ 条件复位：
 - ◆ 当递减计数器的值小于 0x40，（若看门狗被启动）则产生复位；
 - ◆ 当递减计数器在窗口外被重新装载，（若看门狗被启动）则产生复位；
- ◆ 如果启动了看门狗并且允许中断，当递减计数器等于 0x40 时产生早期唤醒中断（EWI），它可以被用于重装载计数器以避免 WWDG 复位。

5.11 I2C 总线接口

2 个独立的 I2C 总线接口，它提供多主机功能，控制所有 I2C 总线特定的时序、协议、仲裁和定时。支持多种通信速率模式（最高支持 1MHz），支持 DMA 操作，同时与 SMBus 2.0 兼容。I2C 模块有多种用途，包括 CRC 码的生成和校验、SMBus（系统管理总线—System Management Bus）和 PMBus（电源管理总线—Power Management Bus）。

I2C 接口的主要功能描述如下：

- ◆ 多主机功能：该模块既可做主设备也可做从设备；
- ◆ I2C 主设备功能：
 - 产生时钟；
 - 产生起始和停止信号；
- ◆ I2C 从设备功能：
 - 可编程的地址检测；
 - I2C 接口支持 7 位或 10 位寻址，7 位从模式时支持双从地址响应能力；
 - 停止位检测；
- ◆ 产生和检测 7 位/10 位地址和广播呼叫；
- ◆ 支持不同的通讯速度：
 - 标准速度（高达 100kHz）；
 - 快速（高达 400kHz）；
 - 快速+（高达 1MHz）；
- ◆ 状态标志：
 - 发送器/接收器模式标志；

- 字节发送结束标志;
- I2C 总线忙标志;
- ◆ 错误标志:
 - 主模式时的仲裁丢失;
 - 地址/数据传输后的应答 (ACK) 错误;
 - 检测到错位的起始或停止条件;
 - 禁止拉长时钟功能时的上溢或下溢;
- ◆ 2 个中断向量:
 - 1 个中断用于地址/数据通讯成功;
 - 1 个中断用于错误;
- ◆ 可选的拉长时钟功能
- ◆ 具单字节缓存器的 DMA;
- ◆ 可配置的 PEC(信息包错误检测)的产生或校验
 - 发送模式中 PEC 值可以作为最后一个字节传输
 - 用于最后一个接收字节的 PEC 错误校验
- ◆ 兼容 SMBus 2.0
 - 25 ms 时钟低超时延时
 - 10 ms 主设备累积时钟低扩展时间
 - 25 ms 从设备累积时钟低扩展时间
 - 带 ACK 控制的硬件 PEC 产生/校验
 - 支持地址分辨协议 (ARP)
- ◆ 兼容 SMBus

5.12 通用同步/异步收发器 (USART)

CMT2390F64 集成了 3 个串行收发接口, 包括 2 个通用同步/异步收发器 (USART1、USART2), 和 1 个支持低功耗模式运行的通用异步收发器 (LPUART)。这 3 个接口提供同/异步通信、支持 IrDA SIR ENDEC 传输编解码、多处理器通信模式、单线半双工通信模式和 LIN 主/从功能。

USART1、USART2 接口具有硬件的 CTS 和 RTS 信号管理、兼容 ISO7816 的智能卡模式和类 SPI 通信模式, 所有接口都可以使用 DMA 操作。

USART 主要特性如下:

- ◆ 全双工的, 异步通信;
- ◆ NRZ 标准格式;
- ◆ 分数波特率发生器系统, 波特率可编程, 用于发送和接收, 最高达 3Mbits/s
- ◆ 可编程数据字长度 (8 位或 9 位)
- ◆ 可配置的停止位, 支持 1 或 2 个停止位;
- ◆ LIN 主发送同步断开符的能力以及 LIN 从检测断开符的能力, 当 USART 硬件配置成 LIN 时, 生成 13 位断开符, 检测 10/11 位断开符
- ◆ 输出发送时钟用于步传输;

- ◆ IRDA SIR 编码器解码器，在正常模式下支持 3/16 位的持续时间；
- ◆ 智能卡模拟功能：
 - 智能卡接口支持 ISO7816-3 标准里定义的异步智能卡协议；
 - 智能卡用到的 0.5 和 1.5 个停止位；
- ◆ 单线半双工通信；
- ◆ 可配置的使用 DMA 的多缓冲器通信，在 SRAM 里利用集中式 DMA 缓冲接收/发送字节；
- ◆ 独立的发送器和接收器使能位；
- ◆ 检测标志
 - 接收缓冲器满
 - 发送缓冲器空
 - 传输结束标志
- ◆ 校验控制
 - 发送校验位
 - 对接收数据进行校验
- ◆ 四个错误检测标志：
 - 溢出错误
 - 噪音错误
 - 帧错误
 - 校验错误
- ◆ 10 个带标志的 USART 中断源
 - CTS 改变
 - LIN 断开符检测
 - 发送数据寄存器空
 - 发送完成
 - 接收数据寄存器满
 - 检测到总线为空闲
 - 溢出错误
 - 帧错误
 - 噪音错误
 - 校验错误
- ◆ 多处理器通信，如果地址不匹配，则进入静默模式；
- ◆ 从静默模式中唤醒（通过空闲总线检测或地址标志检测）
- ◆ 两种唤醒接收器的方式：地址位（MSB，第 9 位），总线空闲
- ◆ 模式配置：

USART modes	USART1	USART2	LPUART
异步模式	√	√	√
硬件流控制	√	√	√
多缓存通讯（DMA）	√	√	√
多处理器通讯	√	√	×

同步	√	√	×
智能卡	√	√	×
半双工（单线模式）	√	√	×
IrDA	√	√	×
LIN	√	√	×

5.13 串行外设接口（SPI）

支持 2 个 SPI 接口，SPI 允许芯片与外部设备以半/全双工、同步、串行方式通信。此接口可以被配置成主模式，并为外部从设备提供通信时钟（SCK）。接口还能以多主配置方式工作。它可用于多种用途，包括使用一条双向数据线的双线单工同步传输，还可使用 CRC 校验的可靠通信。

SPI 接口的主要功能如下：

- ◆ 全双工同步传输；
- ◆ 带或不带第三根双向数据线的双线单工同步传输；
- ◆ 8 或 16 位传输帧格式选择；
- ◆ 支持主模式或从模式；
- ◆ 支持多主模式；
- ◆ 主模式和从模式的快速通信；
- ◆ 主模式和从模式下均可以由软件或硬件进行 NSS 管理：主/从操作模式的动态改变；
- ◆ 可编程的时钟极性和相位；
- ◆ 可编程的数据顺序，MSB 在前或 LSB 在前；
- ◆ 可触发中断的专用发送和接收标志；
- ◆ SPI 总线忙状态标志；
- ◆ 支持可靠通信的硬件 CRC：
 - 在发送模式下，CRC 值可以被作为最后一个字节发送；
 - 在全双工模式中对接收到的最后一个字节自动进行 CRC 校验；
- ◆ 可触发中断的主模式故障、过载以及 CRC 错误标志
- ◆ 支持 DMA 功能的单字节发送和接收缓冲器：产生发送和接受请求
- ◆ 接口最高速度：18 Mbps

5.14 串行音频接口（I2S）

I2S 是一种 4 引脚的同步串行接口通讯协议，可以工作于主或从模式，可以配置为 16 位、24 位或 32 位传输，亦可配置为输入或输出通道，支持音频采样频率从 8 kHz 到 96 kHz。它支持四种音频标准，包括飞利浦 I2S 标准，MSB 和 LSB 对齐标准，以及 PCM 标准。

它在半双工通讯中，可以工作在主和从 2 种模式下。当它作为主设备时，通过接口向外部的从设备提供时钟信号。

I2S 接口的主要功能如下：

- ◆ 半双工通信（同一时刻仅发送或接收）；
- ◆ 主或者从操作；
- ◆ 8 位线性可编程预分频器，获得精确的音频采样频率（8KHz 到 96kHz）；

- ◆ 数据格式可以是 16 位, 24 位或者 32 位;
- ◆ 音频信道固定数据包帧为 16 位 (16 位数据帧) 或 32 位 (16、24 或 32 位数据帧);
- ◆ 可编程的时钟极性 (稳定态);
- ◆ 从发送模式下的下溢标志位和主/从接收模式下的溢出标志位;
- ◆ 16 位数据寄存器用来发送和接收, 在通道两端各有一个寄存器;
- ◆ 支持的 I2S 协议:
 - I2S 飞利浦标;
 - MSB 对齐标准 (左对齐);
 - LSB 对齐标准 (右对齐);
 - PCM 标准 (16 位通道帧上带长或短帧同步或者 16 位数据帧扩展为 32 位通道帧);
- ◆ 数据方向总是 MSB 在先;
- ◆ 发送和接收都具有 DMA 能力;
- ◆ 主时钟可以输出到外部音频设备, 比率固定为 $256 \times F_s$ (F_s 为音频采样频率);

5.15 通用输入输出接口 (GPIO)

GPIO (General purpose input/output) 即通用型 I/O, AFIO (Alternate-function input/output) 即复用功能 I/O。芯片最多支持 23 个 GPIO, 共被分为 3 组 (GPIOA/GPIOB/GPIOC), A 组 13 个端口, B 组 7 个端口 (其中 4 个复用到 RF 的 SPI), C 组 3 个。GPIO 端口和其他的复用外设共用引脚, 用户可以根据需求灵活配置。每个 GPIO 引脚都可以独立配置成输出、输入或复用的外设功能端口。除了模拟输入引脚外, 其他的 GPIO 引脚都有大电流通过能力。

GPIO 主要特性描述如下:

- ◆ GPIO 端口可由软件分别配置成以下模式:
 - 输入浮空
 - 输入上拉
 - 输入下拉
 - 模拟功能
 - 开漏输出及上/下拉可配
 - 推挽式输出及上/下拉可配
 - 推挽式复用功能及上/下拉可配
 - 开漏复用功能及上/下拉可配
- ◆ 单独的位设置或位清除功能
- ◆ 所有 IO 支持外部中断功能
- ◆ 所有 IO 支持低功耗模式唤醒, 上升或下降沿可配置
- ◆ 16 个 EXTI 可用于 SLEEP 或 STOP 模式唤醒, 所有 I/O 可复用为 EXTI
- ◆ PA0/PC13/PA2 三个唤醒 IO 可用于 PD 模式唤醒, I/O 滤波时间最大 1us
- ◆ 支持软件重新映射 I/O 复用功能
- ◆ 支持 GPIO 锁定机制, 复位方式清除锁定状态
- ◆ 每个 I/O 端口位可以任意编程, 但必须按照 32 位字访问 I/O 端口寄存器 (不允许 16 位半字或 8 位字节访问)。

5.16 模拟/数字转换器（ADC）

12 位 ADC 是一种高速逐次逼近型模拟数字转换器。它有 6 个通道，可测量 6 个外部和 3 个内部信号源。各通道的 A/D 转换可以单次、连续、扫描或间断模式执行。ADC 的结果可以左对齐或右对齐方式存储在 16 位数据寄存器中；ADC 的输入时钟不得超过 18MHz。

ADC 主要特性描述如下：

- ◆ 支持 1 个 ADC，单端输入，可测量 12 个外部和 4 个内部信号源
- ◆ 支持 12 位分辨率，最高采样速率 1 MSPS
- ◆ ADC 时钟源分为工作时钟源、采样时钟源和计时钟源
 - 仅可配置 AHB_CLK 作为工作时钟源，最高可到 48 MHz
 - 可配置 PLL 作为采样时钟源，最高可到 18 MHz，支持分频 1,2,4,6,8,10,12,16,32,64,128,256
 - 可配置 AHB_CLK 作为采样时钟源，最高可到 18 MHz，支持分频 1,2,4,6,8,10,12,16,32
 - 计时钟源用于内部计时功能，频率必须配置成 1 MHz
- ◆ 支持定时器触发 ADC 采样
- ◆ 转换结束、注入转换结束和发生模拟看门狗事件时产生中断
- ◆ 单次和连续转换模式
- ◆ 从通道 0 到通道 N 的自动扫描模式
- ◆ 带内嵌数据一致性的数据对齐
- ◆ 采样间隔可以按通道分别编程
- ◆ 规则转换和注入转换均有外部触发选项
- ◆ 间断模式
- ◆ ADC 供电要求：2.4 V 到 3.6 V
- ◆ ADC 输入范围： $0 \leq V_{IN} \leq V_{DDA}$
- ◆ 规则通道转换期间有 DMA 请求产生

5.17 运算放大器（OPAMP）

内嵌 1 个独立的运算放大器，具有外部放大、内部跟随和可编程放大器（PGA）等多种工作模式（或兼具有内部放大和外部滤波）。

主要功能如下：

- ◆ 支持轨到轨输入
- ◆ OPA 线性输出范围 0.4 V~V_{DDA}-0.4 V；
- ◆ 可以配成独立的运放和可编程增益运放；
- ◆ 正向和反向输入复选；
- ◆ OPAMP 工作模式可以配置成：
 - 独立模式（外部增益设置）；
 - PGA 模式，可编程增益设为 2X、4X、8X、16X、32X；
 - 跟随器模式；
- ◆ 内部连接的 ADC 通道用于运算放大器的输出信号测量。

5.18 模拟比较器（COMP）

内嵌 1 个比较器，可以用作单独的设备（比较器所有端口引到 I/O 上），也可以和定时器组合使用，在电机控制场合可以与来自定时器的 PWM 输出配合形成逐周期电流控制。

比较器主要功能如下：

- ◆ 1 个独立的比较器 COMP，且为低功耗比较器（可以工作在 LPRUN，SLEEP 和 STOP 模式下）
- ◆ 内置一个 64 级可编程的参考输入比较电压源 VREF
- ◆ 支持滤波时钟，滤波复位
- ◆ 输出极性可配置高、低
- ◆ 迟滞配置可配置无、低、中、高
- ◆ 比较结果可输出到 I/O 端口或触发定时器，用于捕获事件、OCREF_CLR 事件、刹车事件、产生中断
- ◆ 输入通道可复选 I/O 端口、VREF
- ◆ 可配只读或读写，在锁定的情况下需要复位才能解锁
- ◆ 支持消隐（Blanking），可配置产生 Blanking 的消隐源
- ◆ 可通过产生中断的方式将系统从低功耗模式唤醒，COMP 有 STOP 唤醒能力
- ◆ 可配置滤波窗口大小
- ◆ 可配置滤波阈值大小
- ◆ 可配置用于滤波的采样频率

5.19 温度传感器（TS）

温度传感器产生一个随温度线性变化的电压，转换范围在 $1.8\text{ V} < \text{VDDA} < 3.6\text{ V}$ 之间。温度传感器在内部被连接到 ADC_IN12 的输入通道上，用于将传感器的输出转换到数字数值。

5.20 蜂鸣器（BEEPER）

BEEPER 模块支持互补输出，可以产生周期信号来驱动外部无源蜂鸣器。用于产生提示音或者报警发声。

5.21 HDIV 和 SQRT

除法器（HDIV）、均方根（SQRT）主要应用于某些对计算能效要求比较高的场景，用于部分补充微控制器在计算方面的不足。该除法器、开方计算器可执行无符号 32 位整数的除法运算或者开方计算。

HDIV 和 SQRT 主要特性如下：

- ◆ 只支持 word 操作
- ◆ 8 个时钟周期完成一次无符号整数除法运算
- ◆ 32 位被除数，32 位除数，输出 32 位商和 32 位余数
- ◆ 除数为零警告标志位，除法运算结束标志位
- ◆ 32 位无符号被开方整数，16 位开方根输出
- ◆ 8 个时钟周期完成一次无符号整数开方运算
- ◆ 可通过设置中断使能或者查询相关寄存器位判断计算是否完成

5.22 循环冗余校验计算单元 (CRC)

集成 CRC32 和 CRC16 功能，循环冗余校验 (CRC) 计算单元是根据固定的生成多项式得到任一 CRC 计算结果。在众多的应用中，基于 CRC 的技术被用于验证数据传输或存储的一致性。在 EN/IEC 60335-1 标准的范围内，它提供了一种检测闪存存储器错误的手段，CRC 计算单元可以用于实时地计算软件的签名，并与在链接和生成该软件时产生的签名对比。

CRC 的主要特性如下：

- ◆ CRC16：支持多项式 $X^{16}+X^{15}+X^2+X^0$
- ◆ CRC32：支持多项式 $X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$
- ◆ CRC 计算时间：4 个 AHB 时钟周期(HCLK)
- ◆ 循环冗余计算初始值可配置
- ◆ 支持 DMA 方式

5.23 唯一设备序列号 (UID)

芯片内置两个不同长度的唯一设备序列号，分别为 96 位的 UID(Unique device ID)和 128 位的 UCID(Unique Customer ID)，这两个设备序列号存放在闪存存储器的系统配置块中，它们所包含的信息在出厂时编写，并保证对任意一个芯片在任何情况下都是唯一的，用户应用程序或外部设备可以通过 CPU 或 SWD 接口读取，不可被修改。

UID 为 96 位，通常用来做为序列号或作为密码，在编写闪存时，将此唯一标识与软件加解密算法相结合，进一步提高代码在闪存存储器内的安全性，也可用于激活带安全功能的自举程序 (Secure Bootloader)。

UCID 为 128 位，遵守国民技术芯片序列号定义，它包含芯片生产及版本相关信息。

5.24 串行 SWD 调试口 (SWD)

内嵌 ARM 的 SWD 接口。

6 订购信息

表 6-1. CMT2390F64 订购信息

型号	描述	封装	包装选项	运行条件	最小起订量
CMT2390F64-EQR ^[1]	CMT2390F64, 低功耗 Sub-1GHz 射频收发 SoC	QFN 48 (6x6)	编带盘装	1.8 to 3.6 V, - 40 to 85°C	3,000
备注: [1]. “E” 代表扩展型工业产品等级, 其支持的温度范围是从- 40 到+ 85°C。 “Q” 代表 QFN 48 的封装类型。 “R”代表编带及盘装类型, 最小起订量 (MOQ) 是 3,000 片。					

如需了解更多产品及产品线信息, 请访问 www.hoperf.cn
有关采购或价格需求, 请联系 sales@hoperf.com 或者当地销售代表。

7 封装外形

CMT2390F64 的封装信息如下图及下表所示。

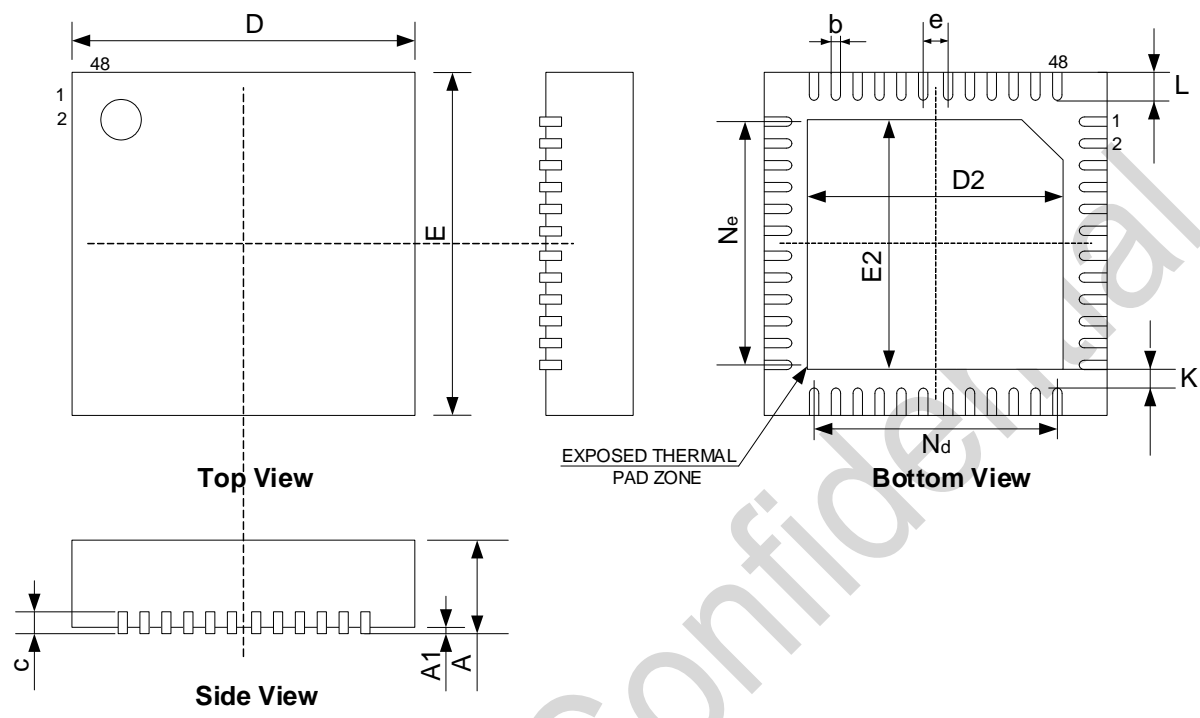


图 7-1. QFN48 6x6 封装

表 7-1.QFN48 6x6 封装尺寸

符号	尺寸(毫米mm)		
	最小值	典型值	最大值
A	0.65	0.75	0.85
A1	0	0.02	0.05
A3	—	0.203	—
b	0.175	0.20	0.225
D	5.90	6.00	6.10
E	5.90	6.00	6.10
e		0.40	
D2	—	4.20	—
E2	—	4.20	—
L	—	0.40	—
K	—	0.50	—
R	—	0.05	—

8 丝印信息

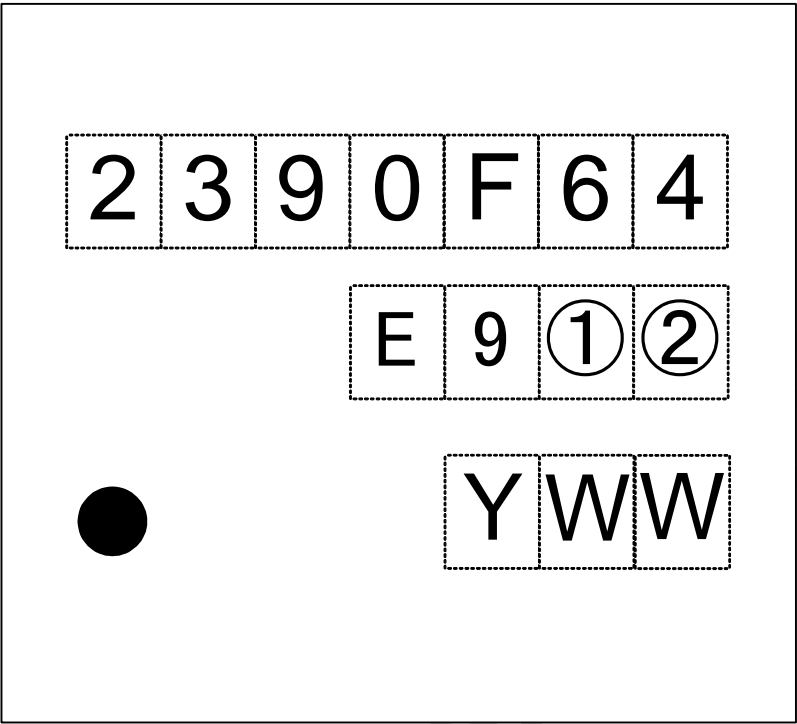


图 8-1. CMT2390F64 顶部丝印

表 8-1. CMT2390F64 顶部丝印说明

丝印方式	激光
管脚 1 标记	圆圈直径 = 0.3 mm
字体尺寸	0.5 mm, 右对齐
第一行丝印	2390F64, 代表型号 CMT2390F64
第二行丝印	E9①②内部跟踪编码
第三行丝印	日期代码, 由封装厂分配, Y 表示年的最后一位数, WW 表示工作周。

9 关联文档

表 9-1.其它关联应用文档

序号	名称
AN235	CMT2310A FIFO 和包格式使用指南
AN236	CMT2310A 寄存器说明
AN237	CMT2310A 快速上手指南
AN238	CMT2310A 射频参数配置指南
AN239	CMT2310A 自动收发功能使用指南
AN241	CMT2310A EB 出厂固件操作指南

10 文档修订

表 10-1.文档修订记录

版本号	章节	修改记录	日期
0.1	All	初始版本	2022-12-09
0.2	All	部分内容调整	2022-01-04
0.3	1.4	接收指标中，“同信道抑制比”，“邻道抑制比”，“阻塞抑制比”，“镜像抑制比”的单位从 dBc 改为 dB。	2023-05-24

11 联系方式

深圳市华普微电子股份有限公司

中国广东省深圳市南山区西丽街道万科云城三期 8A 栋 30 层

邮编: 518052

电话: +86 - 755 - 82973805

销售: sales@hoperf.com

网址: www.hoperf.cn

版权所有 © 深圳市华普微电子股份有限公司，保留一切权利

深圳华普微电子股份有限公司（以下简称：“HOPERF”）保留随时更改、更正、增强、修改 HOPERF 产品和/或本文档的权利，恕不另行通知。非经本公司书面许可，任何单位和个人不得擅自摘抄、复制本文档内容的部分或全部，并不得以任何形式传播。由于产品版本升级或其他原因，本文档内容会不定期进行更新。HOPERF 的产品不建议应用于生命相关的设备和系统，在使用该器件中因为设备或系统运转失灵而导致的损失，HOPERF 不承担任何责任。

HOPERF 商标和其他 HOPERF 商标为深圳华普微电子股份有限公司的商标，本文档提及的其他所有商标或注册商标，由各自的所有人拥有。