
CMT2157B/CMT215xL原理图及PCB版图设计指南

概要

本文档是 CMT2157B/CMT215xL 应用开发指南，用于阐述如何应用 CMT2157B/CMT215xL 去设计其原理图和 PCB 版图。

- 典型应用原理图
- 匹配网络设计
- 晶体电路设计
- 数字信号设计
- 电源及地设计

目录

1. 典型应用原理图	3
1.1 CMT2157B 典型应用原理图	3
1.2 CMT215xL 典型应用原理图	3
2. 匹配网络设计	4
2.1 匹配电路原理图	4
2.2 匹配电路版图设计	6
3. 晶体电路设计	7
4. 数字信号设计	8
5. 电源及地设计	9
5.1 电源滤波电路设计	9
5.2 铺地设计	9
6. 设计检查项	10
7. 文档变更记录	11
8. 联系方式	12

1. 典型应用原理图

CMT2157B 和 CMT215xL 可通过三线串口（CSB, SCL, SDA）修改芯片内部的配置参数，都支持独立按键（Push Button）或扫描按键（Scan Button）的按键连接方式。

LED 管脚为功能复用管脚：在射频发射状态，输出驱动指示灯亮的低电平；在空闲状态转为输入口，循环检测烧录串口是否被使能。三线制烧录串口 CSB, CLK, DATA 和按键输入 K1-K3 是管脚复用：默认是按键输入管脚，当 LED 复用管脚检测到低电平则转为烧录串口功能。

1.1 CMT2157B 典型应用原理图

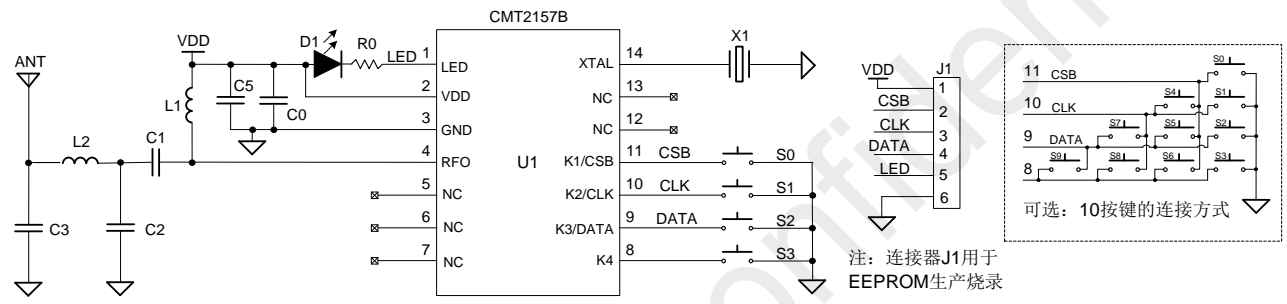


图 1. CMT2157B 典型应用原理图

CMT2157B 支持 4 个独立按键方式，或者高达 10 个扫描按键方式（见图右）。

1.2 CMT215xL 典型应用原理图

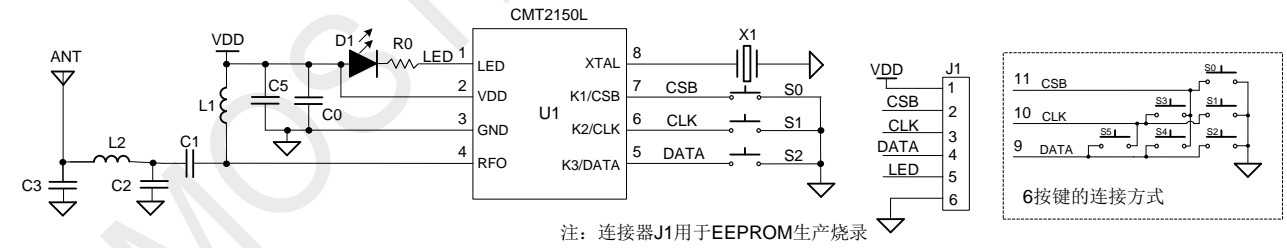


图 2.CMT215xL 典型应用原理图

CMT215xL 支持 3 个独立按键方式，或者高达 6 个扫描按键方式（见图右）。

2. 匹配网络设计

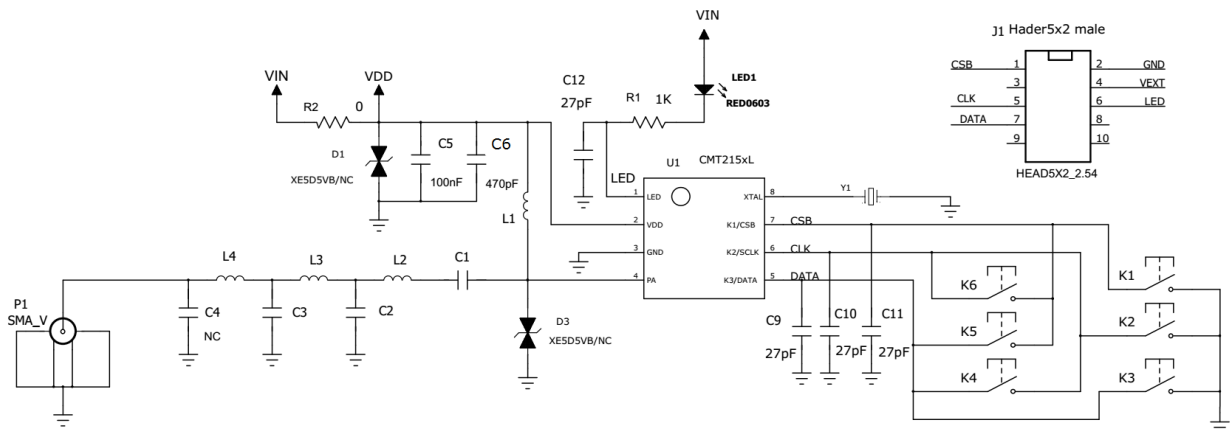
通常，在设计射频匹配网络时，需要兼顾几个方面：端口的阻抗匹配必须一致，插入损耗尽可能小，带外衰减尽可能大，PA 功率与效率尽可能高，元件个数尽可能少。

图 1 和图 2，匹配网络仅由 L2，C2（或 C3）两个元件组成，为低成本阻抗匹配实现。

图 3 以 CMOSTEK CMT2157B/215xL-EM 为例，匹配网络阶数多相对复杂，效率高，又符合 CE/FCC 对杂散辐射的规范。

CMOSTEK CMT2157B/215xL-EM 是这两种不同型号不同封装 IC(CMT2157B-sop14, CMT215xL-sop8) 共用一个 PCB 版图设计的示例。RB1-3 和 RL1-3 分别是这两种 IC 烧录口选择电阻：在 CMT2157B 的应用，需要 RB1-3 焊接 0 欧姆电阻，RL1-3 不焊接；在 CMT215xL 的应用，需要 RL1-3 焊接 0 欧姆电阻，RB1-3 不焊接。

2.1 匹配电路原理图



各频段匹配电路的元器件值，+13 dBm 见表 1。

表 1. CMT2157B/215xL-EM +13 dBm 物料清单

位号	描述	元件值 @ +13 dBm				单位	供应商
		315MHz	433.92MHz	868MHz	915MHz		
Y1	±20 ppm, 22 pF 负载, 49S-DIP	26.25	26.2982	26.303	26.1429	MHz	EPSON
L1	±5%, 0603 叠层贴片电感	220	180	100	100	nH	Sunlord
L2	±5%, 0603 叠层贴片电感	75	51	12	15	nH	Sunlord
L3	±5%, 0603 叠层贴片电感	75	47	15	18	nH	Sunlord
L4	±5%, 0603 叠层贴片电感	56	36	15	15	nH	Sunlord
C1	±5%, 0402 NP0, 50 V	33	18	15	12	pF	-
C2	±0.25 pF, 0402 NP0, 50 V	3.6	4.3	4.3	3.6	pF	-
C3	±0.25 pF, 0402 NP0, 50 V	5.6	4.3	2.2	2.7	pF	-
C4	±5%, 0402 NP0, 50 V	NC				pF	-
C5	±5%, 0402 NP0, 50 V	100				nF	-
C6	±5%, 0402NP0, 50 V	470				pF	-
D1	XE5D5VB, ESD 保护二极管	-				-	-
D3	XE5D5VB, ESD 保护二极管	-				-	-
U1	CMT2157B, CMT215xL 带编码 OOK 发射器					-	CMOSTEK

2.2 匹配电路版图设计

CMT2157B/215xL-EM PCB Layout 为两层布线设计。

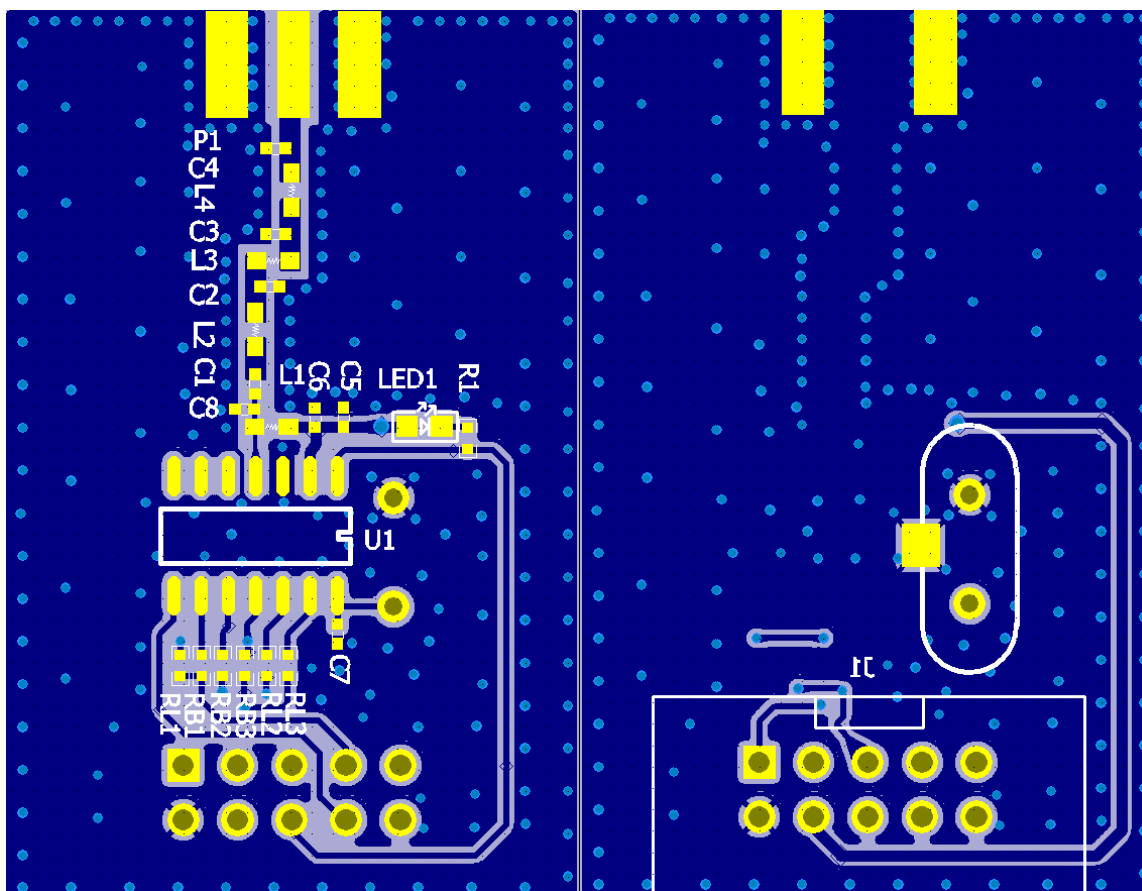


图 4. CMT2157B/215xL-EM PCB 版图

说明如下：

1. 射频信号路径尽可能的直且短，减小射频信号输入与输出的损耗。
2. 射频走线应该尽量平整，以减小传输线上的阻抗波动而产生反射。在上图中 L2 到 P1 间走线为 $50\ \Omega$ 阻抗传输线。本参考设计中，双面板为 FR4 板材，介电常数 $\text{Er} = 4.6$ ，铜皮厚 1 oz，PCB 板厚 0.8 mm，当取传输线宽度为 1 mm 左右，且传输线与包地（GND）的间隙设定为 0.35 mm 时，就可得到阻抗为 50 欧姆的传输线。
3. 尽量不要有丝印落在射频路径上，丝印会影响传输线阻抗。
4. L1 离 PA 管脚尽量近。相邻电感尽量正交摆放，可减少相互耦合。
5. 射频通路，晶振电路和 IC 的下方相邻层要有完整的铺地（GND）。

3. 晶体电路设计

推荐选用下表所示晶体规格：

表 2. 晶体规格

参数	符号	条件	最小	典型	最大	单位
晶体频率 ^[1]	F _{XTAL}	F _{RF} = 315 MHz		26.2500		MHz
		F _{RF} = 433.92 MHz		26.2982		MHz
		F _{RF} = 868.35 MHz		26.3136		MHz
		F _{RF} = 915 MHz		26.1429		MHz
晶体频率精度 ^[2]				±20		ppm
负载电容 ^[3]	C _{LOAD}	SMD32*25 mm 封装		15		pF
		49USSMD 或者 49S 封装		22		pF
晶体等效电阻	R _m			60		Ω
晶体起振时间 ^[4]	t _{XTAL}			400		us
<p>备注：</p> <p>[1]. 支持用外部时钟源通过耦合电容直接驱动 XTAL 管脚。请注意限制该信号幅度在 0.3 到 0.7 V 之间。频率值可用 RFPDK 来计算得出。</p> <p>[2]. 此处指所有的频率精度的容差，包括 (1) 初始容差；(2) 晶体负载；(3) 老化；和 (4) 温度变化。</p> <p>[3]. 负载电容根据 PCB Layout、晶体封装有直接关系。建议根据晶体封装选择对应负载的晶体。</p> <p>[4]. 此参数与所用晶体本身的有很大关系。</p>						

注意事项：

1. 晶体应该尽量靠近 IC，以减少走线寄生电容，降低频率偏差。
2. 晶体应尽可能远离 PA 输出、天线及数字走线，并在其周围尽可能多铺地。这些方法能有效降低晶体被干扰的可能。
3. 如采用 49S 插件晶体或者柱状晶体时，晶体的金属外壳要接地。

4. 数字信号设计

数字信号包括：三线串口，按键输入口和 LED 复用口。

走线注意事项如下：

1. 数字信号应尽量远离晶体和 RF 走线。
2. 数字信号应尽可能用地围起来，以减少相互串扰。
3. 数字信号布线不合理容易产生杂散辐射，对有电磁兼容认证需求的产品，请在全部的数字信号预留接地电容（推荐值 33 pF），且电容应尽量靠近芯片管脚摆放。

5. 电源及地设计

5.1 电源滤波电路设计

为了减轻电源上的噪声纹波对芯片的影响以及 PA 输出对电源的影响，C5 和 C6 应摆放在靠近芯片的 VDD 管脚和扼流电感处。

5.2 铺地设计

良好铺地对提高射频性能、增强产品可靠性有重要影响。注意如下：

1. 参考地层：射频走线需要在相邻层有大片的连续地做参考平面，以实现高效的功率输出。
2. 射频走线两侧包地并打过孔到参考地平面以减小杂散辐射。
3. 各层地网络打过孔到参考地层，减小回路路径，从而使回路的辐射减少。
4. 线路板边沿尽量铺地，且过孔间距不超过 $N/10$ ，从而减小辐射和增强抗 ESD 能力。
5. IC 衬底一定要有几个过孔到地层，有利于提升芯片的射频性能指标。
6. 晶体电路对干扰敏感，用包地隔离。

6. 设计检查项

表 3. 设计检查项

射频设计	
<input type="checkbox"/>	滤波电容是否已经尽量靠近芯片的电源管脚。
<input type="checkbox"/>	扼流电感是否已经尽量靠近 PA 管脚。
<input type="checkbox"/>	相邻的电感是否已经避免摆成同样的方向。
<input type="checkbox"/>	射频信号路径是否尽量短。
<input type="checkbox"/>	射频传输线的走线宽度是否已经考虑了阻抗大小。
<input type="checkbox"/>	整个匹配网络是否已经尽量靠近芯片。
<input type="checkbox"/>	是否已经尽量不要在射频器件及走线上有丝印。
<input type="checkbox"/>	射频走线及周围的铺地是否平整。
<input type="checkbox"/>	天线的阻抗是否已经匹配到 50 欧姆。
<input type="checkbox"/>	PCB 天线宽度是否超过 1 mm。
晶体电路设计	
<input type="checkbox"/>	晶体是否已经尽量靠近 XTAL 管脚。
<input type="checkbox"/>	晶体是否已经尽可能远离 PA 输出，天线及数字走线，并在其周围尽可能多铺地隔离。
<input type="checkbox"/>	晶体的金属外壳是否已经接地。
数字信号设计	
<input type="checkbox"/>	数字信号是否已经尽量远离晶体和 RF 走线。
<input type="checkbox"/>	数字信号是否已经尽可能用铺地围起来。
<input type="checkbox"/>	数字信号是否预留应对安规的电容。
地设计	
<input type="checkbox"/>	是否已经尽量用大片的连续地。
<input type="checkbox"/>	地的走线是否已经使得电流环路尽可能最小。
<input type="checkbox"/>	PCB 边沿是否已经尽量多大间距不超过 $N/10$ 的过孔。
<input type="checkbox"/>	衬底一定要有几个过孔打到参考地层。

7. 文档变更记录

表 4. 文档变更记录表

版本号	章节	变更描述	日期
0.8	All	初始版本	2017-09-26
0.9	3	晶体负责电容增加说明	2017-09-29
1.0	4	数字信号应对杂散辐射增加说明	2018-02-06
1.1	All	把 CMT2150L 改成 CMT215xL，以增加对 CMT2157L 的支持	2018-08-31

8. 联系方式

无锡泽太微电子有限公司深圳分公司

中国广东省深圳市南山区西丽镇平山村民企科技园 3 栋 2 楼

邮编: 518000

电话: +86 - 755 - 83235017

传真: +86 - 755 - 82761326

销售: sales@cmostek.com

技术支持: support@cmostek.com

网址: www.cmostek.com

Copyright. CMOSTEK Microelectronics Co., Ltd. All rights are reserved.

The information furnished by CMOSTEK is believed to be accurate and reliable. However, no responsibility is assumed for inaccuracies and specifications within this document are subject to change without notice. The material contained herein is the exclusive property of CMOSTEK and shall not be distributed, reproduced, or disclosed in whole or in part without prior written permission of CMOSTEK. CMOSTEK products are not authorized for use as critical components in life support devices or systems without express written approval of CMOSTEK. The CMOSTEK logo is a registered trademark of CMOSTEK Microelectronics Co., Ltd. All other names are the property of their respective owners.