

超低功耗 Sub-1GHz 无线收发单片机

MCU 特性

● 内核 CPU

- 32位 ARM Cortex-M4 内核+FPU，单周期硬件乘除法指令，支持 DSP 指令和 MPU
- 内置 2KB 指令 Cache 缓存，支持 Flash 加速单元执行程序 0 等待
- 最高主频 64 MHz，80 DMIPS

● 加密存储器

- 高达 128 Kbyte 片内 Flash，支持加密存储、分区管理及数据保护，支持硬件ECC校验，10万次擦写次数，10年数据保持
- 高达 24 Kbyte 片内 SRAM，包括16 Kbyte SRAM1 (Stop2 模式可配置为保持) 和 8 Kbyte SRAM2 (Standby 和 Stop2 模式下都可配置为保持)，支持硬件奇偶校验

● 低功耗管理

- Standby 模式：1.5 uA，所有备份寄存器保持，IO 保持，可选 RTC Run，8 KByte SRAM2 保持，快速唤醒
- Stop 2 模式：3 uA，RTC Run，8 KByte SRAM2 保持，CPU 寄存器保持，IO 保持，快速唤醒
- RUN 模式：60 uA/MHz @ 64MHz
- LPRUN 模式：PLL 关闭 MSI 作为系统主时钟，MR 关闭 LRR 开启，USB/CAN/SAC 断电，其它外设配置可选

● Segment LCD 显示驱动，支持最多 68 段(4x17)

● 高性能模拟接口

- 1 个 12 bit 4.5 Msps ADC，多种精度可配置，6bit 模式下采样率高达 8 Msps，多达 10 路外部单端输入通道，支持差分模式
- 2 个轨到轨运算放大器，内置最大 32 倍可编程增益放大器
- 2 个高速模拟比较器，内置 64 级可调比较基准，其中 COMP1 支持 STOP2 低功耗模式下工作
- 多达 24 通道电容式触摸按键，支持低功耗状态下唤醒 MCU
- 1 个 12 bit DAC，采样率 1 Msps
- 内部 2.048 V 独立参考电压基准源
- 内部集成低压检测单元

● 时钟

- 4MHz~32MHz 外部高速晶体
- 32.768KHz 外部低速晶体
- 内部高速 RC (HIS) 16MHz
- 内部多速 RC (MSI) 100K~4M
- 内部低速 RC (LSI) 40KHz
- 内置高速 PLL
- 支持 1 路时钟输出，可配置为低速或高速时钟输出

- **复位**
 - 支持上电 / 掉电 / 外部引脚复位
 - 支持可编程的低电压检测及复位
 - 支持看门狗复位
- **通信接口**
 - 5 个 U(S)ART 接口，其中 3 个 USART 接口（支持 ISO7816, IrDA, LIN），2 个 UART 接口
 - 1 个 LPUART，支持 STOP2 低功耗状态下唤醒 MCU
 - 2 个 SPI 接口，速率高达 16 Mbps，支持 I2S 通信
 - 2 个 I2C 接口，速率高达 1 MHz，主从模式可配，从机模式下支持双地址响应
 - 1 个 USB 2.0 FS Device 接口
 - 1 个 CAN 2.0A/B 总线接口
- **1 个高速 DMA 控制器，每个控制器支持 8 通道，通道源地址及目的地址任意可配**
- **RTC 实时时钟，支持闰年万年历，闹钟事件，周期性唤醒，支持内外部时钟校准**
- **定时计数器**
 - 2 个 16 bit 高级定时计数器，支持输入捕获，互补输出，正交编码输入，最高控制精度 9.25nS；每个定时器有 4 个独立的通道，其中 3 个通道支持 6 路互补 PWM 输出
 - 5 个 16 bit 通用定时计数器，每个定时器有 4 个独立通道，支持输入捕获/输出比较 / PWM 输出
 - 2 个 16 bit 基础定时计数器
 - 1 个 16 bit 低功耗定时计数器，支持双脉冲计数功能，可在 STOP2 状态下工作
 - 1x 24 bit SysTick
 - 1x 7 bit 窗口看门狗 (WWDG)
 - 1x 12 bit 独立看门狗 (IWDG)
- **最大支持 44 个 GPIOs（含 6 个复用 RF 控制引脚）**
- **编程方式**
 - 支持 SWD/JTAG 在线调试接口
 - 支持 UART、USB Bootloader
- **安全特性**
 - 内置密码算法硬件加速引擎
 - 支持 AES、DES、TDES、SHA1/224/256, SM1、SM3、SM4、SM7 算法
 - Flash 存储加密，多用户分区管理 (MMU)
 - TRNG 真随机数发生器
 - CRC16/32 运算
 - 支持写保护 (WRP)，多种读保护 (RDP) 等级 (L0/L1/L2)
 - 支持安全启动，程序加密下载，安全更新
 - 支持外部时钟失效监测，防拆监测
- **96 位 UID 和 128 位 UCID**

射频特性

- 工作频率： 113 - 960 MHz
- 调制解调方式：OOK, 2 (G)FSK, 4 (G)FSK
- 数据率： 0.1 – 1000 kbps
- 灵敏度：
 - ◆ 2 FSK, -122 dBm DR=2.4 kbps, 433.92 MHz
 - ◆ 4 FSK, -88 dBm DR=1 Mbps, 433.92 MHz
 - ◆ OOK, -94 dBm DR= 300 kbps, 433.92 MHz
- 接收电流： 9.6 mA (DC-DC) @ 433.92 MHz, FSK (仅 RF 部分工作电流)
- 发射电流：
 - ◆ 30 mA @ 13 dBm, 433.92 MHz, FSK (仅 RF 部分工作电流)
 - ◆ 82 mA @ 20 dBm, 433.92 MHz, FSK (仅 RF 部分工作电流)
- 支持直通及包模式，可配置包处理机及 256-Byte FIFO

系统特性

- 工作电压： 1.8 – 3.6 V
- 工作温度： - 40 – 85 °C
- QFN68 7x7 封装

芯片简介

CMT2391F128 集成了 32 位 ARM Cortex-M4 内核和一颗超低功耗射频收发器，是一款高性能、超低功耗、适用于 113 至 960 MHz 无线应用的 OOK, (G) FSK 和 4 (G) FSK 射频收发器 MCU。它是 CMOSTEK NextGenRF™ 射频产品线的一部分，这条产品线包含完整的发射器，接收器和收发器。CMT2391F128 的高集成度，简化了系统设计所需的外围物料。高达+20 dB 的发射功率和-122 dBm 的灵敏度优化了应用的链路性能。它支持多种数据包格式及编解码方式，使得它可以灵活的满足各种应用的需求。另外，CMT2391F128 还支持 128-byte Tx/Rx FIFO, 丰富的 GPIO 及中断配置，Duty-Cycle 运行模式，信道侦听，高精度 RSSI，低电压检测，上电复位，低频时钟输出，快速跳频，静噪输出等功能，使得应用设计更加灵活，实现产品差异化设计。

面向应用

- 自动抄表
- 家居安防及楼宇自动化
- 无线传感节点及工业监控
- ISM 频段数据通讯
- 遥控钥匙进入
- 标签读写器

表 1-1. CMT2391F128 资源列表

存储		模拟外设						数字外设												封装
ROM	RAM	ADC	DAC	OPA	CMP	POR BOR	LVD LVR	RTC	WDT	Timer	UART	SPI	I2C	I2S	GPIO	LCD	USB	CAN	DMA	
128KB Flash	24KB	12bits 10-ch 4.5Msps	12bits 1Msps	2	2	√	√	1	2	11	x5 LPx1	2	2	1	44	17x4	1	1	x8ch	QFN 68

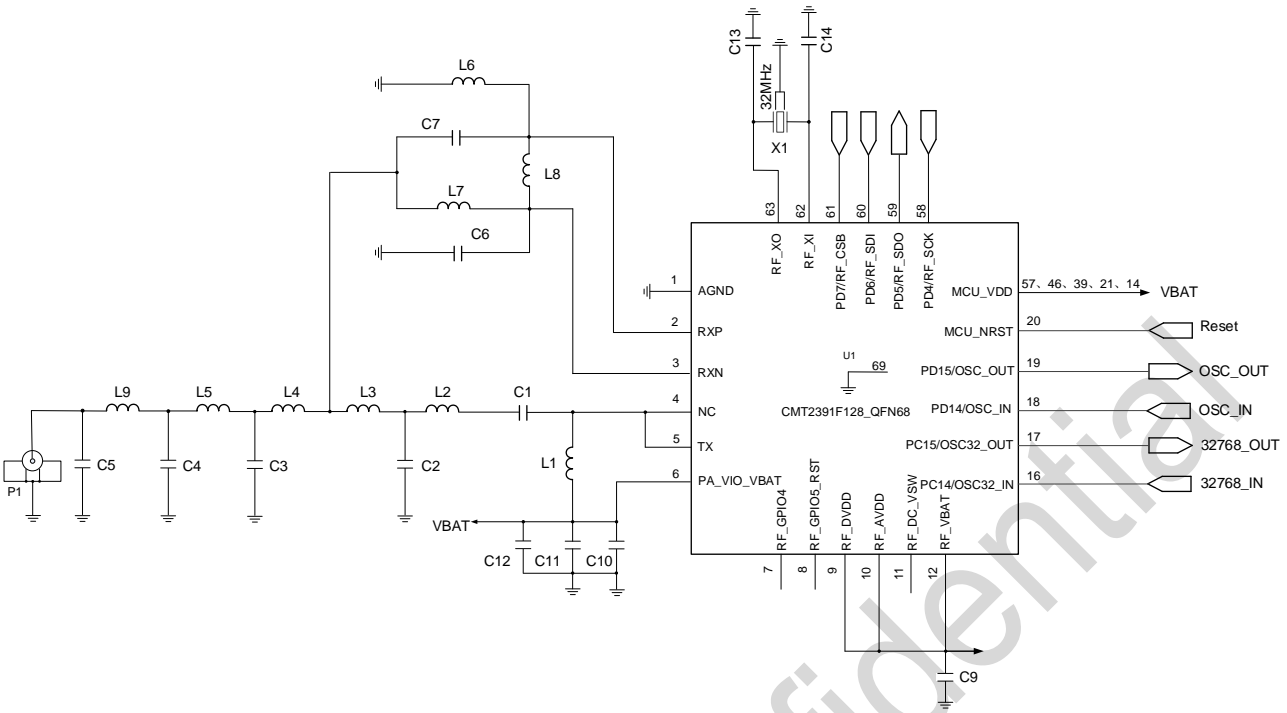


图 1-1. CMT2391F128（QFN68 7x7）典型应用原理图（不带 DC-DC）

表 1-2. 20 dBm 直连型 BOM 表（不带 DC-DC）

标号	描述	元件值				单位	供应商
		315 MHz +20 dBm	433 MHz +20 dBm	868 MHz +20 dBm	915 MHz +20 dBm		
C1	±5%, 0402 NP0, 50 V	22	12	12	12	pF	
C2	±5%, 0402 NP0, 50 V	6.8	5.6	3.3	3.3	pF	
C3	±5%, 0402 NP0, 50 V	8.2	6.2	3.3	3.0	pF	
C4	±5%, 0402 NP0, 50 V	8.2	NC	NC	NC	pF	
C5	±5%, 0402 NP0, 50 V	NC	NC	NC	NC	pF	
C6	±5%, 0402 NP0, 50 V	5.6	3.9	1.8	1.8	pF	
C7	±5%, 0402 NP0, 50 V	5.6	3.9	1.8	1.8	pF	
C8	±5%, 0603 NP0, 50 V	2.2				uF	
C9	±5%, 0402 NP0, 50 V	1				uF	
C10	±5%, 0402 NP0, 50 V	220				pF	
C11	±5%, 0402 NP0, 50 V	100				nF	
C12	±5%, 0603 NP0, 50 V	4.7				uF	
C13	±5%, 0402 NP0, 50 V	NC				pF	
C14	±5%, 0402 NP0, 50 V	NC				pF	
L1	±5%, 0603 叠层贴片电感	220	180	100	100	nH	Sunlord SDCL

标号	描述	元件值				单位	供应商
		315 MHz +20 dBm	433 MHz +20 dBm	868 MHz +20 dBm	915 MHz +20 dBm		
L2	±5%, 0603 叠层贴片电感,	68	47	15	12	nH	Sunlord SDCL
L3	±5%, 0603 叠层贴片电感	56	39	15	12	nH	Sunlord SDCL
L4	±5%, 0603 叠层贴片电感	33	33	8.2	6.2	nH	Sunlord SDCL
L5	±5%, 0603 叠层贴片电感	47	33	8.2	6.2	nH	Sunlord SDCL
L6	±5%, 0603 叠层贴片电感	47	33	15	12	nH	Sunlord SDCL
L7	±5%, 0603 叠层贴片电感	47	33	15	12	nH	Sunlord SDCL
L8	±5%, 0603 叠层贴片电感	220	68	33	33	nH	Sunlord SDCL
L9	±5%, 0603 叠层贴片电感	33	NC	NC	NC	nH	Sunlord SDCL
X1	±10 ppm, SMD	32				MHz	EPSON
U1	CMT2391F128 SoC					-	CMOSTEK

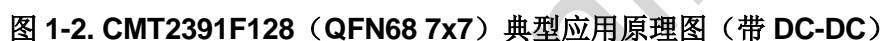


表 1-3. 20 dBm 直连型 BOM 表 (带 DC-DC)

标号	描述	元件值				单位	供应商
		315 MHz +20 dBm	433 MHz +20 dBm	868 MHz +20 dBm	915 MHz +20 dBm		
C1	±5%, 0402 NP0, 50 V	22	12	12	12	pF	
C2	±5%, 0402 NP0, 50 V	6.8	5.6	3.3	3.3	pF	
C3	±5%, 0402 NP0, 50 V	8.2	6.2	3.3	3.0	pF	
C4	±5%, 0402 NP0, 50 V	8.2	NC	NC	NC	pF	
C5	±5%, 0402 NP0, 50 V	NC	NC	NC	NC	pF	
C6	±5%, 0402 NP0, 50 V	5.6	3.9	1.8	1.8	pF	
C7	±5%, 0402 NP0, 50 V	5.6	3.9	1.8	1.8	pF	
C8	±5%, 0603 NP0, 50 V	2.2				uF	
C9	±5%, 0402 NP0, 50 V	1				uF	
C10	±5%, 0402 NP0, 50 V	220				pF	
C11	±5%, 0402 NP0, 50 V	100				nF	
C12	±5%, 0603 NP0, 50 V	4.7				uF	
C13	±5%, 0402 NP0, 50 V	NC				pF	
C14	±5%, 0402 NP0, 50 V	NC				pF	

标号	描述	元件值				单位	供应商
		315 MHz +20 dBm	433 MHz +20 dBm	868 MHz +20 dBm	915 MHz +20 dBm		
C15	±5%, 0402 NP0, 50 V	100				nF	
L1	±5%, 0603 叠层贴片电感	220	180	100	100	nH	Sunlord SDCL
L2	±5%, 0603 叠层贴片电感,	68	47	15	12	nH	Sunlord SDCL
L3	±5%, 0603 叠层贴片电感	56	39	15	12	nH	Sunlord SDCL
L4	±5%, 0603 叠层贴片电感	33	33	8.2	6.2	nH	Sunlord SDCL
L5	±5%, 0603 叠层贴片电感	47	33	8.2	6.2	nH	Sunlord SDCL
L6	±5%, 0603 叠层贴片电感	47	33	15	12	nH	Sunlord SDCL
L7	±5%, 0603 叠层贴片电感	47	33	15	12	nH	Sunlord SDCL
L8	±5%, 0603 叠层贴片电感	220	68	33	33	nH	Sunlord SDCL
L9	±5%, 0603 叠层贴片电感	33	NC	NC	NC	nH	Sunlord SDCL
L10		10				uH	
X1	±10 ppm, SMD	32				MHz	EPSON
U1	CMT2391F128 SoC					-	CMOSTEK

目录

1 电气特性	12
1.1 推荐运行条件	12
1.2 绝对最大额定值	12
1.3 射频功耗	13
1.4 射频接收指标	14
1.5 射频发射机指标	16
1.6 射频状态切换稳定时间	16
1.7 射频频率综合器	17
1.8 射频用的晶体规格要求	17
1.9 控制器工作条件	18
1.9.1 通用工作条件	18
1.9.2 上电和掉电时的工作条件	18
1.10 内嵌复位和电源控制模块特性	18
1.11 控制器内置参考电压	19
1.12 控制器工作电流特性	19
1.12.1 最大电流消耗	19
1.12.2 典型的电流消耗	20
1.12.3 低功耗模式电流消耗	21
1.13 控制器外部时钟源特性	21
1.13.1 外部高速时钟源 (HSE)	21
1.13.2 外部低速时钟源 (LSE)	22
1.13.3 使用一个晶体/陶瓷谐振器产生的高速外部时钟	23
1.13.4 使用一个晶体/陶瓷谐振器产生的低速外部时钟	24
1.14 控制器内部时钟源特性	25
1.14.1 高速内部 (HSI) RC 振荡器	25
1.14.2 多速内部 (MSI) RC 振荡器	25
1.14.3 低速内部 (LSI) RC 振荡器	26
1.14.4 控制器低功耗模式唤醒时间	26
1.15 控制器内部 PLL 特性	27
1.16 控制器 Flash 存储器特性	27
1.17 绝对最大值 (电气敏感性)	28
1.18 控制器 IO 端口特性	29
1.19 控制器 MCU_NRST 引脚特性	32
1.20 控制器 TIM 定时器特性	33
1.21 控制器 I ² C 接口特性	34
1.22 控制器 SPI/I ² S 接口特性	36
1.23 USB 接口特性	39
1.24 控制器 ADC 特性	40
1.25 内部参考源 (V _{REFBUFF}) 电气参数	44
1.26 控制器运算放大器 (OPAMP) 电气参数	44
1.27 控制器比较器 1 (COMP1) 电气参数	45
1.28 控制器比较器 2 (COMP2) 电气参数	46
1.29 12 位数模转换器 (DAC) 电气参数	46
1.30 液晶显示驱动器 (Segment LCD) 特性	48

1.31 温度传感器(TS)特性	49
2 管脚描述	50
3 芯片框架	57
4 Sub-G 收发器	59
4.1 发射机	59
4.2 接收机	59
4.3 收发器上电 POR	59
4.4 收发器晶体振荡器	60
4.5 收发器内置低频振荡器 (LPOSC)	60
4.6 收发器内置低压检测	61
4.7 接收机信号强度指示 (RSSI)	61
4.8 相位跳变检测 (PJD)	61
4.9 接收机数据率时钟恢复 (CDR)	62
4.10 快速手动跳频	62
4.11 收发器控制接口及工作模式	62
4.11.1 收发器 SPI 接口时序	62
4.11.2 收发器 FIFO 接口时序	64
4.11.3 收发器工作状态、时序及功耗	66
4.11.4 收发器 GPIO 功能和中断映射	69
5 控制器功能简介	71
5.1 存储器	71
5.1.1 嵌入式闪存存储器	71
5.1.2 嵌入式 SRAM	72
5.1.3 嵌套的向量式中断控制器 (NVIC)	72
5.2 扩展中断/事件控制器 (EXTI)	72
5.3 时钟系统	72
5.4 启动模式	73
5.5 供电方案	74
5.6 复位	74
5.7 可编程电压监测器	74
5.8 电压调压器	74
5.9 低功耗模式	74
5.10 直接存储器存取 (DMA)	75
5.11 实时时钟 (RTC)	75
5.12 定时器和看门狗	75
5.12.1 基本定时器 TIM6	75
5.12.2 通用定时器 TIM3	76
5.12.3 低功耗定时器 LPTIM	76
5.12.4 基本定时器 TIM6 和 TIM7	77
5.12.5 通用定时器 (TIMx)	77
5.12.6 高级控制定时器 (TIM1 和 TIM8)	77
5.12.7 系统时基定时器 (SysTick)	78
5.12.8 看门狗定时器(WDG)	79
5.13 I2C 总线接口	79

5.14 通用同步/异步收发器 (USART)	80
5.15 串行外设接口 (SPI)	82
5.16 低功耗异步收发器 (LPUART)	82
5.17 串行音频接口 (I2S)	83
5.18 控制器局域网 (CAN)	84
5.19 通用串行总线 (USB)	84
5.20 触摸传感器控制器 (TSC)	85
5.21 算法硬件加速引擎 (SAC)	85
5.22 段式液晶显示驱动 (Segment LCD)	86
5.23 通用输入输出接口 (GPIO)	86
5.24 模拟/数字转换器 (ADC)	87
5.25 数字/模拟转换器 (DAC)	88
5.26 运算放大器 (OPAMP)	88
5.27 模拟比较器 (COMP)	89
5.28 温度传感器 (TS)	89
5.29 循环冗余校验计算单元 (CRC)	89
5.30 唯一设备序列号 (UID)	90
5.31 串行单线 JTAG 调试口 (SWJ-DP)	90
6 订购信息	91
7 封装外形	92
8 丝印信息	93
9 文档修订	94
10 联系方式	95

1 电气特性

$V_{DD}=3.3\text{ V}$, $T_{OP}=25\text{ }^{\circ}\text{C}$, $F_{RF}=433.92\text{ MHz}$, 灵敏度是通过接收一个 PN9 序列及匹配至 $50\text{ }\Omega$ 阻抗下, 0.1%BER 的标准下测得。除非另行声明, 所有结果都是在评估板 CMT2391F128-EM 上测试得到。

1.1 推荐运行条件

参数	符号	条件	最小	典型	最大	单位
运行电源电压	V_{DD}		1.8		3.6	V
运行温度	T_{OP}		- 40		85	$^{\circ}\text{C}$
电源电压斜率			1			mV/us

1.2 绝对最大额定值

参数	符号	条件	最小	最大	单位
电源电压	V_{DD}		- 0.3	3.6	V
接口电压	V_{IN}		- 0.3	3.6	V
结温	T_J		- 40	125	$^{\circ}\text{C}$
储藏温度	T_{STG}		- 50	150	$^{\circ}\text{C}$
焊接温度	T_{SDR}	持续至少 30 秒		255	$^{\circ}\text{C}$
ESD 等级 ^[2]		人体模型(HBM)	- 2	2	kV
栓锁电流		@ 85 $^{\circ}\text{C}$	- 100	100	mA

备注:
[1]. 超过“绝对最大额定参数”可能会造成设备永久性损坏。该值为压力额定值, 并不意味着在该压力条件下设备功能受影响, 但如果长时间暴露在绝对最大额定值条件下, 可能会影响设备可靠性。
[2]. CMT2391F128 是高性能射频集成电路, 对本芯片的操作和装配只应该在具有良好 ESD 保护的工作台上进行。



警告! ESD敏感器件对芯片进行操作的时候应注意做好ESD防范措施, 以免芯片的性能下降或者功能丧失。

1.3 射频功耗

参数	符号	条件		典型 (不使能 DCDC)	典型 (使能 DCDC)	参数
Sleep 电流 ^[1]	I _{SLEEP}	睡眠模式, 睡眠计数器关闭		400		nA
		睡眠模式, 睡眠计数器开启		800		nA
Ready 电流 ^[1]	I _{Ready}			2.1	1.9	mA
RFS 电流 ^[1]	I _{RFS}		315 MHz	7.5	5.2	mA
			433 MHz	7.8	5.6	mA
			868 MHz	8.4	5.9	mA
			915 MHz	8.5	5.9	mA
TFS 电流 ^[1]	I _{TFS}		315 MHz	7.5	5.2	mA
			433 MHz	7.8	5.6	mA
			868 MHz	8.4	5.9	mA
			915 MHz	8.5	5.9	mA
RX 电流 ^[1]	I _{Rx}	DR = 10 kbps Dev = 10 kHz	315 MHz	13.5	8.8	mA
			433 MHz	13.6	9.4	mA
			868 MHz	14.3	9.9	mA
			915 MHz	14.3	9.9	mA
TX 电流 ^[1]	I _{Tx}	20 dBm ^[2]	315 MHz	74	/	mA
			433 MHz	82	81	mA
			868 MHz	88	87	mA
			915 MHz	88	87	mA
		13 dBm ^[3]	315 MHz	26.7	/	mA
			433 MHz	30	29	mA
			868 MHz	33	32	mA
			915 MHz	34	33	mA
		10 dBm ^[3]	315 MHz	21	15	mA
			433 MHz	25	24	mA
			868 MHz	27	26	mA
			915 MHz	27	26	mA
		-10 dBm ^[3]	315 MHz	10.3	7	mA
			433 MHz	11	10	mA
			868 MHz	12	11	mA
			915 MHz	12	11	mA

备注:
 [1]. 2 FSK, DR = 10 kbps, F_{DEV} = 10 kHz, V_{bat} = 3.3 V。
 [2]. 使用 20 dBm 匹配网络。
 [3]. 使用 13 dBm 匹配网络。
 [4]. 仅 RF 部分工作电流, 不含 MCU 部分工作电流。

1.4 射频接收指标

参数	符号	条件		最小	典型	最大	参数
数据率	DR	OOK		0.1		300	kbps
		2 (G)FSK		0.1		500	kbps
		4 (G)FSK		0.1		1000	kbps
频偏(RX)	F _{DEV}	(G)FSK, 4 (G)FSK ^[1]		0.5		350	kHz
灵敏度 @ 433 MHz (匹配网络直连)	S ₄₃₃	FSK ^[2]	DR = 2.4 kbps, F _{DEV} = 1.2 kHz, BW= 4.8 kHz		-122		dBm
			DR = 10 kbps, F _{DEV} = 5 kHz		-114		dBm
			DR = 20 kbps, F _{DEV} = 10 kHz		-112		dBm
			DR = 50 kbps, F _{DEV} = 25 kHz		-109		dBm
			DR =100 kbps, F _{DEV} = 50 kHz		-106		dBm
			DR =200 kbps, F _{DEV} = 100 kHz		-104		dBm
			DR =500 kbps, F _{DEV} = 250 kHz		-98		dBm
		OOK ^[2]	5kbps		-110		dBm
			50 kbps		-101		dBm
			100 kbps		-97		dBm
			200 kbps		-95		dBm
			300 kbps		-94		dBm
		4FSK ^[2]	DR = 10 kbps, F _{DEV} ^[3] = 10 kHz		-109		dBm
			DR = 100 kbps, F _{DEV} ^[3] =100 kHz		-99		dBm
			DR = 1 Mbps, F _{DEV} ^[3] = 250 kHz		-88		dBm
灵敏度 @ 868 MHz (匹配网络直连)	S ₈₆₈	FSK ^[2]	DR = 2.4 kbps, F _{DEV} = 1.2 kHz, BW=4.8 kHz		-120		dBm
			DR = 10 kbps, F _{DEV} = 5 kHz		-111		dBm
			DR = 20 kbps, F _{DEV} = 10 kHz		-110		dBm
			DR = 50 kbps, F _{DEV} = 25 kHz		-107		dBm
			DR =100 kbps, F _{DEV} = 50 kHz		-104		dBm
			DR =200 kbps, F _{DEV} = 100 kHz		-102		dBm
			DR =500 kbps, F _{DEV} = 250 kHz		-96		dBm
		OOK ^[2]	5 kbps		-106		dBm
			50 kbps		-98		dBm
			100 kbps		-94		dBm
			200 kbps		-93		dBm
			300 kbps		-92		dBm
		4 FSK ^[2]	DR = 10 kbps, F _{DEV} ^[3] = 10 kHz		-106		dBm
			DR = 100 kbps, F _{DEV} ^[3] = 100 kHz		-96		dBm
			DR = 1 Mbps, F _{DEV} ^[3] = 250 kHz		-85		dBm

备注:

[1].高斯调制默认 BT = 0.5;

[2].没有标明使用 BW 大小的, 全部使用 10 ppm 的晶体, BW 由 RFPDK 自动计算。

[3]. 4 FSK 的 F_{DEV}表示中心频点左右两最外侧的频点到中心频点的频率偏差。

参数	符号	条件	最小	典型	最大	参数
接收信道带宽	BW	接收信道带宽	1.3		1168	kHz
RSSI 测量范围	RSSI	步进为 1 dB	-127		20	dBm
同信道干扰抑制比 @ 433 MHz, 868 MHz	CCR	DR = 2.4 kbps; $F_{DEV} = 1.2$ kHz; BW= 4.8 kHz CW 干扰, BER<0.1%		-7		dB
邻道抑制比 @ 433 MHz	ACR- I_{433}	DR = 2.4 kbps; $F_{DEV} = 1.2$ kHz; BW= 4.8 kHz, Channel Space = 12.5 kHz, CW 干扰, BER<0.1%		62		dB
邻道抑制比 @ 868 MHz	ACR- I_{868}	DR = 2.4 kbps; $F_{DEV} = 1.2$ kHz; BW= 4.8 kHz, Channel Space = 12.5 kHz, CW 干扰, BER<0.1%		56		dB
阻塞抑制比 @433 MHz	BI_{433}	DR = 2.4 kbps; $F_{DEV} = 1.2$ kHz; BW=4.8 kHz, CW 干扰, BER < 0.1%	±1 MHz 偏移	76		dB
			±2 MHz 偏移	80		dB
			±10 MHz 偏移	84		dB
阻塞抑制比 @ 868 MHz	BI_{868}	DR = 2.4 kbps; $F_{DEV} = 1.2$ kHz; BW=4.8 kHz, CW 干扰, BER<0.1%	±1 MHz 偏移	66		dB
			±2 MHz 偏移	76		dB
			±10 MHz 偏移	83		dB
镜像抑制比 @ 433 MHz	IMR_{433}	DR = 2.4 kbps; $F_{DEV} = 1.2$ kHz; BW=4.8 kHz CW 干扰, BER<0.1%	校正前	30		dB
			校正后	56		dB
镜像抑制比 @ 868 MHz	IMR_{868}	DR = 2.4 kbps; $F_{DEV} = 1.2$ kHz; BW=4.8 kHz CW 干扰, BER<0.1%	校正前	26		dB
			校正后	51		dB
输入 3 阶交调点 @ 433 MHz	$IIP3_{433}$	DR = 2.4 kbps; $F_{DEV} = 1.2$ kHz; 10 MHz 和 20 MHz 偏移的双音测试		-13		dBm
输入 3 阶交调点 @ 868 MHz	$IIP3_{868}$	DR = 2.4 kbps; $F_{DEV} = 1.2$ kHz; 10 MHz 和 20 MHz 偏移的双音测试		-12		dBm
饱和输入电平	P_{LVL}				20	dBm
接收机输入阻抗	Z_{in}	RXP 与 RXN 差分输入阻抗	433 MHz	150 Ω // 0.8 pF		
			868 MHz	134 Ω // 1.0 pF		

1.5 射频发射机指标

参数	符号	条件	最小	典型	最大	参数
输出功率	P _{OUT}	不同的频段需要特定的外围物料	-10		+20	dBm
输出功率步进	P _{STEP}			1		dB
GFSK高斯滤波系数	BT		0.3	0.5	1.0	-
不同温度下输出功率变化	P _{OUT-TOP}	温度从-40 至+85 °C		1		dB
发射杂散辐射		P _{OUT} = +20 dBm, 433 MHz, F _{RF} < 1 GHz			-54	dBm
		1 GHz 至 12.75 GHz, 含谐波			-36	dBm
F _{RF} = 315 MHz的谐波输出 ^[1]	H2 ₃₁₅	2 次谐波 +20 dBm P _{OUT}		-57		dBm
	H3 ₃₁₅	3 次谐波 +20 dBm P _{OUT}		-75		dBm
F _{RF} = 433 MHz的谐波输出 ^[1]	H2 ₄₃₃	2 次谐波 +20 dBm P _{OUT}		-56		dBm
	H3 ₄₃₃	3 次谐波 +20 dBm P _{OUT}		-71		dBm
F _{RF} = 868 MHz的谐波输出 ^[1]	H2 ₈₆₈	2 次谐波 +20 dBm P _{OUT}		-47		dBm
	H3 ₈₆₈	3 次谐波 +20 dBm P _{OUT}		-72		dBm
F _{RF} = 915 MHz的谐波输出 ^[1]	H2 ₉₁₅	2 次谐波 +20 dBm P _{OUT}		-47		dBm
	H3 ₉₁₅	3 次谐波 +20 dBm P _{OUT}		-73		dBm
F _{RF} = 315 MHz的谐波输出 ^[1]	H2 ₃₁₅	2 次谐波 +13 dBm P _{OUT}		-51		dBm
	H3 ₃₁₅	3 次谐波 +13 dBm P _{OUT}		-72		dBm
F _{RF} = 433 MHz的谐波输出 ^[1]	H2 ₄₃₃	2 次谐波 +13 dBm P _{OUT}		-44		dBm
	H3 ₄₃₃	3 次谐波 +13 dBm P _{OUT}		-58		dBm
F _{RF} = 868 MHz的谐波输出 ^[1]	H2 ₈₆₈	2 次谐波 +13 dBm P _{OUT}		-50		dBm
	H3 ₈₆₈	3 次谐波 +13 dBm P _{OUT}		-71		dBm
F _{RF} = 915 MHz的谐波输出 ^[1]	H2 ₉₁₅	2 次谐波 +13 dBm P _{OUT}		-54		dBm
	H3 ₉₁₅	3 次谐波 +13 dBm P _{OUT}		-73		dBm
备注:						
[1]. 谐波指标主要取决于硬件电路匹配优劣, 上面参数基于 CMT2391F128-EM 测试得出。						

1.6 射频状态切换稳定时间

参数	符号	条件	最小	典型	最大	参数
稳定时间	T _{SLP-RX}	从 Sleep 到 RX		660		us
	T _{SLP-TX}	从 Sleep 到 TX		660		us
	T _{STB-RX}	从 Standby 到 RX		160		us
	T _{STB-TX}	从 Standby 到 TX		160		us
	T _{RFS-RX}	从 RFS 到 RX		16		us
	T _{TFS-RX}	从 TFS 到 TX		16		us
	T _{TX-RX}	从 TX 到 RX (Ramp Down 需要 2 T _{symbol} 的时间)		2 T _{symbol} +168		us
	T _{RX-TX}	从 RX 到 TX		220		us
备注: [1]. T _{SLP-RX} 和 T _{SLP-TX} 的时间主要取决于晶体起振, 这个与晶体本身有主要关系。						

1.7 射频频率综合器

参数	符号	条件	最小	典型	最大	参数
频率范围	F_{RF}	需要不同的匹配网络	675		960	MHz
			338		640	MHz
			113		320	MHz
频偏设置范围	$F_{DEV_RNG}^{[1]}$	675 至 960 MHz		600		kHz
		450 至 640 MHz		400		kHz
		338 至 450 MHz		300		kHz
		225 至 320 MHz		200		kHz
		169 至 225 MHz		150		kHz
		135 至 169 MHz		120		kHz
		113 至 135 MHz		100		kHz
综合器频率分辨率	F_{RES}			60		Hz
频率调谐时间	t_{TUNE}			60		us
相位噪声 @ 433 MHz	PN_{433}	10 kHz 频率偏移		-101		dBc/Hz
		100 kHz 频率偏移		-114		dBc/Hz
		1MHz 频率偏移		-129		dBc/Hz
		10 MHz 频率偏移		-134		dBc/Hz
相位噪声 @ 868 MHz	PN_{868}	10 kHz 频率偏移		-100		dBc/Hz
		100 kHz 频率偏移		-109		dBc/Hz
		1 MHz 频率偏移		-126		dBc/Hz
		10 MHz 频率偏移		-129		dBc/Hz

备注：[1]. 2 FSK 与 4 FSK 的 F_{DEV} 指中心频点左右两最外侧的频点到中心频点的频率偏差。

1.8 射频用的晶体规格要求

参数	符号	条件	最小	典型	最大	参数
晶体频率 ^[1]	F_{XTAL}			32		MHz
晶体频率容差 ^[2]	ppm_{XTAL}		0	10	100	ppm
负载电容	C_{LOAD_XTAL}			15		pF
晶体等效电阻	R_{mXTAL}			60		Ω
晶体启动时间 ^[3]	t_{XTAL}			200		us

备注：

[1]. CMT2391F128 可以直接用外部参考时钟通过耦合电容驱动 XIN 管脚工作。外部时钟信号的峰峰值要求在 0.3 到 0.7 V 之间。

[2]. 该值包括 (1) 初始误差；(2) 晶体负载；(3) 老化；和 (4) 随温度的改变。可接受的晶体频率误差受限于接收机的带宽和与之搭配的发射器之间射频频率偏差。

[3]. 该参数很大程度上与晶体相关。

1.9 控制器工作条件

1.9.1 通用工作条件

表 1-9-1. 通用工作条件

符号	参数	条件	最小值	最大值	单位
f_{HCLK}	内部AHB时钟频率	-	0	64	MHz
f_{PCLK1}	内部APB1时钟频率	-	0	16	
f_{PCLK2}	内部APB2时钟频率	-	0	32	
V_{DD}	标准工作电压	-	1.8	3.6	V
V_{DDA}	模拟部分工作电压	必须与VDD相同	1.8	3.6	V
T_A	环境温度(温度标号7)		-40	105	°C
T_J	结温度范围	温度标号7	-40	125	°C

1. 建议使用相同的电源为 V_{DD} 和 V_{DDA} 供电，在上电和正常操作期间， V_{DD} 和 V_{DDA} 之间最多允许有300mV的差别。

1.9.2 上电和掉电时的工作条件

表 1-9-2. 上电和掉电时的工作条件

符号	参数	条件	最小值	最大值	单位
t_{VDD}	V_{DD} 上升速率	电源电压从0升到 V_{DD}	20	∞	$\mu s/V$
	V_{DD} 下降速率	电源电压从 V_{DD} 降到0	80	∞	

1.10 内嵌复位和电源控制模块特性

表 1-10. 内嵌复位和电源控制模块特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{PVD}	可编程的电压检测器的电平选择	Pvd0_rising	2.1	2.15	2.2	V
		Pvd0_falling	2	2.05	2.1	V
		Pvd1_rising	2.25	2.3	2.35	V
		Pvd1_falling	2.15	2.2	2.25	V
		Pvd2_rising	2.4	2.45	2.5	V
		Pvd2_falling	2.3	2.35	2.4	V
		Pvd3_rising	2.55	2.6	2.65	V
		Pvd3_falling	2.45	2.5	2.55	V
		Pvd4_rising	2.7	2.75	2.8	V
		Pvd4_falling	2.6	2.65	2.7	V
		Pvd5_rising	2.85	2.9	2.95	V
		Pvd5_falling	2.75	2.8	2.85	V
		Pvd6_rising	2.95	3	3.05	V
		Pvd6_falling	2.85	2.9	2.95	V
$V_{PVDhyst}^{(2)}$	PVD迟滞		80	100	120	mV
V_{BOR}	V_{DD} 上电/下电复位阈值	POR0	1.6	1.64	1.68	V
		PDR0	1.58	1.62	1.66	V

符号	参数	条件	最小值	典型值	最大值	单位
		POR1	2.05	2.1	2.15	V
		PDR1	1.95	2	2.05	V
		POR2	2.25	2.3	2.35	V
		PDR2	2.15	2.2	2.25	V
		POR3	2.55	2.6	2.65	V
		PDR3	2.45	2.5	2.55	V
		POR4	2.85	2.9	2.95	V
		PDR4	2.75	2.8	2.85	V
$T_{RSTTEMPO}^{(2)}$	复位持续时间		-	0.15		ms

1. 产品的特性由设计保证至最小的数值VPOR/PDR。
2. 由设计保证，不在生产中测试

1.11 控制器内置参考电压

符号	参数	条件	最小值	典型值	最大值	单位
V_{REFINT}	内核电压	$-40^{\circ}\text{C} < T_A < +105^{\circ}\text{C}$	1.16	1.20	1.26	V
$V_{REFBUFFER}$	内置参照电压	$-40^{\circ}\text{C} < T_A < +105^{\circ}\text{C}$		2.048		V
$TS_{vrefint}(1)$	当读出内部参照电压时，ADC的采样时间		-	5.1	$10^{(2)}$	μs
1. 最短的采样时间是通过应用中的多次循环得到。 2. 由设计保证，不在生产中测试。						

1.12 控制器工作电流特性

电流消耗是多种参数和因素的综合指标，这些参数和因素包括工作电压、环境温度、I/O 引脚的负载、产品的软件配置、工作频率、I/O 脚的翻转速率、程序在存储器中的位置以及执行的代码等。

1.12.1 最大电流消耗

微控制器处于下列条件：

- 所有的 I/O 引脚都处于输入模式，并连接到一个静态电平上—— V_{DD} 或 V_{SS} (无负载)。
- 所有的外设都处于关闭状态，除非特别说明。
- 闪存存储器的访问时间调整到 f_{HCLK} 的频率（0~32MHz 时为 0 个等待周期，32~64MHz 时为 1 个等待周期）。
- 指令预取功能开启（提示：这个参数必须在设置时钟和总线分频之前设置）。
- 当开启外设时： $f_{PCLK1} = f_{HCLK}/4$, $f_{PCLK2} = f_{HCLK}/2$ 。

表 1-12-1. 运行模式下的最大电流消耗，数据处理代码从内部闪存中运行

参数	符号	条件	f_{HCLK}	典型值 ⁽¹⁾	单位
				$V_{DD}=3.3\text{V}, T_A = 105^{\circ}\text{C}$	
运行模式下的工作电流	I_{DD}	内部时钟 ⁽²⁾ ，使能所有外设	64MHz	6.0	mA
			32MHz	3.8	

		内部时钟 ⁽²⁾ , 关闭所有外设	64MHz	4	
			32MHz	2.5	
1. 由设计和综合评估保证, 不在生产中测试。					
2. 内部时钟为 8 MHz, 当 $f_{HCLK} > 8\text{ MHz}$ 时, 启用PLL。					

表 1-12-2. 睡眠模式下的最大电流消耗, 代码运行在内部闪存中

参数	符号	条件	f _{HCLK}	典型值 ⁽¹⁾	单位
				V _{DD} =3.3V, T _A = 105℃	
睡眠模式下的工作电流	I _{DD}	内部时钟 ⁽²⁾ , 使能所有外设	64MHz	4.2	mA
			32MHz	2.5	
		内部时钟 ⁽²⁾ , 关闭所有外设	64MHz	2.2	
			32MHz	1.6	

1. 由综合评估得出, 在生产中以V_{DDmax}和以f_{HCLKmax}使能外设为条件测试。

2. 内部时钟为 8 MHz, 当f_{HCLK} > 8 MHz 时, 需要启用PLL。

1.12.2 典型的电流消耗

MCU 处于下述条件下:

- 所有的 I/O 引脚都处于输入模式, 并连接到一个静态电平上— V_{DD} 或 V_{SS} (无负载)。
- 所有的外设都处于关闭状态, 除非特别说明。
- 闪存存储器的访问时间调整到 f_{HCLK} 的频率 (0~32 MHz 时为 0 个等待周期, 32~64 MHz 时为 1 个等待周期)。
- 指令预取功能开启(提示: 这个参数必须在设置时钟和总线分频之前设置)。当开启外设时: $f_{PCLK1} = f_{HCLK} / 4$, $f_{PCLK2} = f_{HCLK} / 2$, $f_{ADCCLK} = f_{PCLK2} / 4$ 。

表 1-12-3. 运行模式下的典型电流消耗 (数据处理代码从内部 Flash 中运行)

参数	符号	条件	f _{HCLK}	典型值 ⁽¹⁾		单位
				使能所有外设	关闭所有外设	
运行模式下的供应电流	I _{DD}	内部时钟	64 MHz	5.9	3.7	mA
			32 MHz	3.3	2.3	
1. 典型值是在 TA=25℃、VDD=3.3 V时测试得到。						
2. 内部高速时钟为 8 MHz，当f _{HCLK} > 8 MHz时启用PLL。						

表 1-12-4. 睡眠模式下的典型电流消耗 (数据处理代码从内部 Flash 中运行)

参数	符号	条件	fHCLK	典型值 ⁽¹⁾		单位
				使能所有外设	关闭所有外设	
睡眠模式下的工作电流	I _{DD}	内部时钟	64 MHz	3.8	2	mA
			32 MHz	2.3	1.4	

1. 典型值是在 TA = 25 ℃, VDD = 3.3 V 时测试得到。

2. 每个模拟部分的ADC要增加额外的0.2mA电流消耗。 在应用环境中, 这部分电流只有在开启ADC(设置ADC_CTRL2 寄存器的ON位)时才会增加。

3. 内部高速时钟为 8 MHz, 当fHCLK > 8 MHz时启用PLL。

1.12.3 低功耗模式电流消耗

- 微控制器处于下列条件:
- 所有的 I/O 引脚都处于输入模式, 并连接到一个静态电平上-VDD 或 VSS(无负载)。
 - 所有的外设都处于关闭状态, 除非特别说明。

表 1-12-5. 停机和待机模式下的典型和最大电流消耗

符号	参数	条件	典型值		单位
			V _{DD} = 3.3V T _A =25℃	V _{DD} = 3.3V T _A =105℃	
I _{DD_STOP2}	停机模式2（STOP2）下的供应电流	外部低速时钟开启，RTC运行，SRAM2 保持，所有I/O状态保持，独立看门狗处于关闭状态	3 ⁽¹⁾	27 ⁽¹⁾	μA
I _{DD_STANDBY}	待机模式（STANDBY）下的供应电流	低速内部RC振荡器和独立看门狗处于开启状态	1.6 ⁽¹⁾	7.6 ⁽¹⁾	
		低速内部RC振荡器处于开启状态，独立看门狗处于关闭状态	1.5 ⁽¹⁾	7.5 ⁽¹⁾	
		低速内部RC振荡器和独立看门狗处于关闭状态，低速振荡器和RTC 处于关闭状态	1.4 ⁽¹⁾	7.3 ⁽¹⁾	
1.由综合评估得出，不在生产中测试。					

1.13 控制器外部时钟源特性

1.13.1 外部高速时钟源 (HSE)

下表中给出的特性参数是使用一个高速的外部时钟源测得, 环境温度和供电电压符合下表条件。

表 1-13-1. 高速外部用户时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
f _{HSE_ext}	用户外部时钟频率	-	4	8	32	MHz
V _{HSEH}	OSC_IN输入引脚高电平电压 ⁽¹⁾		0.8 V _{DD}	-	V _{DD}	V
V _{HSEL}	OSC_IN输入引脚低电平电压 ⁽¹⁾		V _{SS}	-	0.3 V _{DD}	
t _{w(HSE)}	OSC_IN高或低的时间 ⁽¹⁾		16	-	-	ns
t _{r(LSE)} t _{f(LSE)}	OSC_IN上升或下降的时间 ⁽¹⁾		-	-	20	
C _{in(HSE)}	OSC_IN输入容抗 ⁽¹⁾		-	5	-	pF
DuCy _(HSE)	占空比 ⁽¹⁾		45	-	55	%
I _L	OSC_IN输入漏电流 ⁽¹⁾	V _{SS} ≤ V _{IN} ≤ V _{DD}	-	-	±1	μA
1. 由设计和综合评估保证, 不在生产中测试。						

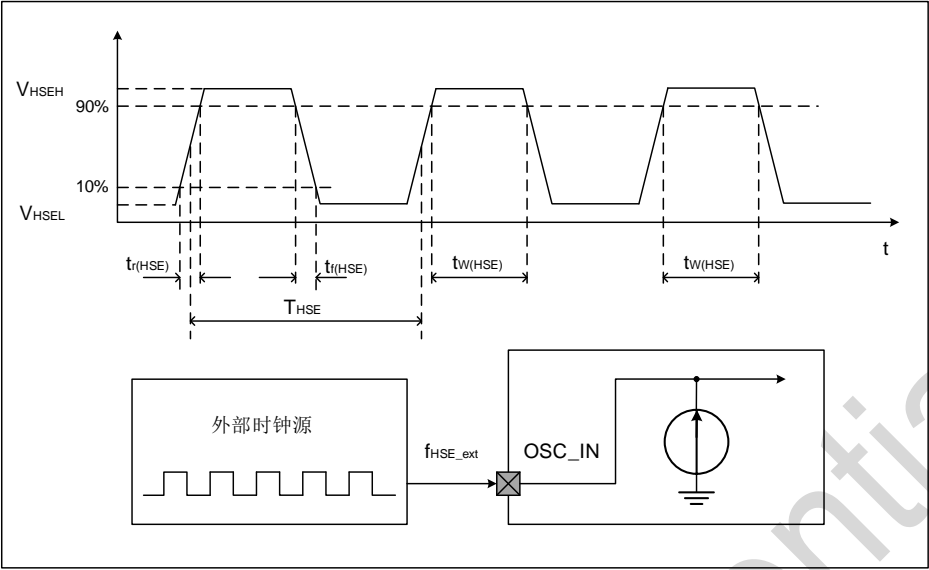


图 1-13-1. 外部高速时钟源的交流时序图

1.13.2 外部低速时钟源（LSE）

下表中给出的特性参数是使用一个低速的外部时钟源测得，环境温度和供电电压符合下表条件。

表 1-13-2. 低速外部用户时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{LSE_ext}	用户外部时钟频率	-	0	32.768	1000	KHz
V_{LSEH}	OSC32_IN 输入引脚高电平电压 ⁽¹⁾		$0.7 V_{DD}$	-	V_{DD}	V
V_{LSEL}	OSC32_IN 输入引脚低电平电压 ⁽¹⁾			-	0.3	
$t_w(LSE)$	OSC32_IN 高或低的时间 ⁽¹⁾		450	-	-	ns
$t_{r(LSE)}$ $t_{f(LSE)}$	OSC32_IN 上升或下降的时间 ⁽¹⁾		-	-	10	
$DuCy_{(LSE)}$	占空比 ⁽¹⁾		30	-	70	%
I_L	OSC32_IN 输入漏电流 ⁽¹⁾	$V_{SS} \leq V_{IN} \leq V_{DD}$	-	-	± 1	μA

1. 由设计和综合评估保证，不在生产中测试。

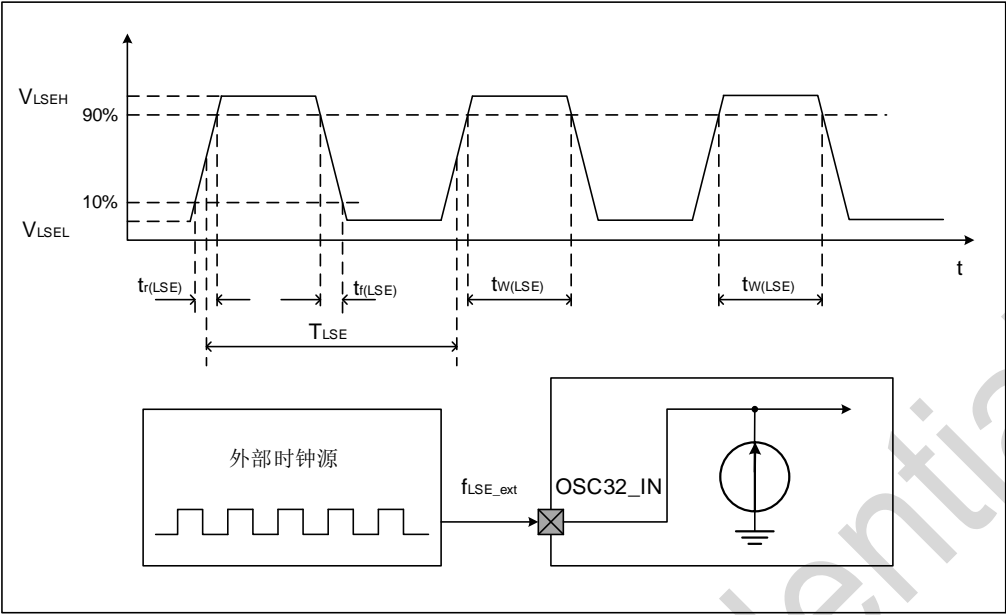


图 1-13-2. 外部低速时钟源的交流时序图

1.13.3 使用一个晶体/陶瓷谐振器产生的高速外部时钟

高速外部时钟（HSE）可以使用一个 4~32 MHz 的晶体/陶瓷谐振器构成的振荡器产生。本节中所给出的信息是基于使用下表中列出的典型外部元器件，通过综合特性评估得到的结果。在应用中，谐振器和负载电容必须尽可能地靠近振荡器的引脚，以减少输出失真和启动时的稳定时间。有关晶体谐振器的详细参数（频率、封装、精度等），请咨询相应的生产厂商。（这里提到的晶体谐振器就是我们通常说的无源晶振）

表 1-13-3. HSE 4~32 MHz 振荡器特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{OSC_IN}	振荡器频率		4	8	20	MHz
R_F	反馈电阻		-	160	-	k Ω
C_{L1} $C_{L2}^{(3)}$	建议的负载电容与对应的晶体 串行阻抗 (R_s)	$R_s = 30 \Omega$	-	-	20	pF
i_2	HSE驱动电流	$V_{DD}=3.3 V, V_{IN}=V_{SS}$ 30 pF 负载	-	1.5	1.8	mA
g_m	振荡器的跨导	启动	-	10	-	mA/V
$t_{SU(HSE)}^{(4)}$	启动时间(8M 晶体)	V_{DD} 是稳定的	-	3		ms

1. 谐振器的特性参数由晶体/陶瓷谐振器制造商给出。
2. 由设计和综合评估保证，不在生产中测试。
3. 对于 CL1 和 CL2，建议使用高质量的、为高频应用而设计的（典型值为）5 pF~25 pF 之间的瓷介电容器，并挑选符合要求的晶体或谐振器。通常 CL1 和 CL2 具有相同参数。晶体制造商通常以 CL1 和 CL2 的串行组合给出负载电容的参数。在选择 CL1 和 CL2 时，PCB 和 MCU 引脚的容抗应该考虑在内。（可以粗略地把引脚与 PCB 板的电容按 10pF 估计）
4. 相对较低的 R_F 电阻值，能够可以为避免在潮湿环境下使用时所产生的问题提供保护，这种环境下产生的泄漏和偏置条件都发生了变化。但是，如果 MCU 是应用在恶劣的潮湿条件时，设计时要把这个参数考虑进去。
5. $t_{SU(HSE)}$ 是启动时间，是从软件使能 HSE 开始测量，直至得到稳定的 8MHz 振荡这段时间。这个数值是在一个标准的晶体谐振器上测量得到，它可能因晶体制造商的不同而变化较大。

6. 不同频率晶体的 ESR 要求：4Mhz 晶体的 ESR 要求小于 400 Ω，8Mhz 晶体的 ESR 要求其小于 200 Ω，16Mhz 晶体的 ESR 要求小于 80 Ω，32Mhz 晶体的 ESR 要求小于 60Ω。

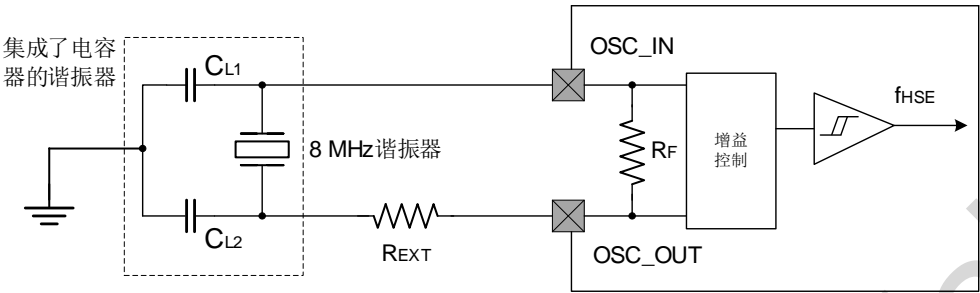


图 1-13-3.使用 8 MHz 晶体的典型应用

注意：REXT 数值由晶体的特性决定。典型值是 5 至 6 倍的 Rs。

1.13.4 使用一个晶体/陶瓷谐振器产生的低速外部时钟

低速外部时钟（LSE）可以使用一个 32.768 kHz 的晶体/陶瓷谐振器构成的振荡器产生。本节中所给出的信息是基于使用下表中列出的典型外部元器件，通过综合特性评估得到的结果。在应用中，谐振器和负载电容必须尽可能地靠近振荡器的引脚，以减小输出失真和启动时的稳定时间。有关晶体谐振器的详细参数（频率、封装、精度等），请咨询相应的生产厂商。（这里提到的晶体谐振器就是我们通常说的无源晶振）

注意：对于 CL1 和 CL2，建议使用高质量的 5 pF~15 pF 之间的瓷介电容器，并挑选符合要求的晶体或谐振器。通常 CL1 和 CL2 具有相同参数。晶体制造商通常以 CL1 和 CL2 的串行组合给出负载电容的参数。

负载电容 CL 由下式计算： $CL = CL1 \times CL2 / (CL1 + CL2) + Cstray$ ，其中 Cstray 是引脚的电容和 PCB 板或 PCB 相关的电容，它的典型值是介于 2pF 至 7pF 之间。

警告：为了避免超出 CL1 和 CL2 的最大值(20pF)，强烈建议使用负载电容 $CL \leq 10pF$ 的谐振器，不能使用负载电容为 12.5pF 的谐振器。

例如：如果选择了一个负载电容 $CL=6pF$ 的谐振器并且 $Cstray=2pF$ ，则 $CL1=CL2=8pF$ 。

表 1-13-4. LSE 振荡器特性 ($f_{LSE}=32.768kHz$)⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
R_F	反馈电阻		-	5	-	MΩ
C_{L1} C_{L2} ⁽²⁾	建议的负载电容与对应的晶体串行阻抗(Rs) ⁽³⁾	$R_s: 30\text{ K}\Omega \sim 65\text{ K}\Omega$	-	-	20	pF
I2	LSE驱动电流	VDD = 3.3 V CL1 = CL2 = 14 pF $R_s = 30\text{ K}\Omega$	-	0.3	-	μA
g_m	振荡器的跨导		5	-	-	μA/V
$t_{SU(LSE)}$ ⁽⁴⁾	启动时间	VDD是稳定的	-	2	-	s

1. 由设计和综合评估保证，不在生产中测试。
2. 参见本表格上方的注意和警告段落。
3. 选择具有较小Rs值的高质量振荡器 (如MSIV-TIN32.768kHz)，可以优化电流消耗。详情请咨询晶体制造商。
4. $t_{SU(LSE)}$ 是启动时间，是从软件使能LSE开始测量，直至得到稳定的32.768 KHz振荡这段时间。这个数值是在一个标准的晶体谐振器上测量得到，它可能因晶体制造商的不同而变化较大。
5. 32.768K外部晶体的ESR要求小于65KΩ。

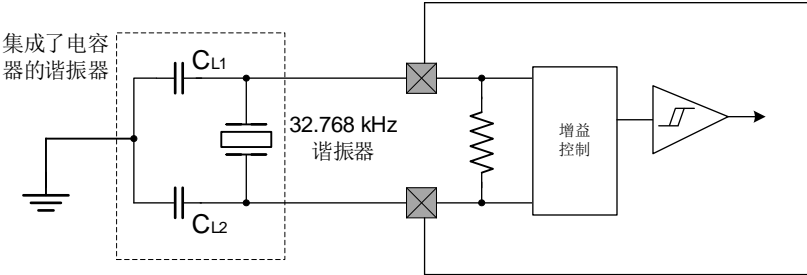


图 1-13-4. 使用 32.768 kHz 晶体的典型应用

1.14 控制器内部时钟源特性

1.14.1 高速内部 (HSI) RC 振荡器

表 1-14-1. HSI 振荡器特性⁽¹⁾⁽²⁾

符号	参数	条件	最小值	典型值	最大值	单位
f_{HSI}	频率	VDD = 3.3 V, $T_A = 25^\circ\text{C}$, 校准后	15.84	16	16.16	MHz
ACC_{HSI}	HSI 振荡器的温漂	VDD = 3.3 V, $T_A = -40 \sim 105^\circ\text{C}$, 温漂	-2.5	-	2.5	%
		VDD = 3.3 V, $T_A = -10 \sim 85^\circ\text{C}$, 温漂	-1	-	1.5	%
		VDD = 3.3 V, $T_A = 0 \sim 70^\circ\text{C}$, 温漂	-0.7	-	1.2	%
$t_{\text{SU(HSI)}}$	HSI 振荡器启动时间		1	-	3.6	μs
$I_{\text{DD(HSI)}}$	HSI 振荡器功耗		-	80	100	μA

1. VDD = 3.3 V, $T_A = -40 \sim 105^\circ\text{C}$, 除非特别说明。
2. 由设计和综合评估保证, 不在生产中测试。

1.14.2 多速内部 (MSI) RC 振荡器

表 1-14-2. MSI 振荡器特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
f_{MSI}	Range 0	MSI frequency after factory calibration, done at VDD=3.3 V and $T_A=27^\circ\text{C}$	90	100	104.5	kHz
	Range 1		180	200	209	kHz
	Range 2		360	400	418	kHz
	Range 3		720	800	836	kHz
	Range 4		0.98	1	1.035	MHz
	Range 5		1.96	2	2.07	MHz
	Range 6		3.96	4	4.1	MHz
$\Delta_{\text{TEMP(MSI)}}^{(2)}$	MSI oscillator frequency drift over temperature	$T_A = 0 \text{ to } 85^\circ\text{C}$	-	$\pm 1\% @ 4\text{M}$ $\pm 1.2\% @ 100\text{k}$	-	%
		$T_A = -40 \text{ to } 105^\circ\text{C}$	-	$\pm 2\% @ 4\text{M}$ $\pm 3\% @ 100\text{k}$	-	%
$\Delta_{\text{VDD(MSI)}}^{(2)}$	MSI oscillator frequency drift over VDD (reference is 3 V)	Range 0, VDD=1.8 V to 3.6 V	-	0.5/-1.5	-	%
		Range 6, VDD=1.8 V to 3.6 V	-	0.5/-5	-	%
$t_{\text{SU(MSI)}}^{(3)}$	MSI oscillator start-up	Range 0 / 100k	-	20	-	μs

符号	参数	条件	最小值	典型值	最大值	单位
I _{DD} (MSI) ⁽³⁾	time	Range 1 /200k	-	12	-	us
		Range 2 /400k	-	8	-	us
		Range 3 /800k	-	6	-	us
		Range 4 /1M	-	10	-	us
		Range 5 /2M	-	7	-	us
		Range 6 /4M	-	6	-	us
	MSI oscillator power consumption	Range 0 /100k	-	1.0	-	uA
		Range 1 /200k	-	1.2	-	uA
		Range 2 /400k	-	1.8	-	uA
		Range 3 /800k	-	3.2	-	uA
		Range 4 /1M	-	6	-	uA
		Range 5 /2M	-	9	-	uA
		Range 6 /4M	-	16	-	uA

1. V_{DD} = 3.3V, T_A = -40~105℃, 除非特别说明。
2. 这个偏差范围是振荡器经过校准之后的偏差； 由设计保证, 不在生产中测试。
3. 由设计保证, 不在生产中测试。

1.14.3 低速内部(LSI)RC 振荡器

表 1-14-3. LSI 振荡器特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
f _{LSI} ⁽²⁾	输出频率	25℃校准, VDD = 3.3 V	38	40	42	KHz
		VDD = 1.8 V ~ 3.6 V, TA = -40 ~ 105℃	30	40	60	KHz
t _{SU(LSI)} ⁽³⁾	LSI振荡器启动时间		-	30	80	μs
I _{DD(LSI)} ⁽³⁾	LSI振荡器功耗		-	0.1	-	μA

1. VDD = 3.3 V, TA = - 40 ~ 105℃, 除非特别说明。

2. 由设计和综合评估保证, 不在生产中测试。

1.14.4 控制器低功耗模式唤醒时间

下表列出的唤醒时间是在一个 8 MHz 的 HSI RC 振荡器的唤醒阶段测量得到。唤醒时使用的时钟源依当前的操作模式而定：

- 停机或待机模式：时钟源是 RC 振荡器
- 睡眠模式：时钟源是进入睡眠模式时所使用的时钟

表 1-15-1. 低功耗模式的唤醒时间

符号	参数	典型值	单位
$t_{WUSLEEP}^{(1)}$	从睡眠模式唤醒	10	HCLK ⁽²⁾
$t_{WUSLEEP}^{(1)}$	从低功耗睡眠模式唤醒	10	HCLK ⁽²⁾
$t_{WULPRUN}^{(1)}$	从低功耗运行模式唤醒	5.5	us
$t_{WUSTOP2}^{(1)}$	从停机模式2唤醒	12	us
$t_{WUSTDBY}^{(1)}$	从待机模式唤醒	50	us

1. 唤醒时间的测量是从唤醒事件开始至用户程序读取第一条指令；
2. 唤醒时间是在MSI = 4 MHz的时候得出，如果MSI在其他档位，唤醒时间会增加

1.15 控制器内部 PLL 特性

表 1-16. 控制器内部 PLL 特性

符号	参数	数值			单位
		最小值	典型值	最大值 ⁽¹⁾	
f_{PLL_IN}	PLL输入时钟 ⁽²⁾	4	8	32	MHz
	PLL输入时钟占空比	40	50	60	%
f_{PLL_OUT}	PLL倍频输出时钟	32	-	64	MHz
t_{LOCK}	PLL Ready 指示信号输出时间	-	-	150	μs
Jitter	RMS cycle-to-cycle jitter @64 MHz ⁽¹⁾	-	6	-	pS
I_{pll}	Operating Current of PLL @64 MHz VCO frequency.	-	448	-	uA

1. 由设计和综合评估保证，不在生产中测试。
2. 需要注意使用正确的倍频系数，从而根据PLL输入时钟频率使得 f_{PLL_OUT} 处于允许范围内。

1.16 控制器 Flash 存储器特性

表 1-17-1. 闪存存储器特性

符号	参数	条件	最小值 ⁽¹⁾	典型值 ⁽¹⁾	最大值 ⁽¹⁾	单位
t_{prog}	32位的编程时间	$T_A = -40 \sim 105^{\circ}C$	-	100	-	μs
t_{ERASE}	页(2K字节)擦除时间	$T_A = -40 \sim 105^{\circ}C$	-	2	20	ms
t_{ME}	整片擦除时间	$T_A = -40 \sim 105^{\circ}C$;	-	-	100	ms
V_{prog}	编程电压		1.8	-	3.6	V
I_{DD}	供电电流 ⁽¹⁾	读模式， $f_{HCLK} = 64\text{ MHz}$ ，2个等待周期， $V_{DD} = 3.3\text{ V}$	-	-	3.42	mA
		写模式， $f_{HCLK} = 64\text{ MHz}$ ， $V_{DD} = 3.3\text{ V}$	-	-	6.5	mA
		擦除模式， $f_{HCLK} = 64\text{ MHz}$ ， $V_{DD} = 3.3\text{ V}$	-	-	4.5	mA
		掉电模式/停机， $V_{DD} = 3.3 \sim 3.6\text{ V}$	-	-	0.035	μA

1. 由设计和综合评估保证，不在生产中测试。

表 1-17-2. 闪存存储器寿命和数据保存期限

符号	参数	条件	最小值 ⁽¹⁾	单位
N _{END}	寿命(注：擦写次数)	T _A = - 40 ~ 105°C (尾缀为7)；	100	千次
t _{RET}	数据保存期限	T _A = 105°C，1000次擦写 ⁽¹⁾ 之后	10	年
1. 由综合评估得出，不在生产中测试。				
2. 循环测试均是在整个温度范围下进行。				

1.17 绝对最大值（电气敏感性）

基于三个不同的测试(ESD，LU)，使用特定的测量方法，对芯片进行强度测试以决定它的电气敏感性方面的性能。

● 静电放电 (ESD)

静电放电(一个正的脉冲然后间隔一秒钟后一个负的脉冲)施加到所有样品的所有引脚上，样品的大小与芯片上供电引脚数目相关(3 片 x (n+1)供电引脚)。这个测试符合 JESD22-A114/C101 标准。

表 1-18-1. ESD 绝对最大值

符号	参 数	条件	类型	最小值 ⁽¹⁾	单位
VESD(HBM)	静电放电电压(人体模型)	TA = +25 °C，符合 JESD22-A114	2	4000	V
VESD(CDM)	静电放电电压(充电设备模型)	TA = +25 °C，符合 JESD22-C101	II	1000	
1. 由综合评估得出，不在生产中测试。					

● 静态栓锁

为了评估栓锁性能，需要在 6 个样品上进行 2 个互补的静态栓锁测试：

- 为每个电源引脚，提供超过极限的供电电压。
- 在每个输入、输出和可配置的I/O引脚上注入电流。这个测试符合EIA/JESD78A集成电路栓锁标准。

表 1-18-2. 电气敏感性

符号	参数	条件	类型
LU	静态栓锁类	T _A ⁽¹⁾ = +85 °C，符合JEDEC78E	II 类A
		T _A ⁽²⁾ = +25 °C，符合JEDEC78E	
1. 适用于F版及F版以后版本			
2. 适用于F版之前版本			

1.18 控制器 IO 端口特性

● 通用输入/输出特性

所有的 I/O 端口都是兼容 CMOS 和 TTL。

表 1-19-1. I/O 静态特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{IL}	输入低电平电压	TTL端口	V_{SS}	-	0.8	V
V_{IH}	输入高电平电压		2	-	V_{DD}	
V_{IL}	输入低电平电压	CMOS端口	V_{SS}	-	$0.35V_{DD}$	
V_{IH}	输入高电平电压		$0.65V_{DD}$	-	V_{DD}	
V_{hys}	施密特触发器电压迟滞 ^{(1) (5)}	-	0.1	-	-	V
V_{hys}	施密特触发器电压迟滞 ^{(1) (6)}	$V_{DD}=3.3V/2.5V$	0.2	-	-	
		$V_{DD}=1.8V$	$0.1 V_{DD}$	-	-	
I_{lkg}	输入漏电流 ⁽²⁾	$V_{DD} = \text{Maximum}$ $V_{PAD} = 0 \text{或} V_{PAD} = V_{DD}$	-1	-	+1	μA
$I_{lkg, fail-safe}$	输入漏电流 ⁽³⁾	$V_{DD} = 0, V_{PAD} = 3.63V$ 或 $V_{DD} < V_{PAD}$	-1	-	+1	μA
R_{PU}	弱上拉等效电阻 ⁽⁴⁾	$V_{DD} = 3.3V, V_{IN} = V_{SS}$	90	-	170(190 ⁽⁷⁾)	K Ω
		$V_{DD} = 2.5V, V_{IN} = V_{SS}$	95	-	310	
		$V_{DD} = 1.8V, V_{IN} = V_{SS}$	135	-	500	
R_{PD}	弱下拉等效电阻 ⁽⁴⁾	$V_{DD} = 3.3V, V_{IN} = V_{DD}$	75(90 ⁽⁷⁾)	-	235(200 ⁽⁷⁾)	
		$V_{DD} = 2.5V, V_{IN} = V_{DD}$	85	-	315	
		$V_{DD} = 1.8V, V_{IN} = V_{DD}$	120	-	495	
C_{IO}	I/O引脚的电容	-	-	5	-	pF

1. 施密特触发器开关电平的迟滞电压。由综合评估结果保证，不在生产中测试

2. 如果在相邻引脚有反向电流倒灌，则漏电流可能高于最大值

3. 不支持fail-safe的GPIO包括PD14、PD15、PA11、PA12、PA4、PB2

4. 上拉和下拉电阻是由一个可开关的PMOS/NMOS实现

5. 适用于F版及F版以后版本

6. 适用于F版之前版本

7. 适用于F版及F版以后的版本

所有 I/O 端口都是 CMOS 和 TTL 兼容(不需软件配置)，它们的特性考虑了多数严格的 CMOS 工艺或 TTL 参数：

■ 对于 V_{IH} ：

- 如果 V_{DD} 是介于[1.8V~3.08V]：使用 CMOS 特性但包含 TTL。
- 如果 V_{DD} 是介于[3.08V~3.60V]：使用 TTL 特性但包含 CMOS。

■ 对于 V_{IL} ：

- 如果 V_{DD} 是介于[1.8V~2.28V]：使用 TTL 特性但包含 CMOS。
- 如果 V_{DD} 是介于[2.28V~3.60V]：使用 CMOS 特性但包含 TTL。

● 输出驱动电流

GPIO(通用输入/输出端口)可以吸收或输出多达+/-12mA 电流。在用户应用中，引脚的数量必须确保驱动电流不超过绝对最大额定值。

- 输出电压

所有的 I/O 端口都是兼容 CMOS 和 TTL 的。

表 1-19-2. IO 输出驱动能力特性

Drive class	$I_{OH}^{(1)}$, $V_{DD}=3.3V$	$I_{OL}^{(1)}$, $V_{DD}=3.3V$	$I_{OH}^{(1)}$, $V_{DD}=2.5V$	$I_{OL}^{(1)}$, $V_{DD}=2.5V$	$I_{OH}^{(1)}$, $V_{DD}=1.8V$	$I_{OL}^{(1)}$, $V_{DD}=1.8V$	单位
2	-2	2	-1.5	1.5	-1.2	1.2	mA
4	-4	4	-3	3	-2.5	2.5	mA
8	-8	8	-7	7	-5	5	mA
12	-12	12	-11	11	-7.5	7.5	mA

1. 由设计保证，不在生产中测试。

表 1-19-3. 输出电压特性

符号	参数	条件	最小值	最大值	单位
$V_{OL}^{(1)}$	输出低电平	$V_{DD} = 3.3V$, $I_{OL}^{(3)} = 2mA, 4mA, 8mA$, and 12mA	V_{SS}	0.4	V
		$V_{DD} = 2.5V$, $I_{OL}^{(3)} = 1.5mA, 3mA, 7mA$, and 11mA	V_{SS}	0.4	
		$V_{DD} = 1.8V$, $I_{OL}^{(3)} = 1.2mA, 2.5mA, 5mA$, and 7.5mA	V_{SS}	$0.2 * V_{DD}$	
$V_{OH}^{(2)}$	输出高电平	$V_{DD} = 3.3V$, $I_{OH}^{(3)} = -2mA, -4mA, -8mA$, and -12mA	2.4	V_{DD}	
		$V_{DD} = 2.5V$, $I_{OH}^{(3)} = -1.5mA, -3mA, -7mA$, and -11mA	2	V_{DD}	
		$V_{DD} = 1.8V$, $I_{OH}^{(3)} = -1.2mA, -2.5mA, -5mA$, and -7.5mA	$0.8 * V_{DD}$	V_{DD}	

1. 芯片吸收的电流 IIO 必须始终遵循绝对最大额定值，同时 IIO 的总和(所有 I/O 脚和控制脚)不能超过 I_{VSS} 。

2. 芯片输出的电流 IIO 必须始终遵循绝对最大额定值，同时 IIO 的总和(所有 I/O 脚和控制脚)不能超过 I_{VDD} 。

- 输入输出交流特性

输入输出交流特性的定义和数值在下表给出。

表 1-28. 输入输出交流特性

GPIOx_DS.DSy[1:0] 配置	符号	参数	条件	最小值	最大值	单位
00 (2mA)	$f_{max(I/O)out}$	最大频率 ⁽²⁾	$C_L = 5pF, V_{DD} = 3.3V$	-	64	MHz
			$C_L = 5pF, V_{DD} = 2.5V$	-	50	
			$C_L = 5pF, V_{DD} = 1.8V$	-	30	
	$t_{(IO)out}$	输出延时 (A to pad)	$C_L = 5pF, V_{DD} = 3.3V$	-	3.66	ns
			$C_L = 5pF, V_{DD} = 2.5V$	-	4.72	
			$C_L = 5pF, V_{DD} = 1.8V$	-	7.12	
10 (4mA)	$t_{(IO)in}$	输入延时 (pad to Y)	$C_L = 50pF, V_{DD} = 2.97V$, $V_{DD} = 0.81V$ Input characteristics at 1.8V and 2.5V are derated	-	1.2	ns
	$f_{max(I/O)out}$	最大频率 ⁽²⁾	$C_L = 10pF, V_{DD} = 3.3V$	-	64	MHz
			$C_L = 10pF, V_{DD} = 2.5V$	-	60	
			$C_L = 10pF, V_{DD} = 1.8V$	-	40	
	$t_{(IO)out}$	输出延时 (A to pad)	$C_L = 10pF, V_{DD} = 3.3V$	-	3.5	ns
			$C_L = 10pF, V_{DD} = 2.5V$	-	4.5	
			$C_L = 10pF, V_{DD} = 1.8V$	-	6.74	

GPIOx_DS.DSy[1:0] 配置	符号	参数	条件	最小值	最大值	单位
	$t_{(IO)in}$	输入延时 (pad to Y)	$C_L = 50fF, V_{DD} = 2.97V, V_{DDD} = 0.81V$ Input characteristics at 1.8V and 2.5V are derated	-	1.2	
01 (8mA)	$f_{max(IO)out}$	最大频率 ⁽²⁾	$C_L = 20pF, V_{DD} = 3.3V$	-	64	MHz
			$C_L = 20pF, V_{DD} = 2.5V$		50	
			$C_L = 20pF, V_{DD} = 1.8V$		30	
	$t_{(IO)out}$	输出延时 (A to pad)	$C_L = 20pF, V_{DD} = 3.3V$	-	3.42	ns
			$C_L = 20pF, V_{DD} = 2.5V$		4.73	
			$C_L = 20pF, V_{DD} = 1.8V$		6.53	
	$t_{(IO)in}$	输入延时 (pad to Y)	$C_L = 50fF, V_{DD} = 2.97V, V_{DDD} = 0.81V$ Input characteristics at 1.8V and 2.5V are derated	-	1.2	
11 (12mA)	$f_{max(IO)out}$	最大频率 ⁽²⁾	$C_L = 30pF, V_{DD} = 3.3V$	-	64	MHz
			$C_L = 30pF, V_{DD} = 2.5V$	-	50	
			$C_L = 30pF, V_{DD} = 1.8V$	-	30	
	$t_{(IO)out}$	输出延时 (A to pad)	$C_L = 30pF, V_{DD} = 3.3V$	-	3.34	ns
			$C_L = 3pF, V_{DD} = 2.5V$	-	4.26	
			$C_L = 3pF, V_{DD} = 1.8V$	-	6.34	
	$t_{(IO)in}$	输入延时 (pad to Y)	$C_L = 50fF, V_{DD} = 2.97V, V_{DDD} = 0.81V$ Input characteristics at 1.8V and 2.5V are derated	-	1.2	
1. I/O端口的速度可以通过PMODEy[1:0]配置。参见N32L40X参考手册中有关GPIO端口配置寄存器的说明。 2. 由设计保证，不在生产中测试。						

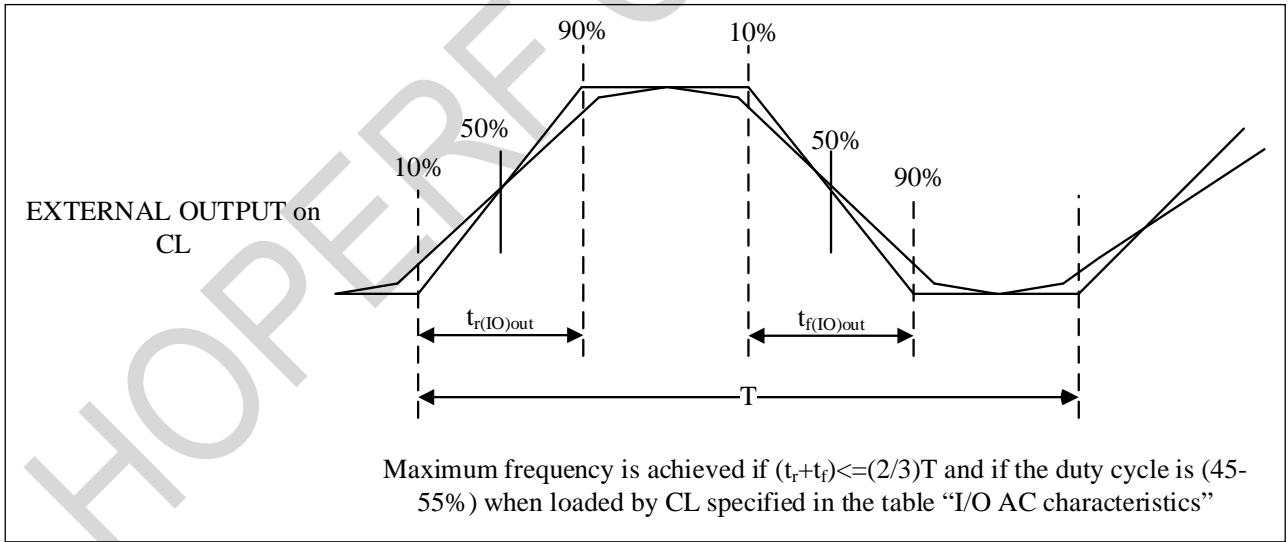


图 1-19 . 输入输出交流特性定义

1.19 控制器 MCU_NRST 引脚特性

MCU_NRST 引脚输入驱动使用 CMOS 工艺，它连接了一个不能断开的上拉电阻。

表 1-20. NRST 引脚特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{IL(NRST)}^{(1)}$	NRST输入低电平电压	$V_{DD} = 3.3\text{ V}$	V_{SS}	-	0.8	V
		$V_{DD} = 1.8\text{ V}$	V_{SS}	-	$0.3 * V_{DD}$	
$V_{IH(NRST)}^{(1)}$	NRST输入高电平电压	$V_{DD} = 3.3\text{ V}$	2	-	V_{DD}	
		$V_{DD} = 1.8\text{ V}$	$0.7 * V_{DD}$	-	V_{DD}	
$V_{hys(NRST)}$	NRST施密特触发器电压迟滞	$V_{DD} = 3.3\text{ V}$	200	-	-	mV
		$V_{DD} = 1.8\text{ V}$	$0.1 * V_{DD}$	-	-	V
R_{PU}	弱上拉等效电阻 ⁽²⁾	$V_{DD} = 3.3\text{ V}$	30	50	70	KΩ
$V_{F(NRST)}^{(1)}$	NRST输入滤波脉冲	-	-	-	100	ns
$V_{NF(NRST)}^{(1)}$	NRST输入非滤波脉冲	-	300	-	-	ns

1. 由设计保证，不在生产中测试。
2. 上拉电阻是设计为一个真正的电阻串联一个可开关的PMOS实现。这个PMON/NMOS开关的电阻很小(约占10%)。

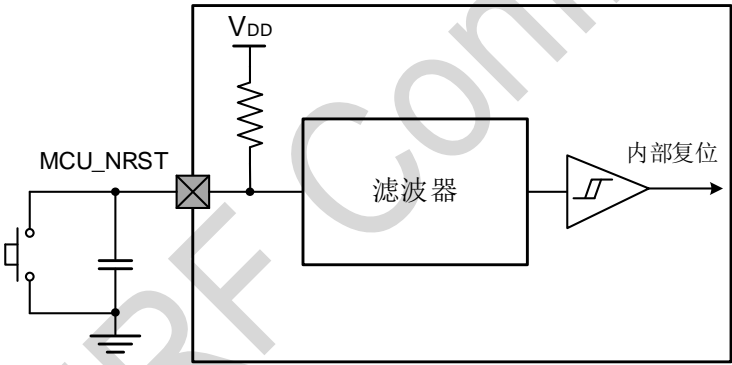


图 1-20. 建议的 NRST 引脚保护

1. 复位网络是为了防止寄生复位。
2. 用户必须保证 NRST 引脚的电位能够低于最大 $V_{IL(NRST)}$ 以下，否则 MCU 不能得到复位。

1.20 控制器 TIM 定时器特性

表 1-21-1. TIM1/8 特性

符号	参数	条件	最小值	最大值	单位
$t_{res(TIM)}$	定时器分辨时间		1	-	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 64 \text{ MHz}$	15.625	-	ns
f_{EXT}	CH1至CH4的定时器外部时钟频率		0	$f_{TIMxCLK}/2$	MHz
		$f_{TIMxCLK} = 64 \text{ MHz}$	0	32	MHz
Res_{TIM}	定时器分辨率		-	16	位
$t_{COUNTER}$	当选择了内部时钟时，16位计数器时钟周期		1	65536	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 64 \text{ MHz}$	0.015625	1024	μs
t_{MAX_COUNT}	最大可能的计数		-	65536×65536	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 64 \text{ MHz}$	-	67.109	s

1. TIMx是一个通用的名称，代表TIM 1~TIM 8

表 1-21-2. TIM2/3/4/5/6/7/9 特性

符号	参数	条件	最小值	最大值	单位
$t_{res(TIM)}$	定时器分辨时间	-	1	-	t_{TIMCLK}
		$f_{TIMCLK} = 32 \text{ MHz}$	31.25	-	ns
f_{EXT}	CH1至CH4的定时器外部时钟频率	-	0	$f_{TIMCLK}/2$	MHz
		$f_{TIMCLK} = 32 \text{ MHz}$	0	16	MHz
Res_{TIM}	定时器分辨率	-	-	16	bits
$t_{COUNTER}$	当选择了内部时钟时，16位计数器时钟周期	-	1	65536	t_{TIMCLK}
		$f_{TIMCLK} = 32 \text{ MHz}$	0.03125	2048	μs
t_{MAX_COUNT}	最大可能的计数	-	-	65536×65536	t_{TIMCLK}
		$f_{TIMCLK} = 32 \text{ MHz}$	-	134.218	s

表 1-21-3. LPTIMER 特性

符号	参数	条件	最小值	最大值	单位
$t_{res(LPTIM)}$	定时器分辨时间	-	1	-	$t_{LPTIMCLK}$
		$f_{LPTIMCLK} = 16 \text{ MHz}$	62.5	-	ns
f_{EXT}	IN2和OUT的定时器外部时钟频率	-	0	16	MHz
		$f_{LPTIMCLK} = 16 \text{ MHz}$	0	16	MHz
Res_{LPTIM}	定时器分辨率	-	-	16	bits
$t_{COUNTER}$	当选择了内部时钟时，16位计数器时钟周期	-	1	65536	$t_{LPTIMCLK}$
		$f_{LPTIMCLK} = 16 \text{ MHz}$	0.0625	4096	μs
t_{MAX_COUNT}	最大可能的计数	-	-	65536×65536	$t_{LPTIMCLK}$
		$f_{LPTIMCLK} = 16 \text{ MHz}$	-	268.435	s

表 1-21-4. IWDG 最大和最小计数复位时间 (LSI = 40kHz)

预分频	IWDG_PREDIV.PD[2:0]	最小值 (1)IWDG_RELV.REL[11:0] = 0	最大值(1)IWDG_RELV.REL[11:0] = 0xFFFF	单位
/4	000	0.1	409.6	ms
/8	001	0.2	819.2	
/16	010	0.4	1638.4	
/32	011	0.8	3276.8	
/64	100	1.6	6553.6	
/128	101	3.2	13107.2	
/256	11x	6.4	26214.4	
1. 由设计保证，不在生产中测试。				

表 1-21-5. WWDG 最大和最小计数复位时间 (APB1 PCLK1 = 16MHz)

预分频	WWDG_CFG.TIMERB [2:0]	最小值 ⁽¹⁾ WWDG_CFG.W[13:0] = 0x3F	最大值 ⁽¹⁾ WWDG_CFG.W[13:0] = 0x3FFF	单位
/1	00	0.256	16.38	ms
/2	01	0.512	32.77	
/3	10	1.024	65.54	
/4	11	2.048	7131.07	
1. 由设计保证，不在生产中测试。				

1.21 控制器 I²C 接口特性

I²C 接口符合标准 I²C 通信协议, 但有如下限制: SDA 和 SCL 不是“真”开漏的引脚, 当配置为开漏输出时, 在引出脚和 VDD 之间的 PMOS 管被关闭, 但仍然存在。I²C 接口特性见下表, 有关输入输出复用功能引脚 (SDA 和 SCL) 的特性详情。

表 1-22-1. I²C 接口特性

符号	参数	标准模式		快速模式		快速模式		单位
		最小	最大	最小	最大	最小	最大	
f _{SCL}	I ² C 接口频率	0	100	0	400	0	1000	KHz
t _{h(STA)}	开始条件保持时间(1)	4.0	-	0.6	-	0.26	-	μs
t _{w(SCLL)}	SCL 时钟低时间(1)	4.7	-	1.3	-	0.5	-	μs
t _{w(SCLH)}	SCL 时钟高时间(1)	4.0	-	0.6	-	0.26	-	μs
t _{su(STA)}	重复的开始条件建立时间(1)	4.7	-	0.6	-	0.26	-	μs
t _{h(SDA)}	SDA 数据保持时间(1)	-	3.4	-	0.9	-	0.4	μs
t _{su(SDA)}	SDA 建立时间(1)	250	-	100	-	50	-	ns
t _{r(SDA)} t _{r(SCL)}	SDA 和 SCL 上升时间(1)	-	1000	20 + 0.1 Cb	300	-	120	ns
t _{f(SDA)} t _{f(SCL)}	SDA 和 SCL 下降时间(1)	-	300	20 + 0.1 Cb	300	-	120	ns
t _{su(STO)}	停止条件建立时间(1)	4.0	-	0.6	-	0.26	-	μs
t _{w(STO:STA)}	停止条件至开始条件的的时间(总线空闲) (1)	4.7	-	1.3	-	0.5	-	μs

Cb	每条总线的容性负载 ⁽¹⁾	-	400	-	400	-	100	pf
t _v (SDA)	数据有效时间 ⁽¹⁾	-	3.45	-	0.9	-	0.45	μs
t _v (ACK)	应答有效时间 ⁽¹⁾	-	3.45	-	0.9	-	0.45	μs

1.

由设计和综合评估保证，不在生产中测试。

2.

为达到标准模式 I2C 的最大频率，f_{PCLK1} 必须大于 2 MHz。为达到快速模式 I2C 的最大频率，f_{PCLK1} 必须大于 4 MHz。

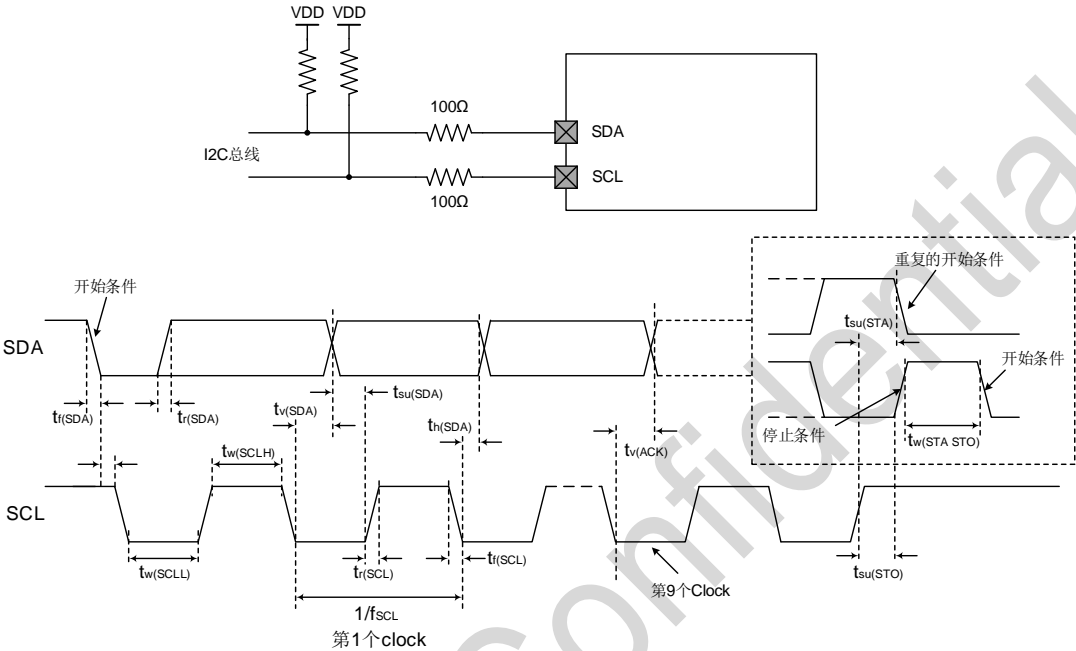


图 1-22-2. I²C 总线交流波形和测量电路⁽¹⁾

1.
- 测量点设置于 CMOS 电平：0.3 VDD 和 0.7 VDD。

2.

上拉电阻阻值取决于 I2C 接口速度。

3.

电阻值取决于实际电气特性，可以不连接串行电阻，信号线直连。

1.22 控制器 SPI/I²S 接口特性

表 1-23-1. SPI 特性⁽⁴⁾

符号	参数	条件		最小值	最大值	单位
f_{SCLK} $1/t_{\text{c(SCLK)}}$	SPI时钟频率	主模式		-	16	MHz
		从模式		-	16	
$t_{\text{r(SCLK)}}t_{\text{f(SCLK)}}$	SPI时钟上升和下降时间	负载电容: C = 30 pF		-	8	ns
DuCy(SCK)	SPI从输入时钟 占空比	SPI从模式		45	55	%
$t_{\text{su(NSS)}}^{(1)}$	NSS建立时间	从模式		$4t_{\text{PCLK}}$	-	ns
$t_{\text{h(NSS)}}^{(1)}$	NSS保持时间	从模式		$2t_{\text{PCLK}}$	-	ns
$t_{\text{w(SCLKH)}}^{(1)}$ $t_{\text{w(SCLKL)}}^{(1)}$	SCLK高和低的时间	主模式		t_{PCLK}	$t_{\text{PCLK}}+2$	ns
$t_{\text{su(MI)}}^{(1)}$	数据输入建立时间	主模式	SPI1	6.2	-	ns
			SPI2	5	-	
$t_{\text{su(SI)}}^{(1)}$		从模式	SPI1	6.3	-	ns
			SPI2	3	-	
$t_{\text{h(MI)}}^{(1)}$	数据输入保持时间	主模式		5	-	ns
$t_{\text{h(SI)}}^{(1)}$		从模式		5.2	-	
$t_{\text{a(SO)}}^{(1)(2)}$	数据输出访问时间	从模式, $f_{\text{PCLK}} = 20 \text{ MHz}$		0	$3 t_{\text{PCLK}}$	ns
$t_{\text{dis(SO)}}^{(1)(3)}$	数据输出禁止时间	从模式		2	10	ns
$t_{\text{v(SO)}}^{(1)}$	数据输出有效时间	从模式(使能边沿之后)	SPI1	-	20	ns
			SPI2	-	17	
$t_{\text{v(MO)}}^{(1)}$		主模式(使能边沿之后)	SPI1	-	5	
			SPI2	-	4	
$t_{\text{h(SO)}}^{(1)}$	数据输出保持时间	从模式(使能边沿之后)		6.2	-	ns
$t_{\text{h(MO)}}^{(1)}$		主模式(使能边沿之后)		-1	-	

1. 由设计和综合评估保证, 不在生产中测试。
2. 最小值表示驱动输出的最小时间, 最大值表示正确获得数据的最大时间。
3. 最小值表示关闭输出的最小时间, 最大值表示把数据线置于高阻态的最大时间。

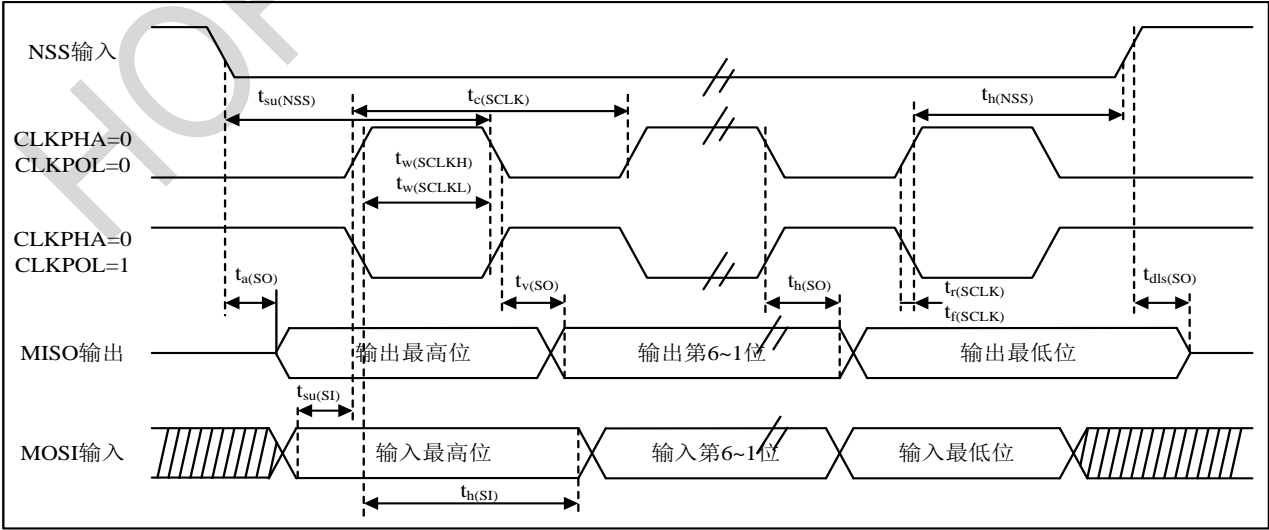
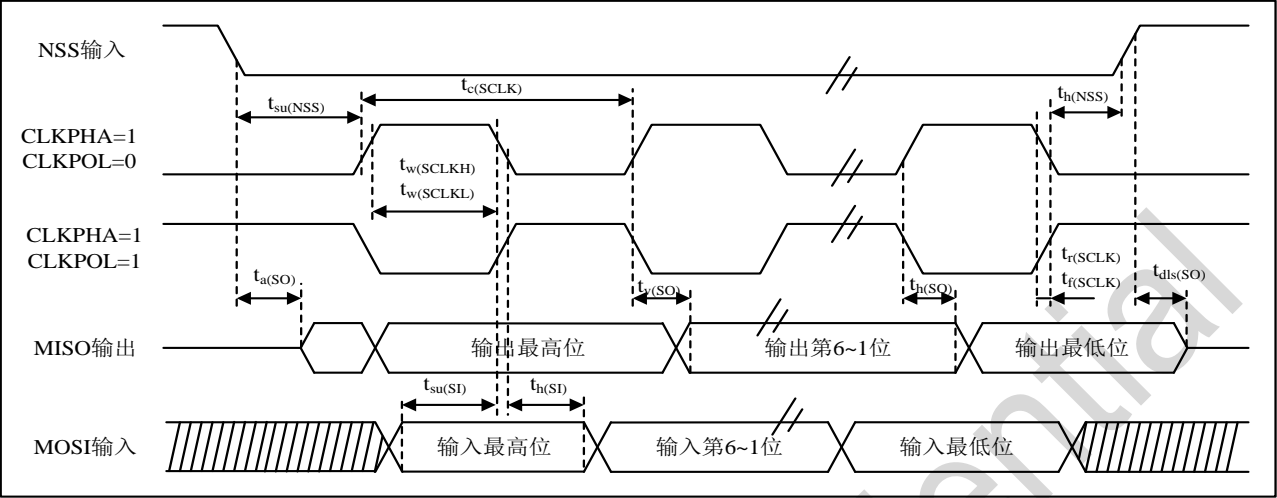
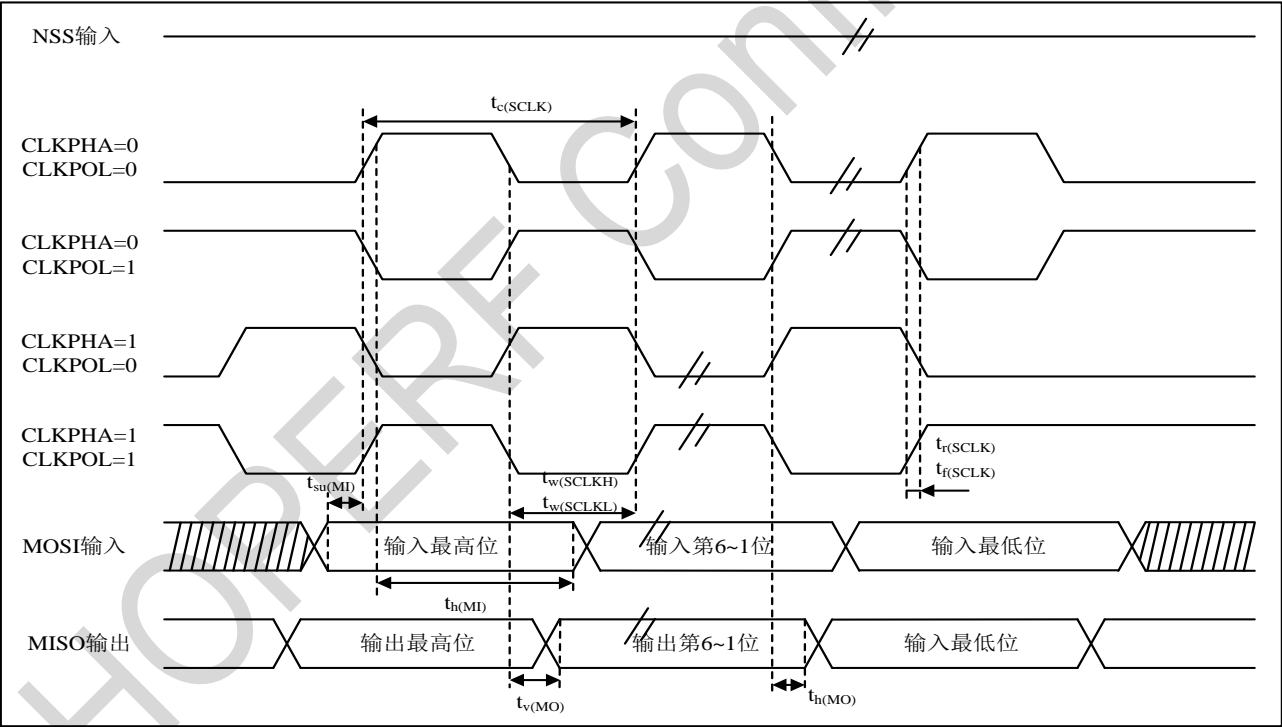


图 1-23-1. SPI 时序图 – 从模式和 CPHA=0



1. 测量点设置于 CMOS 电平：0.3 V_{DD} 和 0.7 V_{DD}。

图 1-23-2. SPI 时序图 – 从模式和 CPHA=1⁽¹⁾



1. 测量点设置于 CMOS 电平：0.3 V_{DD} 和 0.7 V_{DD}。

图 1-23-3. SPI 时序图 – 主模式⁽¹⁾

表 1-23-2. I²S 特性⁽¹⁾

符号	参数	条件	最小值	最大值	单位
DuCy(SCK)	I ² S时钟占空比	I ² S从模式	30	70	%

符号	参数	条件		最小值	最大值	单位
f_{CLK} $1/t_{c(CLK)}$	I ² S时钟频率	主模式(32 bit)		-	$64 \cdot Fs^{(3)}$	MHz
		从模式(32 bit)		-	$64 \cdot Fs^{(3)}$	
$t_{r(CLK)}$	I ² S时钟上升和下降时间	负载电容: CL = 50pF		-	8	ns
$t_{v(WS)}^{(1)}$	WS有效时间	主模式	I2S1	5.3	-	
			I2S2	5	-	
$t_{h(WS)}^{(1)}$	WS保持时间	主模式		0	-	
$t_{su(WS)}^{(1)}$	WS建立时间	从模式	I2S1	5.5	-	
			I2S2	5	-	
$t_{h(WS)}^{(1)}$	WS保持时间	从模式	I2S1	7	-	
			I2S2	3.6	-	
$t_{w(CLKH)}^{(1)}$	CLK高和低的时间	主模式, $f_{PCLK} = 16\text{MHz}$, 音频48kHz		312.5	-	
$t_{w(CLKL)}^{(1)}$				345	-	
$t_{su(SD_MR)}^{(1)}$	数据输入建立时间	主接收器	I2S1	.5	-	
			I2S2	5	-	
$t_{su(SD_SR)}^{(1)}$		从模式	I2S1	2.5	-	
			I2S2	2.5	-	
$t_{h(SD_MR)}^{(1)(2)}$	数据输入保持时间	主接收器	I2S1	4.4	-	
			I2S2	5.2	-	
$t_{h(SD_SR)}^{(1)(2)}$		从模式	I2S1	4.5	-	
			I2S2	5.2	-	
$t_{v(SD_ST)}^{(1)(2)}$	数据输出有效时间	从发送器(使能边沿之后)	I2S1	-	22	
			I2S2	-	22	
$t_{h(SD_ST)}^{(1)}$	数据输出保持时间	从发生器(使能边沿之后)	I2S1	4	-	
			I2S2	4	-	
$t_{v(SD_MT)}^{(1)(2)}$	数据输出有效时间	主发生器(使能边沿之后)	I2S1	-	5.6	
			I2S2	-	4.5	
$t_{h(SD_MT)}^{(1)}$	数据输出保持时间	主发生器(使能边沿之后)		0.5	-	

1. 由设计保证, 不在生产中测试。
2. 依赖于 f_{PCLK} 。例如, 如果 $f_{PCLK}=16\text{MHz}$, 则 $T_{PCLK}=1/f_{PCLK}=125\text{ns}$ 。
3. 音频采样率。

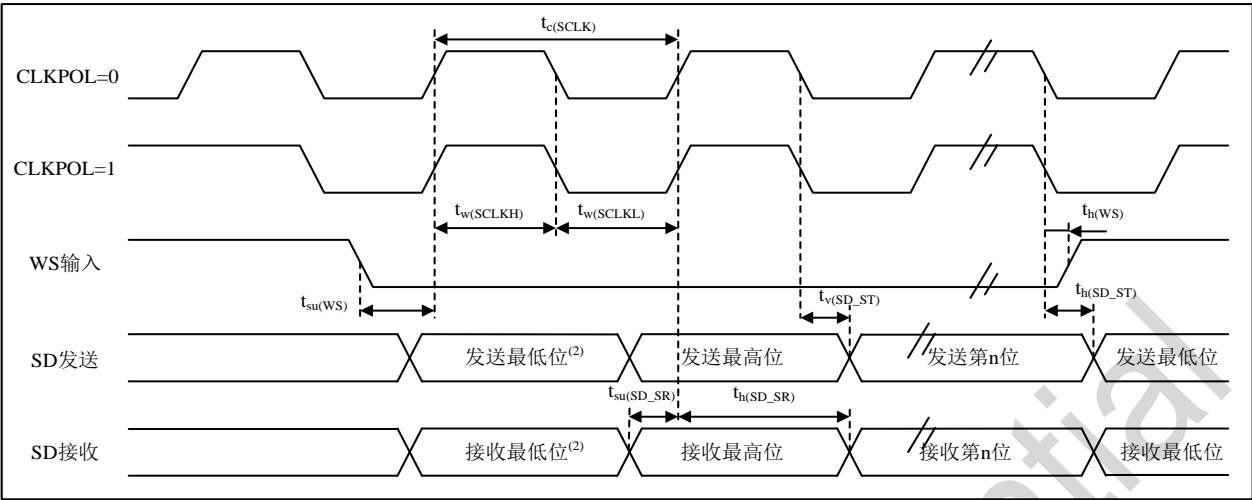


图 1-23-4. I²S 从模式时序图(飞利浦协议)⁽¹⁾

- 1. 测量点设置于 CMOS 电平：0.3 VDD 和 0.7 VDD。
- 2. 前一字节的最低位发送/接收。在第一个字节之前没有这个最低位的发送/接收。

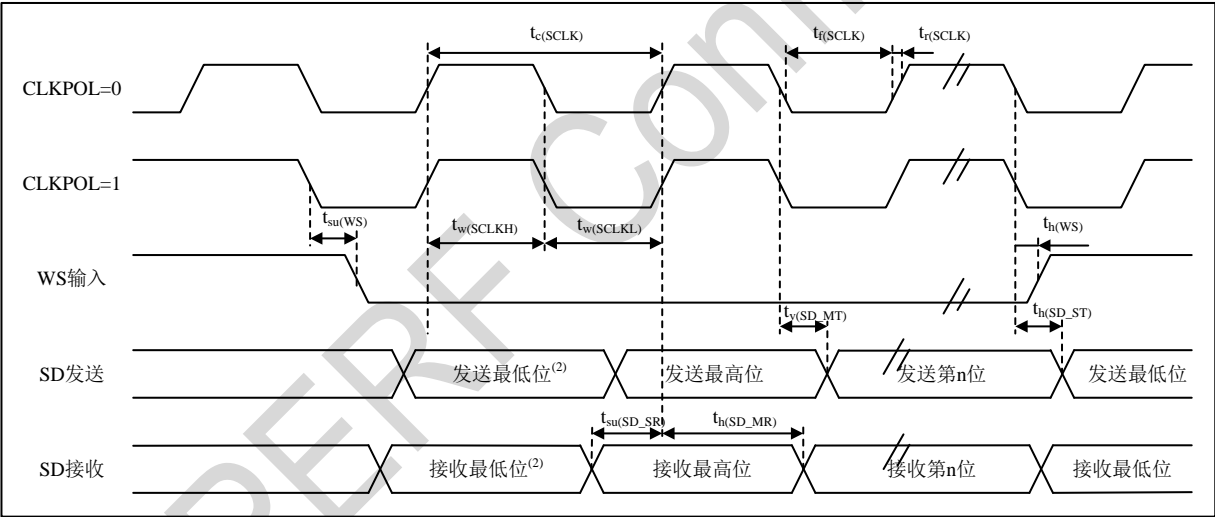


图 1-23-5. I²S 主模式时序图(飞利浦协议)⁽¹⁾

- 1. 测量点设置于 CMOS 电平：0.3 VDD 和 0.7 VDD。
- 2. 前一字节的最低位发送/接收，在第一个字节之前没有这个最低位的发送/接收。

1.23 USB 接口特性

USB（全速）接口已通过 USB-IF 认证。

表 1-24-1. USB 启动时间

符号	参数	最大值	单位
$t_{STARTUP}^{(1)}$	USB收发器启动时间	1	μs
1. 由设计保证，不在生产中测试。			

表 1-24-2. USB 直流特性

符号	参数	条件	最小值 ⁽¹⁾	最大值 ⁽¹⁾	单位
输入电平					
V _{DD}	USB工作电压 ⁽²⁾		3.0 ⁽³⁾	3.6	V
V _{DI} ⁽⁴⁾	差分输入灵敏度	I (USBDP和USBDM)	0.2	-	V
V _{CM} ⁽⁴⁾	差分常用型号范围	包含VDI范围	0.8	2.5	
V _{SE} ⁽⁴⁾	单端接收阈值		1.3	2.0	
输出电平					
V _{OL}	静态输出低电平	1.5KΩ RL接3.6V ⁽⁵⁾	-	0.3	V
V _{OH}	静态输出高电平	15KΩ RL接V _{SS} ⁽⁵⁾	2.8	3.6	
1. 所有电压测量均基于设备端的地线。 2. USB工作电压为3.0~3.6V，以兼容USB2.0全速电气规范。 3. N32L40x系列产品在2.7V时可以保证正确的USB功能，而不是降低2.7-3.0V电压范围内的电气特性。 4. 由综合评估保证，不在生产中测试。 5. R _L 是连接到USB驱动器的负载。					

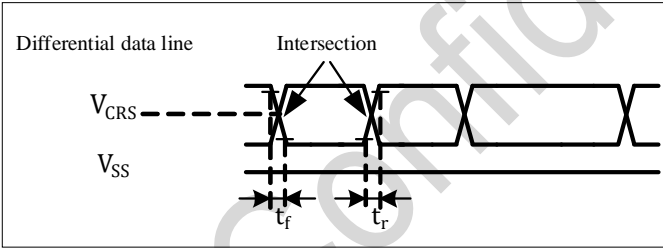


图 1-24. USB 时序：定义数据信号的上升和下降时间

表 1-24-3.全速 USB 电气特性

符号	参数	条件	最小值(1)	最大值(1)	单位
t _r	上升时间 ⁽²⁾	C _L ≤ 50pF	4	20	ns
t _f	下降时间 ⁽²⁾	C _L ≤ 50pF	4	20	ns
t _{rlm}	上升和下降时间匹配	t _r / t _f	90	111.1	%
<div>1. 由设计保证，不在生产中测试。 2. 10%到90%的测量数据信号。详细信息请参见USB规范第7章（2.0版）。</div>					

1.24 控制器 ADC 特性

表 1-25-1. ADC 特性

符号	参数	条件	最小值	典型值	最大值	单位
V _{DDA}	供电电压	使用外部参考电压	1.8	-	3.6	V
V _{REF+}	正参考电压		1.8	-	V _{DDA}	V
f _{ADC}	ADC时钟频率		-	-	64	MHz
f _s ⁽¹⁾	采样速率	1.8V ≤ V _{DD} ≤ 3.6V,分辨率12bit	-	-	4.57	MHz
		1.8V ≤ V _{DD} ≤ 3.6V,分辨率10bit	-	-	5.33	
		1.8V ≤ V _{DD} ≤ 3.6V,分辨率8bit	-	-	6.4	
		1.8V ≤ V _{DD} ≤ 3.6V,分辨率6bit	-	-	8	

符号	参数	条件	最小值	典型值	最大值	单位
V _{AIN}	转换电压范围 ⁽²⁾		0(V _{SSA} 或V _{REF-} 连接到地)	-	V _{REF+}	V
R _{ADC} ⁽¹⁾	采样开关电阻	快速通道	-	-	0.2	KΩ
R _{ADC} ⁽¹⁾	采样开关电阻	慢速通道	-	-	0.5	KΩ
C _{ADC} ⁽¹⁾	内部采样和保持电容		-	5	-	pF
SNDR	信噪失真率		-	65	-	dBFS
T _{cal}	校准时间		82			1/f _{ADC}
t _s ⁽¹⁾	采样时间	f _{ADC} = 64 MHz(快速通道)	0.0234	-	9.4	us
		f _{ADC} = 64 MHz(慢速通道)	0.0703	-	9.4	
T _s ⁽¹⁾	采样周期数	快速通道	1.5	-	601.5	1/f _{ADC}
		慢速通道	4.5	-	601.5	
t _{STAB} ⁽¹⁾	上电时间		6	10	20	μs
t _{CONV} ⁽¹⁾⁽³⁾	总的转换时间(包括采样时间)	分辨率 12bit	14~614 (采样 T _s + 逐步逼近 6.5/8.5/10.5/12.5)			1/f _{ADC}

1. 由设计保证，不在生产中测试。

2. V_{REF+}在内部连接到V_{DDA}，V_{REF-}在内部连接到V_{SSA}。

3. 单次转换模式比连续转换模式多3个1/f_{ADC}

公式1：最大R_{AIN}公式

$$R_{AIN} < \frac{T_s}{f_{ADC} \times C_{ADC} \times \ln(2^{N+2})} - R_{ADC}$$

上述公式(公式1)用于决定最大的外部阻抗，使得误差可以小于1/4 LSB。其中N=12(表示12位分辨率)。

表 1-25-2. ADC 采样时间⁽¹⁾⁽²⁾

输入	分辨率	Rin (kΩ)	最小采样时间的典型值 (ns)	输入	分辨率	Rin (kΩ)	最小采样时间的典型值 (ns)
快速通道	12-bit	0	11	慢速通道	12-bit	0	19
		0.05	12			0.05	21
		0.1	14			0.1	23
		0.2	20			0.2	30
		0.5	38			0.5	48
		1	64			1	77
		5	276			5	310
		10	543			10	607
		20	1082			20	1207
		50	2788			50	3144
快速通道	10-bit	100	6162			100	8244
		0	10	慢速通道	10-bit	0	17
		0.05	11			0.05	18
		0.1	13			0.1	20
		0.2	17			0.2	25
		0.5	32			0.5	40
		1	54			1	64
		5	229			5	257
		10	448			10	499
		20	888			20	983
快速通道	8-bit	50	2223			50	2457
		100	4500			100	5001
		0	9	慢速通道	8-bit	0	14
		0.05	10			0.05	16
		0.1	11			0.1	17
		0.2	14			0.2	21
快速通道	8-bit	0.5	26			0.5	33
		1	43			1	52

		5	183			5	206
		10	358			10	399
		20	707			20	783
		50	1759			50	1941
		100	3523			100	3887
快速通道	6-bit	0	8	慢速通道	6-bit	0	12
		0.05	8			0.05	13
		0.1	9			0.1	14
		0.2	12			0.2	17
		0.5	20			0.5	25
		1	33			1	40
		5	138			5	156
		10	269			10	300
		20	531			20	588
		50	1316			50	1451
		100	2627			100	2894
1. 由设计保证，不在生产中测试。							
2. 典型值是在T _A =25℃、VDD=3.3V时测试得到。							

表 1-25-3. ADC 精度 – 局限的测试条件⁽¹⁾⁽²⁾

符号	参数	测试条件	典型值	最大值 ⁽³⁾	单位
ET	综合误差 ⁽⁴⁾	$f_{\text{HCLK}} = 64 \text{ MHz}$, $f_{\text{ADC}} = 64 \text{ MHz}$, sample Rate = 1.75m SPS, $V_{\text{DDA}} = 3.3\text{V}$, $T_{\text{A}} = 25 \text{ }^{\circ}\text{C}$ 在校准 ADC 后进行测量 $V_{\text{REF+}} = V_{\text{DDA}}$	± 1.3	-	LSB
EO	偏移误差 ⁽⁵⁾		± 1	-	
ED	微分线性误差		± 0.7	-	
EL	积分线性误差		± 0.8	-	

1. ADC的直流精度数值是在经过内部校准后测量的。

2. ADC精度与反向注入电流的关系：需要避免在任何标准的模拟输入引脚上注入反向电流，因为这样会显著地降低另一个模拟输入引脚上正在进行的转换精度。建议在可能产生反向注入电流的标准模拟引脚上，(引脚与地之间)增加一个肖特基二极管。

3. 正向注入电流只要处于 $I_{\text{INJ(PIN)}}$ 和 $\Sigma I_{\text{INJ(PIN)}}$ 范围之内，就不会影响ADC精度。

4. 由综合评估结果保证，不在生产中测试。

5. 由设计保证，不在生产中测试。

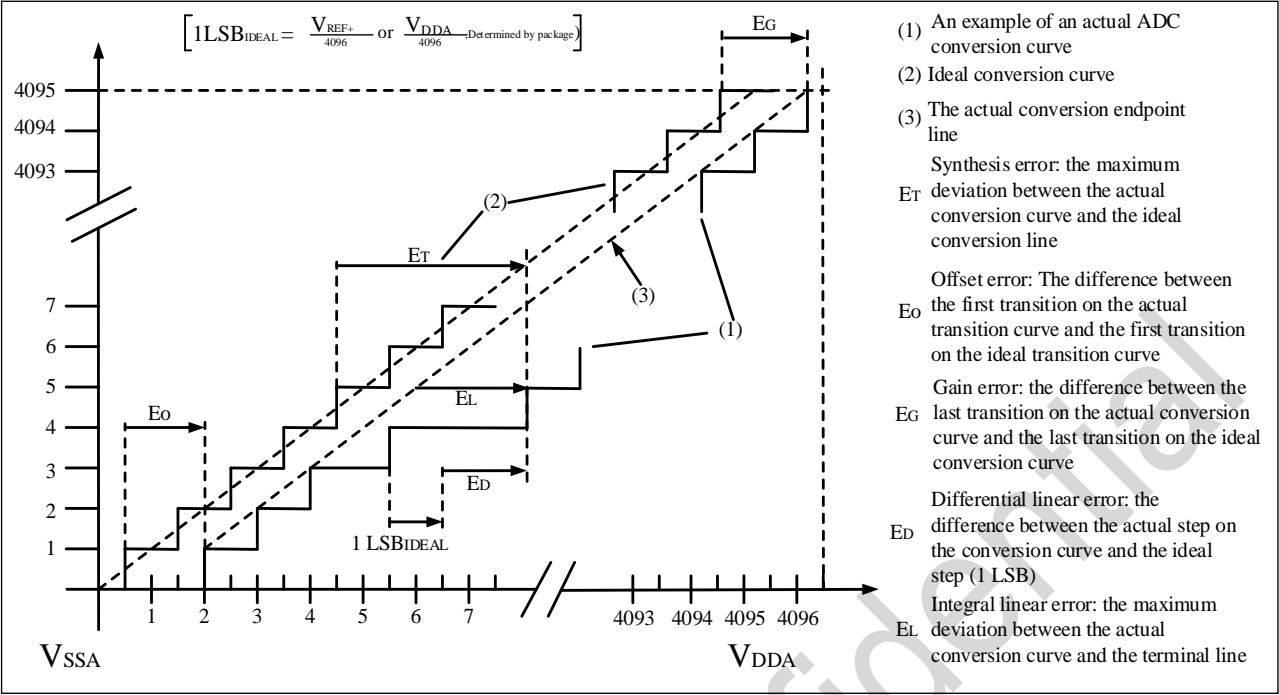


图 1-25-1. ADC 精度特性

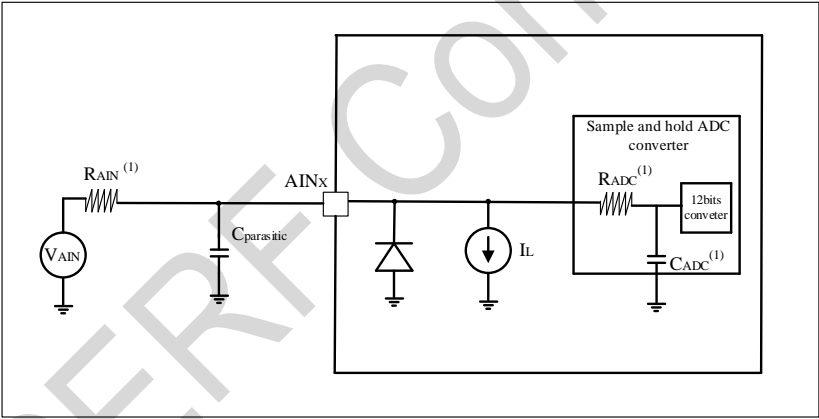


图 1-25-2. 使用 ADC 典型的连接图

1. 有关 R_{AIN} 、 R_{ADC} 和 C_{ADC} 的数值，参见错误!未找到引用源。。
 2. $C_{\text{parasitic}}$ 表示PCB(与焊接和PCB布局质量相关)与焊盘上的寄生电容(大约7pF)。较大的 $C_{\text{parasitic}}$ 数值将降低转换的精度，解决的办法是减小 f_{ADC} 。
- 注意: ADC通道禁止输入电压低于-0.2V。

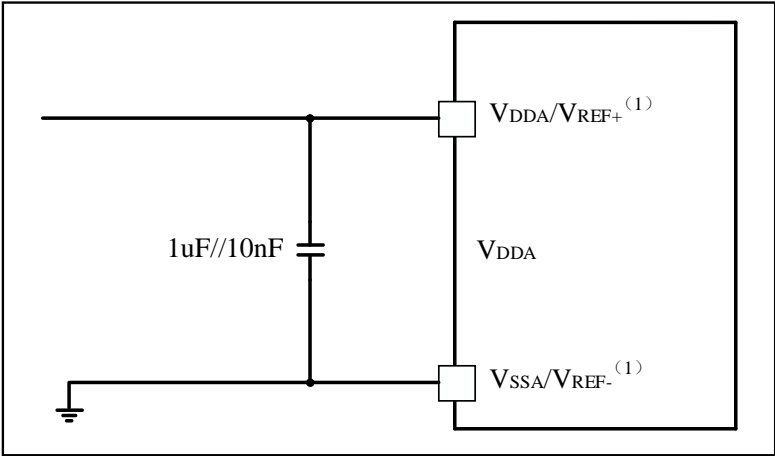


图 1-25-3. 供电电源和参考电源去藕线路(V_{REF+} 与 V_{DDA} 相连)

1. V_{REF+} 和 V_{REF-} 内部与 V_{DDA} 和 V_{SSA} 相连接。

1.25 内部参考源（ $V_{REFBUFF}$ ）电气参数

表 1-26. $V_{REFBUFF}$ 特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{DDA}	模拟电源电压	正常模式	2.4	-	3.6	V
V_{REFBUF_OUT}	参考电压输出	正常模式	-	2.048	-	V
I_{DDA}	来自 V_{DDA} 的 V_{REFBUF} 消耗	$I_{load} = 0\ \mu A$	-	600	-	μA
$t_{START}^{(1)}$	启动时间	-	1	-	-	us

1. 由设计保证，不在生产中测试。

1.26 控制器运算放大器（OPAMP）电气参数

表 1-27. OPAMP 特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{DDA}	模拟电源电压	-	1.8	-	3.6	V
CMIR	共模电压输入范围	-	0	-	V_{DDA}	V
V_{I_OFFSET}	输入偏移电压(校准后)	-	-	± 1	± 3.5	mV
ΔV_{I_OFFSET}	输入偏移电压温漂	-	-	10	-	UV / °C
I_{LOAD}	驱动电流	-	-	-	0.5	mA
I_{DDA}	运算放大器电流消耗	无负载，静止模式	-	-	1.5	mA
TS_OPAMP_VOUT	ADC采样时间作为运算放大器输出	-	400	-	-	ns
CMMR	共模抑制比	-	-	84	-	dB
PSRR	功率抑制比	-	-	100	-	dB
GBW	增益带宽	-	-	4	-	MHz

符号	参数	条件	最小值	典型值	最大值	单位
SR	转换率	-	-	2.5	-	V/us
RLOAD	最小阻抗负载	-	4	-	-	KΩ
CLOAD	最大阻抗负载	-	-	-	50	pF
t _{STARTUP}	启动设置时间	C _{LOAD} ≤ 50 pf, R _{LOAD} ≥ 4 kΩ, Follower configuration	-	3	-	μs
PGA Gain error	可编程增益误差	输入信号幅度>100mV	-	±2.5	-	%
PGA BW	不同正向增益的PGA带宽	PGA Gain = 2, Cload = 50pF, Rload = 4 KΩ	-	2	-	MHz
		PGA Gain = 4, Cload = 50pF, Rload =4 KΩ	-	1	-	
		PGA Gain = 8, Cload = 50pF, Rload = 4 KΩ	-	0.5	-	
		PGA Gain = 16, Cload = 50pF, Rload = 4 KΩ	-	0.25	-	
		PGA Gain = 32, Cload = 50pF, Rload = 4KΩ	-	0.125	-	
en	电压噪声密度	@ 1KHz, Output loaded with 4 KΩ	-	111	-	nV/√Hz
		@ 10KHz, Output loaded with 4 KΩ	-	44	-	

1. 由设计保证，不在生产中测试。

1.27 控制器比较器 1 (COMP1) 电气参数

表 1-28-1. COMP1 特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{DDA}	模拟供电电压	-	1.8	-	3.6	V
V_{IN}	输入电压范围	-	0	-	V_{DDA}	
$t_{\text{START}}^{(1)}$	比较器启动建立时间		-	10	-	μs
t_{D}	驱动电压步进值为100mV时，迟滞电压为200mV		-	70	-	ns
V_{OFFSET}	比较器输入失调误差	全共模范围	-	± 5	± 20	mV
V_{hys}	比较器滞后电压	没有迟滞	-	0	-	mV
		低迟滞	-	10	-	
		中等迟滞	-	20	-	
		高迟滞	-	30	-	

符号	参数	条件	最小值	典型值	最大值	单位
I _{DDA}	比较器电流消耗	Static	-	45	-	μA
		在 50 KHz ±100 mV 的方波驱动下	-	47	-	
1. 由设计保证，不在生产中测试。						

表 1-28-2. COMP1 低功耗模式特性

符号	参数	条件	最小值	典型值	最大值	单位
V _{DDA}	模拟供电电压	-	1.8	-	3.6	V
V _{IN}	输入电压范围	-	0	-	V _{DDA}	
t _{START} ⁽¹⁾	比较器启动建立时间	-	-	15	-	us
t _D	驱动电压步进值为100mV时，迟滞电压为200mV	V _{DDA} ≥2.7V	-	300	-	ns
V _{OFFSET}	比较器输入失调误差	V _{DDA} =3V,25°C	-	±10	-	mV
V _{hys}	比较器滞后电压	没有迟滞	-	0	-	mV
		低迟滞	-	10	-	
		中等迟滞	-	20	-	
		高迟滞	-	30	-	
I _{DDA}	比较器电流消耗	Static	-	10	-	μA
		在 50 KHz ±100 mV 的方波驱动下	-	11.5	-	
1. 由设计保证，不在生产中测试。						

1.28 控制器比较器 2 (COMP2) 电气参数

表 1-29. COMP2 特性

符号	参数	条件	最小值	典型值	最大值	单位
V _{DDA}	模拟供电电压	-	1.8	-	3.6	V
V _{IN}	输入电压范围	-	0	-	V _{DDA}	
t _{START} ⁽¹⁾	比较器启动建立时间		-	10	-	us
t _D	驱动电压步进值为100mV时，迟滞电压为200mV	-	-	70	-	ns
V _{OFFSET}	比较器输入失调误差	全共模范围	-	±10	-	mV
V _{hys}	比较器滞后电压	没有迟滞	-	0	-	mV
		低迟滞	-	10	-	
		中等迟滞	-	20	-	
		高迟滞	-	30	-	
I _{DDA}	比较器电流消耗	Static	-	45	-	μA
		在 50 KHz ±100 mV 的方波驱动下	-	47	-	

1. 由设计保证，不在生产中测试。

1.29 12 位数模转换器 (DAC) 电气参数

表 1-30. DAC 特性(1)

符号	参数	最小值	典型值	最大值	单位	注解
V_{DDA}	模拟电源电压	2.4	-	3.6	V	
V_{REF+}	参考电压	2.4	-	3.6	V	V_{REF+} 必须始终小于 V_{DDA}
V_{SSA}	接地线	0	-	0	V	
R_L	缓冲器打开时的负载电阻	5	-	-	K Ω	DAC_OUT和 V_{SSA} 之间的最小负载电阻
C_L	负载电容	-	-	50	pF	DAC_OUT引脚上的最大电容
I_{DD}	在工作模式下的DAC直流消耗($V_{DDA}+V_{REF+}$)	-	425	600	μ A	空载。中值为0x800
I_{DDQ}	在关闭模式下的DAC直流消耗($V_{DDA}+V_{REF+}$)	-	5	-	nA	空载
DAC_OUT 最小	缓冲器关闭时低端的DAC_OUT电压 缓冲器打开时低端的DAC_OUT电压	$V_{SS}+1LSB$ 0.2	- -	- -	V	给出了最大的DAC输出跨度 当 $V_{REF+}=3.6V$ 对应于 12 位输入数值 0x0E0~0xF1C, 当 $V_{REF+}=2.4V$ 对应于 12 位输入数值 0x155~0xEAB。
DAC_OUT 最大	缓冲器关闭时低端的DAC_OUT电压 缓冲器打开时低端的DAC_OUT电压	- -	- -	$V_{REF+}-5LSB$ $V_{REF+}-0.2$		
DNL	微分非线性 (两个连续代码之间的差异)	-	± 2	-	LSB	DAC配置为12位
INL	积分非线性 (代码i处的测量值与代码i处的值之间的差异, 在代码0和最后一个代码4095之间绘制的直线上)	-	± 7	-	LSB	DAC配置为12位
偏移量	偏移误差 (代码(0x800)处的测量值与理想值之间的差异 $=V_{REF+}/2$)	-	± 15	-	mV	DAC配置为12位
		-	± 18	-	LSB	当 V_{REF+} 为3.6V时, DAC配置为12位
增益误差	增益误差	-	± 0.5	-	%	DAC配置为12位
放大器增益	开环放大器增益	80	85	-	dB	5K Ω 负载 (最大负载), 输入中值为0x800
$t_{SETTLING}$	稳定时间 (满量程: 当DAC_OUT达到最终值 $\pm 1LSB$ 时, 最低和最高输入代码之间的12位输入代码转换)	-	5	7	μ s	$C_{LOAD} \leq 50pF$ $R_{LOAD} \geq 5K\Omega$
更新率	当输入代码 (从代码i到i+1LSB) 发生微小变化时, 正确DAC_OUT变化的最大频率	-	-	1	MS/s	$C_{LOAD} \leq 50pF$ $R_{LOAD} \geq 5K\Omega$
t_{WAKEUP}	从关闭状态唤醒时间 (设置DAC控制寄存器中的CHxEN)	-	6.5	10	μ s	$C_{LOAD} \leq 50pF$, $R_{LOAD} \geq 5K\Omega$ 输入代码在最小和最大可能值之间
PSRR+	电源抑制比 (至 V_{DDA}) (静态直流测量)	-	-67	-40	dB	No R_{LOAD} , $C_{LOAD} \leq 50pF$
1. 由设计保证, 不在生产中测试。						

1.30 液晶显示驱动器（Segment LCD）特性

表 1-31. LCD 控制器特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{LCD}	LCD外接电压		-	-	3.6	V
V_{LCD0}	LCD内部参考电压0		-	2.588	-	
V_{LCD1}	LCD内部参考电压1		-	2.728	-	
V_{LCD2}	LCD内部参考电压2		-	2.863	-	
V_{LCD3}	LCD内部参考电压3		-	3.013	-	
V_{LCD4}	LCD内部参考电压4		-	3.154	-	
V_{LCD5}	LCD内部参考电压5		-	3.283	-	
V_{LCD6}	LCD内部参考电压6		-	3.422	-	
V_{LCD7}	LCD内部参考电压7		-	3.572	-	
C_{ext}	V_{LCD} 外部电容	缓冲关闭	-	1	-	μF
		缓冲打开	-	1	-	
I_{LCD}	$V_{DD} = 3.0 V$ 时来自 V_{DD} 的电源电流	缓冲关闭	-	3	-	μA
$I_{V_{LCD}}$	来自 V_{LCD} 的电源电 流($V_{LCD} = 3V$)	缓冲关闭 (BUFEN = 0, PON = 0)	-	0.5	-	μA
		缓冲打开 (BUFEN = 1, 1/2 Bias)	-	0.6	-	
		缓冲打开 (BUFEN = 1, 1/3 Bias)	-	0.8	-	
		缓冲打开 (BUFEN = 1, 1/4 Bias)	-	1	-	
R_{HN}	低驱动电阻网络的总高电阻值		-	5.5	-	$M\Omega$
R_{LN}	高驱动电阻网络的总低电阻值		-	240	-	$K\Omega$
V_{44}	Segment/Common highest level voltage		-	V_{LCD}	-	V
V_{34}	Segment/Common 3/4 level voltage		-	3/4 V_{LCD}	-	
V_{23}	Segment/Common 2/3 level voltage		-	2/3 V_{LCD}	-	
V_{12}	Segment/Common 1/2 level voltage		-	1/2 V_{LCD}	-	
V_{13}	Segment/Common 1/3 level voltage		-	1/3 V_{LCD}	-	
V_{14}	Segment/Common 1/4 level voltage		-	1/4 V_{LCD}	-	
V_0	Segment/Common lowest level voltage		-	0	-	

1.31 温度传感器(TS)特性

表 1-32. 温度传感器特性

符号	参数	最小值	典型值	最大值	单位
TL(1)	V _{SENSE} 相对于温度的线性度	-	±1	±4	°C
Avg_Slope ⁽¹⁾	平均斜率	-	-4.0	-	mV/°C
V ₂₅ ⁽¹⁾	在25°C时的电压	-	1.32	-	V
t _{START} ⁽¹⁾	建立时间	-	10	20	μs
T _{S_temp} ⁽²⁾⁽³⁾	当读取温度时，ADC采样时间	8.3	-	-	μs
1. 由综合评估结果保证，不在生产中测试。 2. 由设计保证，不在生产中测试。 3. 最短的采样时间可以由应用程序通过多次循环决定。					

2 管脚描述

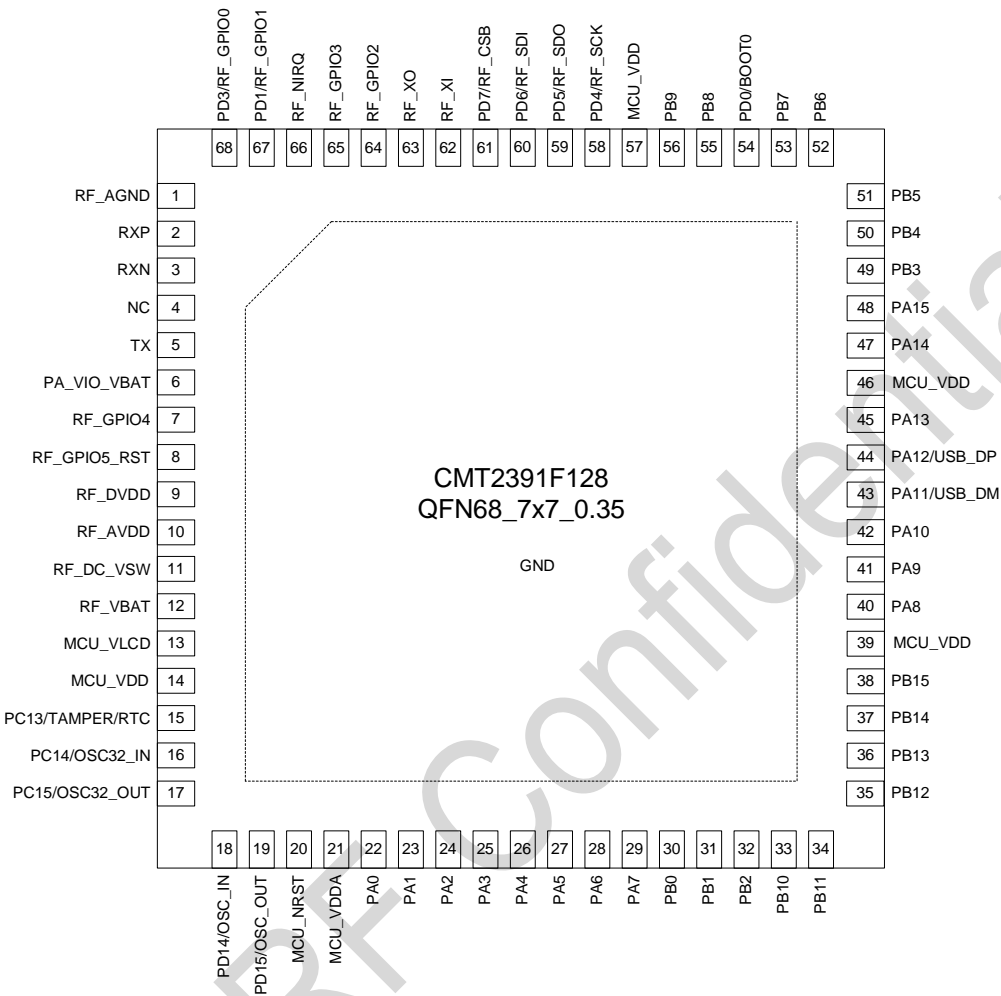


图 2-1. CMT2391F128 管脚排列图

表 2-1. CMT2391F128 管脚描述

管脚号	管脚名称	I/O	功能描述
1	AGND	I	模拟 GND
2	RXP	I	RX 信号输入 P
3	RXN	I	RX 信号输入 N
4	NC		No connection
5	TX	O	输出
6	PA_VIO_VBAT	IO	IO VDD
7	RF_GPIO4	IO	IO VDD
8	RF_GPIO5_RST	IO	可配置
9	RF_DVDD	I	RF 模块数字 VDD
10	RF_AVDD	I	射频电路 VDD
11	RF_DC_VSW	I	DCDC
12	RF_VBAT	I	模拟 VDD
13	MCU_VLCD	S	MCU LCD 供电

管脚号	管脚名称	I/O	功能描述
14	MCU_VDD	S	MCU 供电
15	PC13/TAMPER/RTC	IO	TIM1_CH1N LCD_SEG35 EVENTOUT TAMP1-RTC RTC_OUT WKUP2
16	PC14/OSC32_IN	IO	OSC32_IN
17	PC15/OSC32_OUT	IO	OSC32_OUT
18	PD14/OSC_IN	IO	USART2_TX I2C2_SDA TIM1_CH3N OSC_IN
19	PD15/OSC_OUT	IO	USART2_RX I2C2_SCL
20	MCU_NRST	I	MCU 复位端口，低电平有效
21	MCU_VDDA	S	MCU ADC 参考电源
22	PA0	IO	USART2_CTS LPUART_RX TIM2_CH1 TIMER2_ETR TIM5_CH1 TIM8_ETR SPI1_MISO I2S1_MCK EVENTOUT COMP1_OUT ADC_IN1(8) COMP1_INM COMP1_INP WKUP1 TAMP2-RTC
23	PA1	IO	USART2_RTS LPUART_TX TIM5_CH2 TIM2_CH2 LCD_SEG0 EVENTOUT ADC_IN2(8) COMP1_INP OPAMP1_VINP
24	PA2	IO	USART2_TX TIM5_CH3 TIM2_CH3 LCD_SEG1 I2C2_SDA COMP2_OUT EVENTOUT ADC_IN3(8) OPAMP1_VOUT COMP1_INP(6) COMP2_INM
25	PA3	IO	USART2_RX LPUART_RX TIM5_CH4 LCD_SEG2 I2C2_SCL EVENTOUTADC_IN4(8) COMP1_INP(7) COMP2_INP OPAMP1_VINM
26	PA4	IO	USART2_CK LPUART_TX I2C1_SCL SPI1_NSS I2S1_WS

管脚号	管脚名称	I/O	功能描述
			USART1_TX EVENTOUT DAC_OUT ADC_IN5(8) COMP1_INM COMP2_INM OPAMP1_VINP OPAMP2_VINP
27	PA5	IO	SPI1_SCK I2C1_SDA I2S1_CK USART1_RX EVENTOUT ADC_IN6(9) COMP1_INM COMP2_INM OPAMP1_VINP OPAMP2_VINM
28	PA6	IO	LPUART_CTS SPI1_MISO I2S1_MCK TIM8_BKIN TIM3_CH1 TIM1_BKIN LCD_SEG3 COMP2_OUT EVENTOUT ADC_IN7(9) OPAMP2_VOUT COMP2_INM COMP2_INP
29	PA7	IO	SPI1_MOSI I2S1_SD TIM1_CH1N TIM8_CH1N TIM3_CH2 LCD_SEG4 COMP2_OUT EVENTOUT ADC_IN8(9) COMP2_INP OPAMP1_VINP OPAMP2_VINP
30	PB0	IO	TIM1_CH2N TIM3_CH3 TIM8_CH2N LCD_SEG5 UART4_TX EVENTOUT ADC_IN9(9) OPAMP2_VINM
31	PB1	IO	LPUART_RTS TIM1_CH3N TIM3_CH4 TIM8_CH3N LCD_SEG6 UART4_RX EVENTOUT ADC_IN10(9)
32	PB2	IO	LPTIM_OUT TIM9_ETR EVENTOUT
33	PB10	IO	USART3_TX LPUART_TX I2C2_SCL LCD_SEG10 TIM2_CH3 EVENTOUT

管脚号	管脚名称	I/O	功能描述
			COMP1_INP
34	PB11	IO	USART3_RX LPUART_RX I2C2_SDA TIM2_CH4 LCD_SEG11 EVENTOUT
35	PB12	IO	SPI2_NSS I2S2_WS I2C2_SMBA USART3_CK TIM1_BKIN LPUART_RTS LCD_SEG12 TIM9_CH1 EVENTOUT
36	PB13	IO	SPI2_SCK I2S2_CK USART3_CTS I2C2_SCL LPUART_CTS TIM1_CH1N LCD_SEG13 TIM9_CH2 EVENTOUT
37	PB14	S	SPI2_MISO I2S2_MCK TIM1_CH2N USART3_RTS I2C2_SDA LPUART_RTS LCD_SEG14 TIM9_CH3 EVENTOUT UART4_TX OPAMP2_VINP
38	PB15	IO	UART4_RX SPI2_MOSI I2S2_SD TIM1_CH3N LCD_SEG15 TIM9_CH4 EVENTOUT
39	MCU_VDD	S	
40	PA8	IO	USART1_CK I2C2_SMBA TIM1_CH1 LCD_COM0 I2C2_SDA SPI1_NSS I2S1_WS MCO EVENTOUT WKUP0 TAMP3-RTC
41	PA9	IO	USART1_TX I2C2_SCL TIM1_CH2 LCD_COM1 EVENTOUT
42	PA10	IO	USART1_RX I2C2_SDA SPI1_SCK SPI2_SCK I2S1_CK I2S2_CK TIM1_CH3

管脚号	管脚名称	I/O	功能描述
			LCD_COM2 EVENTOUT
43	PA11/USB_DM	IO	USART1_CTS SPI2_MISO I2S2_MCK CAN_RX TIM1_CH4 COMP1_OUT EVENTOUT USB_DM COMP2_INP
44	PA12/USB_DP	IO	USART1_RTS SPI2_MOSI I2S2_SD CAN_TX TIM1_ETR COMP2_OUT EVENTOUT USB_DP COMP1_INP
45	PA13	IO	SWDIO-JTMS SPI2_NSS I2S2_WS EVENTOUT
46	MCU_VDD	S	MCU 供电
47	PA14	IO	SWCLK-JTCK USART2_CK I2C1_SDA COMP2_OUT
48	PA15	IO	JTDI USART2_CTS I2C1_SCL SPI2_NSS I2S2_WS TIM2_CH1 TIM2_ETR LCD_SEG17 LCD_COM3 EVENTOUT
49	PB3	IO	USART2_RTS SPI1_SCK I2S1_CK TIM2_CH2 JTDO-TRACESWO LCD_SEG7 EVENTOUT COMP1_INP COMP2_INM
50	PB4	IO	USART2_TX SPI1_MISO I2S1_MCK TIM3_CH1 LCD_SEG8 UART5_TX EVENTOUT NJTRST COMP1_INP
51	PB5	IO	USART2_RX I2C1_SMBA SPI1_MOSI I2S1_SD TIM3_CH2 LCD_SEG9 UART5_RX LPTIM_IN1 EVENTOUT COMP1_INM

管脚号	管脚名称	I/O	功能描述
52	PB6	IO	USART1_TX LPUART_TX I2C1_SCL SPI1_NSS I2S1_WS TIM1_CH2N TIM4_CH1 SPI2_SCK I2S2_CK LPTIM_ETR COMP1_OUT EVENTOUT
53	PB7	IO	USART1_RX LPUART_RX I2C1_SDA TIM4_CH2 EVENTOUT LPTIM_IN2 PVD_IN COMP2_INP
54	PD0/BOOT0	IO	LCD_SEG32
55	PB8	IO	I2C1_SCL CAN_RX TIM4_CH3 LCD_SEG16 USART1_TX UART5_TX COMP1_OUT EVENTOUT
56	PB9	IO	I2C1_SDA CAN_TX TIM4_CH4 LCD_COM3 UART5_RX COMP2_OUT EVENTOUT
57	MCU_VDD	S	
58	PD4/RF_SCK	IO	SPI1_SCK I2S1_CK LCD_SEG28 LCD_SEG40(6) LCD_COM4(6) COMP1_INM (复用到 RF SCK 脚)
59	PD5/RF_SDO	IO	SPI1_MISO I2S1_MCK LCD_SEG29 LCD_SEG41(6) LCD_COM5(6) COMP1_INP (复用到 RF SDO 脚)
60	PD6/RF_SDI	IO	SPI1_MOSI I2S1_SD LCD_SEG30 LCD_SEG42(6) LCD_COM6(6) TRACED2 COMP2_INM (复用到 RF SDI 脚)
61	PD7/RF_CSB	IO	SPI1_NSS I2S1_WS LCD_SEG31 LCD_SEG43(6) LCD_COM7(6) TRACED3 COMP2_INP (复用到 RF CSB 脚)

管脚号	管脚名称	I/O	功能描述
62	RF_XI	I	晶体电路输入
63	RF_XO	O	晶体电路输出
64	RF_GPIO2	IO	可配置
65	RF_GPIO3	IO	可配置
66	RF_NIRQ	I	可配置
67	PD1/RF_GPIO1	IO	可配置（复用到 MCU PD1）
68	PD3/RF_GPIO0	IO	可配置（复用到 MCU PD3）

3 芯片框架

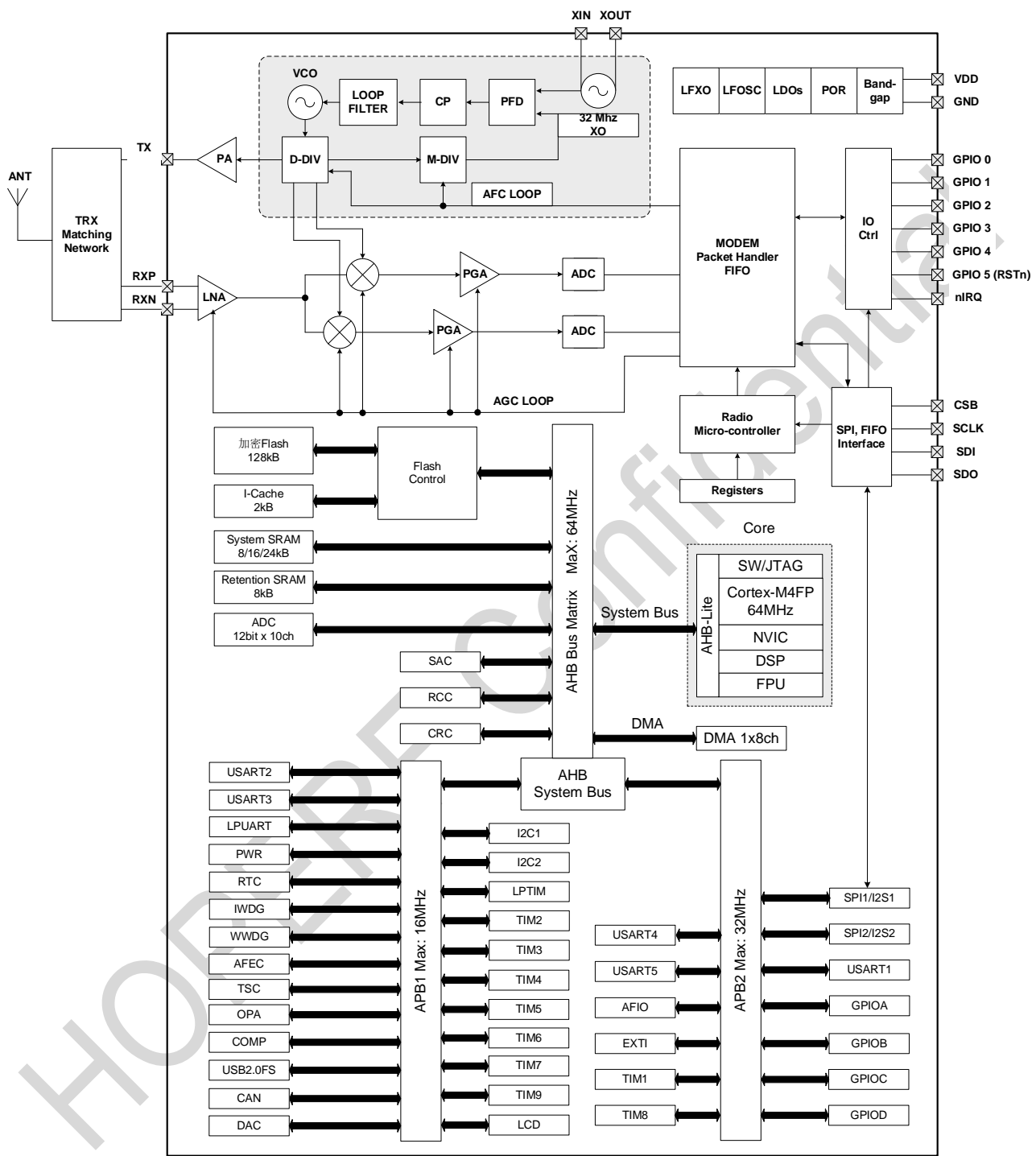


图 3-1. 功能系统框图

CMT2391F128 是一款集成 Sub-G 高性能无线收发器的单片机，CMT2391F128 的内部系统框图上图 3-1 所示。

● 低功耗高性能 Sub-G 收发器

Sub-G 无线收发器支持 113 至 960 MHz，OOK、(G)FSK，4 (G)FSK 等调制模式、低功耗高性能、适用于各类无线收发通讯应用场合。该产品属于 CMOSTEK NextGenRF™ 系列，该系列产品包括发射器、接收器和收发器等完整的产品系列。

● ARM Cortex-M4FP 高性能 32 位微处理器

CMT2391F128 控制器部分采用 32 位 ARM Cortex®-M4FP 内核，最高工作主频 64 MHz，集成高达 128 KB 加密存储 Flash，最大 24 KB SRAM；内置一个高速 AHB 总线，二个低速外设总线 APB 及总线矩阵，最多支持 44 个通用 I/O，提供丰富的高性能模拟接口，包括 1 个 12 位 4.5 Msps ADC，最多支持 10 个外部输入通道、2 路独立的运算放大器、2 个高速比较器，同时提供多种数字通信接口，包括 5 个 U(S)ART、2 个 I2C、2 个 SPI、2 个 I2S、1 路 CAN、1 个 USB。

CMT2391F128 资源具体请见下表。

表 3-1. CMT2391F128 外设资源表

项目名称		CMT2391F128 外设资源	备注
Flash 容量 (KB)		128	
SRAM 容量 (KB)		24	
CPU 内核和频率		ARM Cortex-M4 @ 64 MHz	
工作环境		1.8~3.6 V / -40~85℃	
定时器	通用	5	
	高级	2	
	基本	2	
	LPTIM	1	
	RTC	支持	
通讯接口	SPI	2	
	I2S	2	
	I2C	2	
	USART	5	
	LPUART	1	
GPIO		44	其中 6 个连接到 RF 的 SPI 和 RF_GPIO
DMA		8 通道	
12 bit ADC		10-ch	4.5 Msps
OPA/COMP		2 / 2	
算法支持		TRNG、CRC16/32、AES、DES、TDES、SHA1/224/256、SM1、SM3、SM4、SM7	
安全保护		读写保护 (RDP / WRP)、存储加密	

4 Sub-G 收发器

4.1 发射机

CMT2391F128 发射器是基于射频频率直接综合的发射器。其载波频率是由一个低噪声小数分频频率综合器产生。调制数据由一个高效的单端功率放大器（PA）发射出去。输出功率可以通过寄存器读写，以 1dB 的步进从 -10 dBm 配置到 +20 dBm。

在 OOK 模式下，当 PA 根据发射数据快速开关时，容易引起载波附近产生频谱的杂散和毛刺。通过缓慢升降（Ramping）机制，可以把这些杂散和毛刺减到最小。在 FSK 模式下，CMT2391F128 支持信号经过高斯滤波后才发射，即 GFSK，让发射频谱更为集中。

根据不同的应用需求，用户可以设计一个 PA 匹配网络在所需的输出功率底下优化发射效率。典型应用原理图和所需的 BOM 陈述与第三章“典型应用原理图”。

发射器可工作在直通模式和包模式下。在直通模式下，待发射的数据直接通过芯片的 DIN 管脚送入芯片，并直接发射。在包模式下，数据可以在 STBY 状态下预先装入芯片的 FIFO 中，再配合其他的包元素一起发射出去。在 4FSK 模式下只支持从 FIFO 中发射数据。

4.2 接收机

CMT2391F128 内建一个超低功耗，高性能低中频 OOK, FSK 接收器。天线感应进来的射频信号，通过低噪声放大器放大以后，通过正交混频器下变频至中频，可编程放大器把信号进一步放大，再通过模数转换器送入数字域，做数字解调处理。在上电复位（POR）的时候每一个模拟模块都会被校准到内部的参考电压。这使得芯片能更好的工作在不同的温度和电压底下。基带滤波和解调由数字解调器完成。当芯片工作在有强带外干扰的环境时，通过自动增益控制环路调节系统的增益，可以获得最佳的系统线性度，选择性，灵敏度等性能。

沿用 CMOSTEK 的低功耗设计技术，当接收器常开时仅消耗非常低的功耗。它的周期运行模式和空中唤醒功能可以在对功耗有严格要求的应用中进一步降低系统的平均功耗。

与发射器类似，CMT2391F128 接收器可以工作于直通模式和包模式。在直通模式下，解调器输出的数据可以通过芯片的 DOUT 管脚直接输出。DOUT 可以由 GPIO 配置而成。在包模式下，解调器的数据输出先送至数据包处理器当中解码，然后填入 FIFO 中，再由 MCU 通过 SPI 接口对 FIFO 进行读取。

4.3 收发器上电 POR

上电复位电路辅助探测电源变化，并产生相应的复位信号来复位整个射频系统（CMT2391F128 的射频部分）。当 POR 过后，CMT2391F128 控制器可以对射频系统进行重新初始化配置。有两种情况会让 POR 产生复位。

第一种情况是短暂的电源突变导致 POR 产生复位。触发的条件是，RF-VDD（射频系统供电，下同）在小于 2 μ s 的时间内骤降 0.9 V 加减 20%（即 0.72 V – 1.08 V），注意，它监测的是 RF-VDD 的降幅，而不是 RF-VDD 的绝对值。如下图所示：

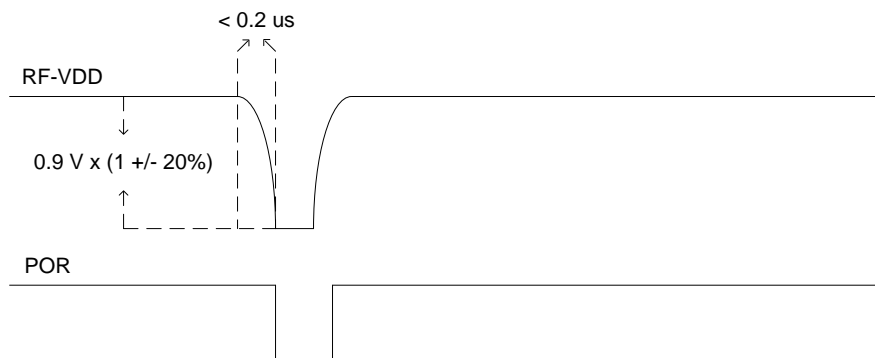


图 4-1.迅速下降导致 POR 复位

第二种情况是缓慢的电源下降。触发的条件是，RF-VDD 在大于等于 2 us 的时间内下降到 1.45 V 加减 20%（即 1.16 V – 1.74 V），注意，它监测的是 RF-VDD 的绝对值，而不是 RF-VDD 的降幅。如下图所示：

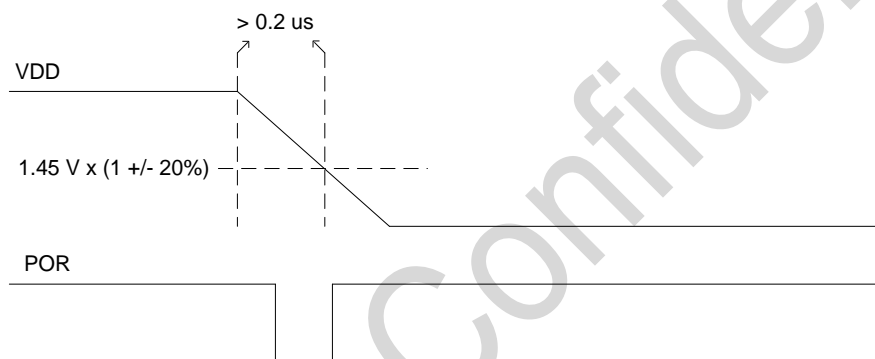


图 4-2.缓慢下降导致 POR 复位

4.4 收发器晶体振荡器

晶体振荡器用于为锁相环提供基准时钟，为数字模块提供系统时钟。XI 与 XO 之间的差分负载电容等于 CL，CL 应该与晶体要求的负载电容值匹配，以使晶体准确振荡在 32 MHz。

$$C_L = \frac{C_{\text{onchip}} + C_{\text{off_chip}} + C_{\text{par}}}{2}$$

Conchip 为 CMT2391F128 内部提供给晶体两端分别对地挂接的负载电容，可通过 RFPDK 上的 Xtal Cap Load 配置可调范围为 23~29 pF，步进约 190 fF。Coffchip 为外部挂接晶体两端到地的负载电容，由客户选择是否增加。Cpar 为晶体两端分别到地的寄生电容，约为 2~6 pF。这里推荐用户使用 15 pF 负载的晶体振荡器与 CMT2391F128 搭配使用。另外，晶体的 ppm 越低，对接收机性能越好

4.5 收发器内置低频振荡器（LPOSC）

CMT2391F128 射频系统集成了一个由 32 kHz 低功耗振荡器（LPOSC）驱动睡眠计时器。当该功能使能时，该计时器周期性的将芯片从睡眠中唤醒。当芯片工作于周期运行模式时，睡眠时间可以配置从 62.5 us 至 8585740.288 s。由于低功耗振荡器的频率会随着温度和电压的改变而漂移，它会在上电阶段自动校准，并且会被周期性的校准。这些校准会使得该振荡器的频率容差保持在±1%以内。

4.6 收发器内置低压检测

芯片设置了低电压检测的功能。每当芯片调谐到某个频率时，该检测就会进行一次。当芯片从 SLEEP/READY 状态跳转到 RFS/TFS/TX/RX 状态时都会进行频率调谐。检测结果可以通过 LBD_DATA 寄存器读取。

4.7 接收机信号强度指示（RSSI）

RSSI 用于评估调谐的信道内的信号的强度，检测范围 -127 dBm 到 20 dBm。用户可以通过配置 RFPDK 里的 RSSI Detect Mode 来选择是实时输出 RSSI 值，还是在接收数据包的各个阶段锁存 RSSI 的值。

CMT2391F128 允许用户在 RFPDK 设置检测门限 RSSI Compare TH，此值与检测到的 RSSI 值进行对比，如果 RSSI 检测值大于门限就输出 1，否则输出 0。对比的结果可以输出到 RSSI VLD 中断，也可以用于辅助内部超低功耗（SLP）模式的运作。

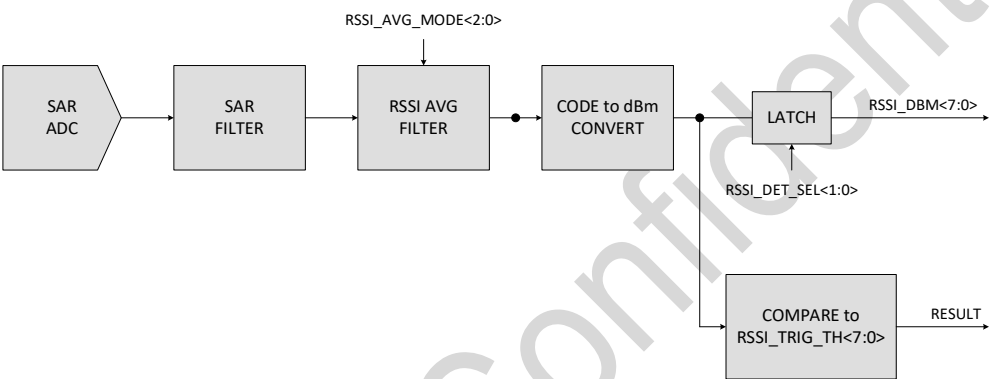


图 4-3. RSSI 测量和对比电路结构

CMT2391F128 芯片所提供的 RSSI 可以满足用户一般情况下的定性分析需求，若需要定量分析，需要更精准的 RSSI 测量结果，用户需要在实际的方案中做生产校准。

4.8 相位跳变检测（PJD）

PJD 是指 Phase Jump Detector，即相位跳变检测器。在芯片进行 2-FSK 解调的时候，可用于通过观察接收信号的跳变特性，来识别接收的是噪声还是有用信号。OOK 和 4-FSK 解调并不支持该功能。

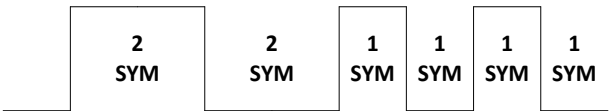


图 4-4.接收信号跳变图

PJD 认为输入信号从 0 到 1 或者从 1 到 0 切换就是一次相位跳变，用户仅仅需要去配置 PJD_WIN_SEL<1:0>，来告诉 PJD 需要检测多少次信号跳变才能输出判断结果。如上图所示，一共接收了 8 个 symbol，但是跳变只出现了 6 次，因此跳变数并不能等同于 symbol 数量。只有在接收 preamble 时，跳变数才等同于 symbol 数。总的来说，PJD 跳变次数越多，判断结果越可靠；越少，就越快完成。如果接收的时间窗口很小，那么就需要将检测次数减少来满足窗口设置的要求。一般来说，跳变次数是 4 次就已经可以达到比较可靠的检测效果，即不会将噪声误判为有用信号，有用信号来的时候不会检测不到。

监测信号跳变，实质上就是监测信号是否符合预期的数据率。在监测跳变的同时，PJD 还会在内部自动监测信号的 Deviation

是否符合约定的有效信号的值，同时会判断 SNR 是否超过 7 dB。然后综合数据率，Deviation 和 SNR 的监测结果，如果确定接收到的是可靠的信号，那么就会输出 1；如果是噪声或者干扰信号，就会输出 0。这个结果可以通过配置输出到 RSSI VLD 中断，也可以输出到内部辅助超低功耗（SLP）接收模式的实现。在直通模式下，通过将 DOUT_MUTE 寄存器设为 1，还可以利用 PJD 来实现 FSK 解调输出静音。

PJD 技术类似于传统的载波检测（CS）技术，但比 CS 更为可靠。当用户将 RSSI 监测和 PJD 技术结合起来，就能够非常准确地识别当前信道的空闲状态。

4.9 接收机数据率时钟恢复（CDR）

CDR 系统的基本任务是在接收数据的同时，恢复出与数据率同步的时钟信号，既在芯片内部用于解码，也可以输出到 GPIO 给用户用于采样数据。所以，CDR 的任务很简单也很重要，如果恢复出来的时钟频率跟实际传输的数据率有误差，就会在接收时造成数据采集错误，出现误码，以及解码出错。

CMT2391F128 接收机支持三种 CDR 系统，分别支持不同的应用需求：

- **COUNTING 系统** – 这个系统是针对数据率对得比较准的情况设计的，如果数据率是 100% 对准，可以连续接收无限个长 0 都不会出错。
- **TRACING 系统** – 这个系统是针对数据率偏差比较大的情况设计的，它具有追踪功能，可以自动探测出 TX 发射过来的数据率，并同时快速地调整 RX 本地的数据率，尽量减小两者之间的误差。这个系统可以承受的范围可以大至 15.6%，这是业界其它同类产品无法做到的。
- **MANCHESTER 系统** – 这个系统是有 COUNTER 系统变化出来的，基本特性是一样的，唯一的区别是，该系统是专门为了曼切斯特编解码而设计的，在 TX 数据率有突发变化的情况下，可以做特殊处理，能够正确识别突变的信号部分。

4.10 快速手动跳频

手动跳频的意思是，基于使用 RRPDK 配置得到的基础频点，例如 433.92 MHz，在应用过程当中，用 MCU 通过简单地设置 1 到 2 个寄存器，就可以快速地切换到另一个频点。在多信道的应用中，简化了用户不停切换新的频点的操作。

$$\text{FREQ} = \text{基础频点} + 1 \text{ kHz} \times \text{FREQ_SPACE} < 7:0 > \times \text{FREQ_CHANNEL_MANU} < 7:0 >$$

一般来说，用户可以先在上电初始化配置的阶段，将 FREQ_SPACE<7:0> 设置好，然后在应用中通过不停地改动 FREQ_CHANNEL_MANU<7:0> 来切换频道即可。

4.11 收发器控制接口及工作模式

4.11.1 收发器 SPI 接口时序

芯片是通过 4-线 SPI 口与外部进行通信的。SPI 默认是 4 线的，在上电后可配置成 3 线。低有效的 CSB 是用于访问寄存器的片选信号。SCLK 是串口时钟，最快速度可以到 10MHz。无论对于芯片本身，还是外部的 MCU，都是在 SCLK 的下降沿送出数据，在上升沿采集数据。SDI 用于数据输入，SDO 用于数据输出。在 3 线模式下，SDI 同时用于数据输入和输出，SDO 闲置。地址和数据部分都是从 MSB 开始传送。

当访问寄存器的时候，CSB 要拉低。然后首先发送一个 R/W 位，后面跟着 7 位的寄存器地址。控制器在拉低 CSB 之后，必须等待至少半个 SCLK 周期，才能开始发送 R/W 位。在控制器发送出最后一个 SCLK 的下降沿之后，必须等待至少半个 SCLK 周期，再把 CSB 拉高。

需要注意的是，对于下图的 4 线写寄存器操作，在 SDI 输入写数据的同时，SDO 会输出该寄存器当前的值（old register

read data), MCU 可根据需要决定是否读取该值。

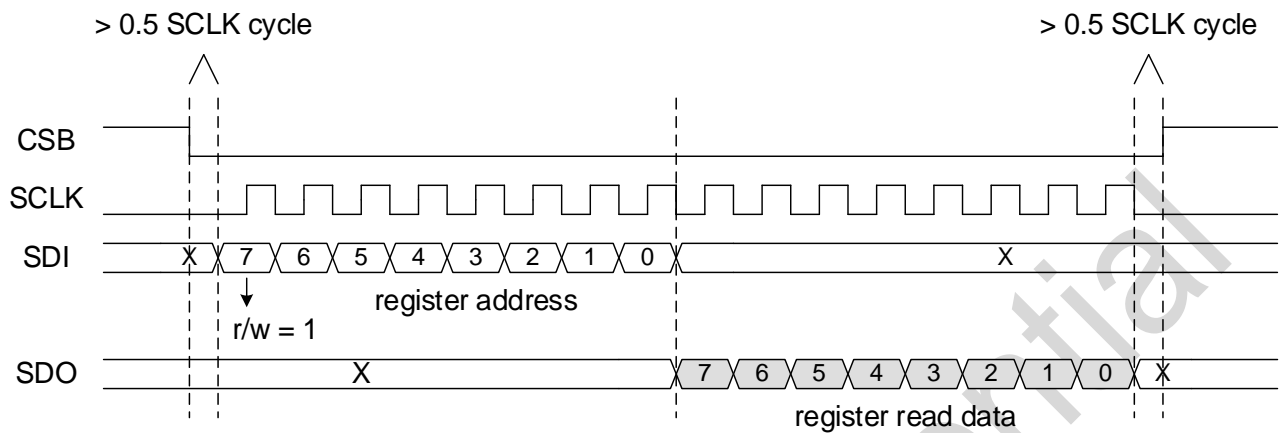


图 4-5. 收发器 SPI 读寄存器时序

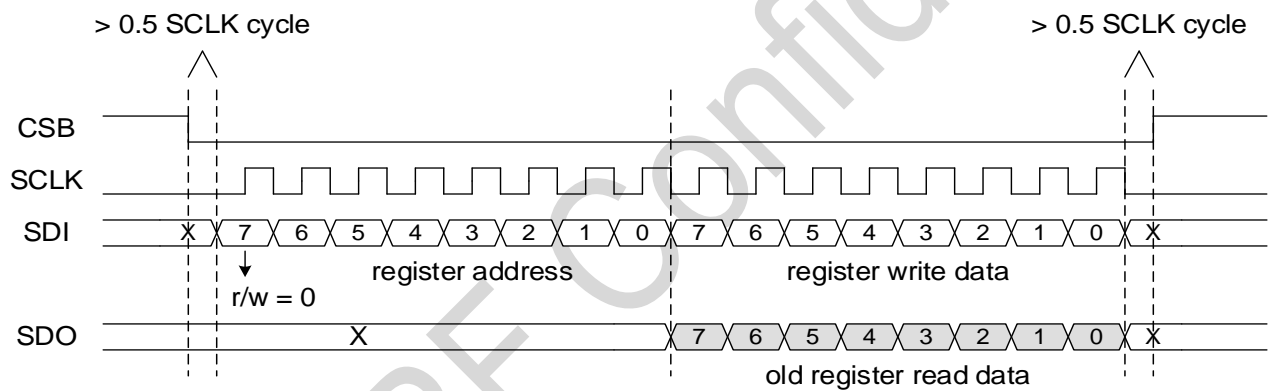


图 4-6. 收发器 SPI 写寄存器时序

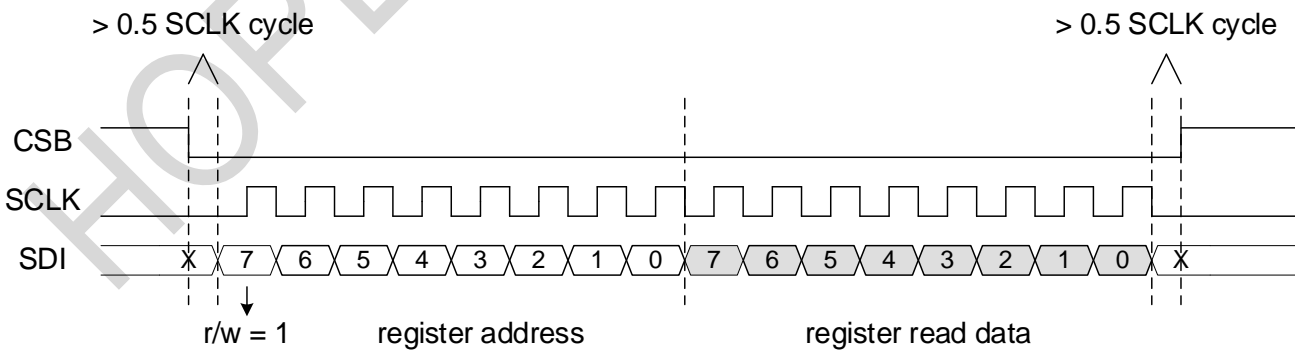


图 4-7. SPI (3 线) 读寄存器时序

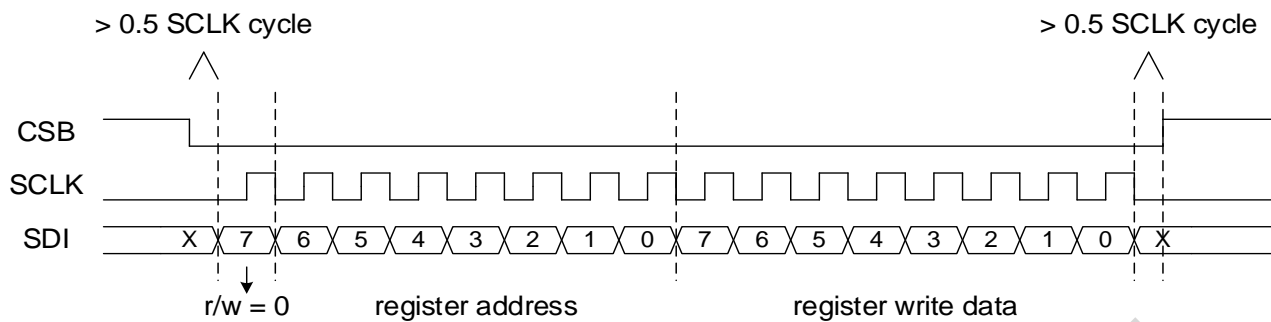


图 4-8. SPI（3 线）写寄存器时序

对于 3 线的读寄存器操作，MCU 和 CMT2391F128 都会在地址 0 和数据 7 之间产生切换 IO（SDIO）口的行为。此时 CMT2391F128 会将 IO 口从输入切换到输出，MCU 会将 IO 口从输出切换到输入。请注意中间虚线的位置，此时强烈建议 MCU 在送出 SCLK 的下降沿前，先将 IO 口切换为输入；CMT2391F128 在看到下降沿之后，才会将 IO 切换为输出。这就避免了两者同时将 SDIO 设为输出导致电气冲突的情况。对于某些 MCU 来说，这样的情况可能会导致其复位或出现其它异常行为。

4.11.2 收发器 FIFO 接口时序

收发器默认提供两个独立的 128-byte 的 FIFO，分别给 RX 和 TX 使用，两者互不相干。RX FIFO 用来在 RX 模式中存储接收数据，TX FIFO 用于 TX 模式中存储即将发射的数据。用户也可以将 FIFO_MERGE_EN 设成 1，那么两个 FIFO 就合成一个 256-byte 的 FIFO，在 TX 和 RX 下都可以使用，通过配置 FIFO_RX_TX_SEL 来指示目前是用作 TX 还是 RX。如果没有使用合并，当 128 字节 RX FIFO 被填入时，用户可以同时为下一次发射填入 128 字节的 TX FIFO，以节省系统操作时间。

FIFO 可以通过 SPI 接口访问。用户可以通过设置 FIFO_CLR_TX/ FIFO_CLR_RX 位来清空 FIFO。并且，用户可以通过设置 FIFO_RESTORE 来重复发射之前填入的数据，无需重新填入数据。

用户可以通过配置 PD_FIFO 来控制 FIFO 是否在 SLEEP 状态下保存内容。PD_FIFO = 0 指 FIFO 可以在 SLEEP 状态下保存内容，但会消耗 200 nA 左右的漏电电流。

在 MCU 需要访问 FIFO 的时候，首先要将配置一些寄存器，来设置好 FIFO 的读/写模式，以及其它工作模式。下图给出的是确定模式后的读写时序图。FIFO 的操作以写入 Page 0 的 0x7A 地址来触发，当 r/w 比特为 0 时，会进行写 FIFO 操作，当为 1 时，会进行读 FIFO 操作。

FIFO 的读写也可以使用 3 线的 SPI 来操作，当使用 3 线时，读数据的输出和写数据的输入，均是在 SDI 管脚上进行。当使用 4 线时，写数据从 SDI 输入，读数据从 SDO 输出。FIFO 的操作流程是，先访问 0x7A 地址的 FIFO 操作端口，其中包含的读写位决定后面是写数据还是读数据操作。之后是持续读或者写的数据阶段，由用户决定何时完成操作。

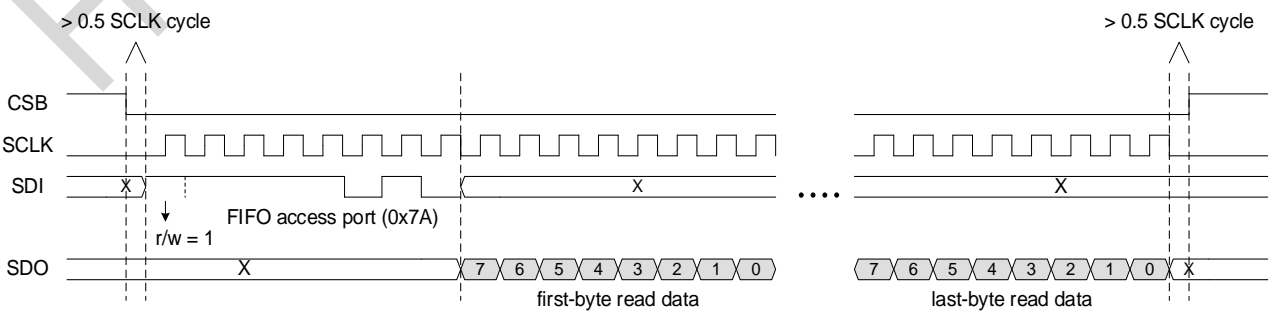


图 4-9. SPI（4 线）读取 FIFO 时序

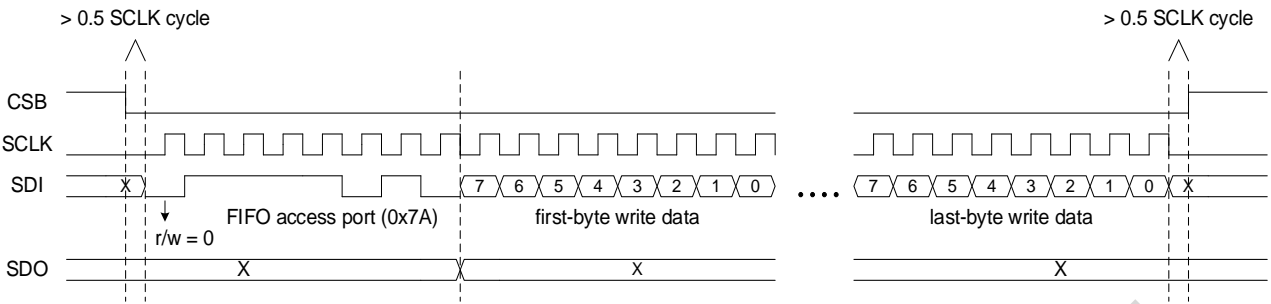


图 4-10. SPI（4 线）写入 FIFO 时序

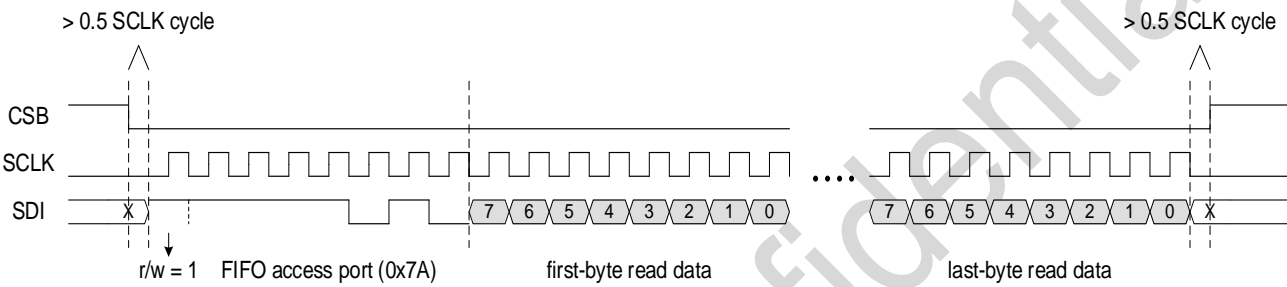


图 4-11. SPI（3 线）读取 FIFO 时序

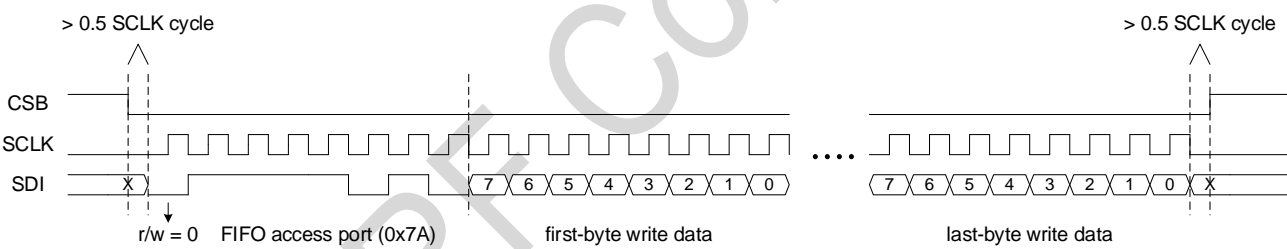


图 4-12. SPI（3 线）写入 FIFO 时序

收发器提供了丰富的与 FIFO 相关的中断源，作为芯片高效的运作的辅助手段，其中 Rx 和 Tx 相关的 FIFO 中断时序如下图所示。

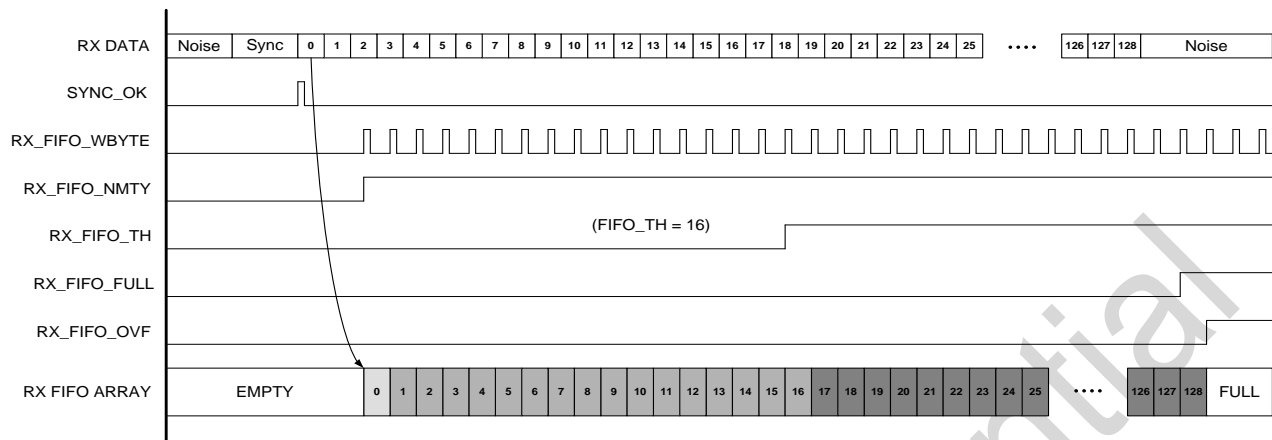


图 4-13. 收发器 RX FIFO 中断时序示意图

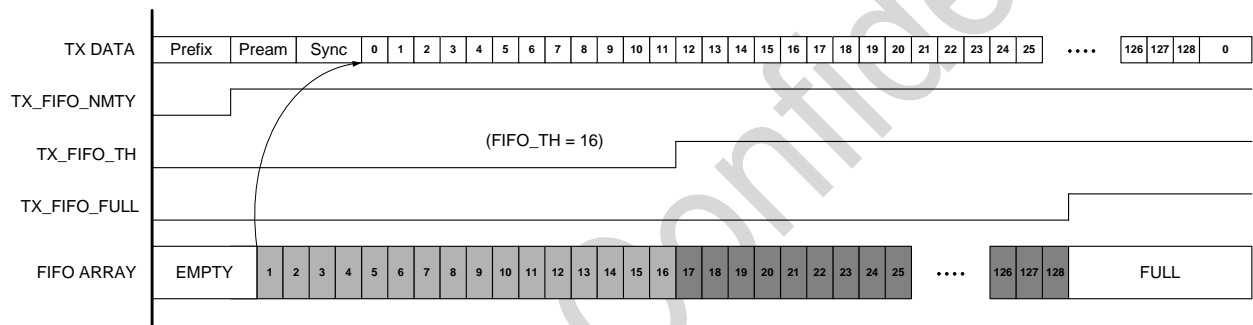


图 4-14. 收发器 TX FIFO 中断时序示意图

4.11.3 收发器工作状态、时序及功耗

● 启动时序

芯片在 VDD 接通后，等待约 1ms 的时间后 POR 会释放，但芯片会停留在 IDLE 状态，不做任何动作。用户发送 power_up 命令后，芯片就会开始上电流程，做各个模块的校正。芯片完成校正后会停留在 SLEEP。在任何时候，只要进行复位（包括 POR，硬复位，和软复位），芯片会回到 IDLE 状态，等待用户重新发送 power_up 命令。

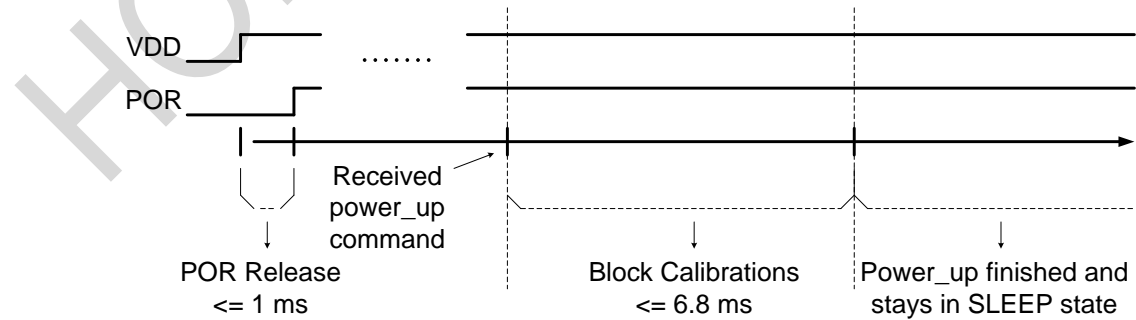


图 4-15.上电时序

当校准完成后芯片进入 SLEEP 模式，从这时开始，控制器可以通过设置寄存器 CHIP_MODE_SWT<7:0>将芯片切换至不同

的运行状态。

● 收发器工作状态

收发器一共有 7 种工作状态：IDLE，SLEEP，STBY，RFS，RX，TFS 和 TX，如下表所列：

表 4-1. 收发器状态和模块开启表

状态	二进制码	切换命令	开启模块	可选择开启模块
IDLE	0x00	soft_rst	SPI, POR	无
SLEEP	0x81	go_sleep	SPI, POR	LFOSC, FIFO, Sleep Timer
READY	0x82	go_ready	SPI, POR, XTAL, FIFO	无
RFS	0x84	go_rfs	SPI, POR, XTAL, PLL, FIFO	无
TFS	0x88	go_tfs	SPI, POR, XTAL, PLL, FIFO	无
RX	0x90	go_rx	SPI, POR, XTAL, PLL, LNA+MIXER+ADC, FIFO	RX Timer
TX	0xA0	go_tx	SPI, POR, XTAL, PLL, PA, FIFO	无

下列表格列出了状态切换所需要的时间，表格中左边列出的为起始状态：

表 4-2. 收发器状态和状态切换时间表

起始状态	目标状态					
	SLEEP	READY	RFS	RX	TFS	TX
SLEEP		660 us	770 us	820 us	770 us	820 us
READY	立即		110 us	160 us	110 us	160 us
RFS	立即	立即		20 us	不可切换	不可切换
RX	立即	立即	立即		不可切换	160 us
TFS	立即	立即	不可切换	不可切换		20 us
TX	立即	立即	不可切换	160 us	立即	
备注：						
在 Direct 模式下，如芯片正在发射，收到切换命令会立即退出 TX 状态。						
在 Packet 模式下，如芯片正在发射，必须完成了当前发射才能退出 TX 状态。						

TFS 是切换到 TX 之前的一个过渡状态，除了发射机的 RF 模块是关闭之外，其它模块都开启了，电流会比 STBY 大。由于在 TFS 的时候，PLL 已经锁定在 TX 的频点了，所以不能切换到 RX。从 STBY 切换到 TFS 大概需要 350 us 的 PLL 校正和稳定时间，从 SLEEP 切换到 TFS 就需要加上晶体启动和稳定的时间，从其它状态切换到 TFS 会立即完成。

➤ RX 状态

在 RX 所有关于接收机的模块都会打开。从 RFS 切换到 RX 只需要 20 us。从 STBY 切换到 RX 需要加上 350 us 的 PLL 校正和稳定时间。从 SLEEP 切换到 RX 需要加上晶体启动和稳定的时间。在 TX 可以通过发送 go_switch 命令来快速切换到 RX，无论 TX 和 RX 设置的频点是否相同，都需要等待 350 us 的 PLL 重新校正和稳定时间才能切换成功。

➤ TX 状态

在 TX 所有关于发射机的模块都会打开。从 TFS 切换到 TX 只需要 20 us。从 STBY 切换到 TX 需要加上 350 us 的 PLL 校正和稳定时间。从 SLEEP 切换到 TX 需要加上晶体启动和稳定的时间。在 RX 可以通过发送 go_switch 命令来快速切换到 TX，无论 RX 和 TX 设置的频点是否相同，都需要等待 350 us 的 PLL 重新校正和稳定时间才能切换成功。

4.11.4 收发器 GPIO 功能和中断映射

CMT2391F128 有 7 个 GPIO（GPIO0~GPIO5 和 NIRQ），每个 GPIO 都可以配置成不同的输入或者输出；CMT2391F128 有 3 个中断口（INT1、INT2、INT3），可以配置到不同的 GPIO 输出。

表 4-3. 收发器 GPIO 功能

管脚号	名字	I/O	功能
48	GPIO0	IO	可配置为：DOUT，INT1，INT2，INT3，DCLK，TRX_SWT
47	GPIO1	IO	可配置为：DCLK，INT1，INT2，DOUT，TRX_SWT
12	GPIO2	IO	可配置为：INT1，INT2，INT3，DCLK，DOUT，ANTD1
13	GPIO3	IO	可配置为：INT1，INT2，DCLK，DOUT，DIN，ANTD2
7	GPIO4	IO	可配置为：DOUT，INT1，INT2，DCLK，DIN，CLKO，LFCLKO
8	GPIO5	IO	可配置为：RSTn，INT1，INT2，DOUT，DCLK
46	NIRQ	IO	可配置为：INT1，INT2，DCLK，DOUT，DIN，TCXO

下面给出中断映射表，INT1 和 INT2 的映射是一样的，下面以 INT1 为例说明。

表 4-4. 收发器中断映射表

名称	INT1_SEL	描述	清除方式
INT_MIX	000000	组合中断，下面任何一个中断有效，INT_MIX 就会有效	Auto/By MCU
ANT_LOCK	000001	天线分集功能运行后天线完成锁定中断	By MCU
RSSI_PJD_VALID	000010	RSSI 和（或）PJD 的组合有效中断	Auto
PREAM_PASS	000011	指示成功收到 Preamble 的中断	By MCU
SYNC_PASS	000100	指示成功收到 Sync Word 的中断	By MCU
ADDR_PASS	000101	指示成功收到 Addr 的中断	By MCU
CRC_PASS	000110	指示成功收到并通过 CRC 校验的中断	By MCU
PKT_OK	000111	指示完整收到一个数据包，且数据包正确的中断	By MCU
PKT_DONE	001000	指示当前的数据包已经接收完成，会有下面 4 种情况： 1.完整地接收到整个数据包，且数据包正确 2.曼切斯特解码错误，解码电路自动重启 3.NODE ID 接收错误，解码电路自动重启 4.发现信号冲突，解码电路不自动重启，等待 MCU 处理	By MCU
SLEEP_TMO	001001	指示 SLEEP 计数器超时的中断	By MCU

名称	INT1_SEL	描述	清除方式
RX_TMO	001010	指示 RX 计数器超时的中断	By MCU
RX_FIFO_NMTY	001011	指示 RX FIFO 非空的中断	Auto
RX_FIFO_TH	001100	指示 RX FIFO 未读内容超过 FIFO TH 的中断	Auto
RX_FIFO_FULL	001101	指示 RX FIFO 填满的中断	Auto
RX_FIFO_WBYTE	001110	指示 RX FIFO 每写入一个 BYTE 的中断，是脉冲	Auto
RX_FIFO_OVF	001111	指示 RX FIFO 溢出的中断	Auto
TX_DONE	010000	指示 TX 完成的中断	By MCU
TX_FIFO_NMTY	010001	指示 TX FIFO 非空的中断	Auto
TX_FIFO_TH	010010	指示 TX FIFO 未读内容超过 FIFO TH 的中断	Auto
TX_FIFO_FULL	010011	指示 TX FIFO 满的中断	Auto
STATE_IS_READY	010100	指示当前状态是 READY 的中断	Auto
STATE_IS_FS	010101	指示当前状态是 RFS 或 TFS 的中断	Auto
STATE_IS_RX	010110	指示当前状态是 RX 的中断	Auto
STATE_IS_TX	010111	指示当前状态是 TX 的中断	Auto
LBD_STATUS	011000	指示低电压检测有效（VDD 低于设置的 TH）的中断	By MCU
API_CMD_FAILED	011001	API 命令执行错误中断	By MCU
API_DONE	011010	API 命令完成指示中断	By MCU
TX_DC_DONE	011011	Duty Cycle 发射模式运行完成中断	By MCU
ACK_RECV_FAILED	011100	ACK 接收失败中断	By MCU
TX_RESEND_DONE	011111	重复发射运行完成中断	By MCU
NACK_RECV	011110	接收到 NACK 的指示中断	By MCU
SEQ_MATCH	011111	序列号匹配成功中断	By MCU
CSMA_DONE	100000	CSMA 运行完成中断	By MCU
CCA_STATUS	100001	信道监听状态中断	By MCU

中断默认 1 有效，但可通过将 INT_POLAR 寄存器比特设置为 1，使所有中断都变为 0 有效。下面还是以 INT1 为例，提供两个不同性质的中断源的控制和选择图。对于控制和映射来说，INT1 和 INT2 是相同的，可映射到任意一个 GPIO。INT3 的来源只有 INT_MIX，只能映射到 GPIO0 和 GPIO2。在使用时，用户可以选择使用 INT_MIX 来将所有中断源都映射到中断口上，通过查询中断标志来识别是哪一个中断生效；或者可以直接将某一个中断源映射到中断口上。

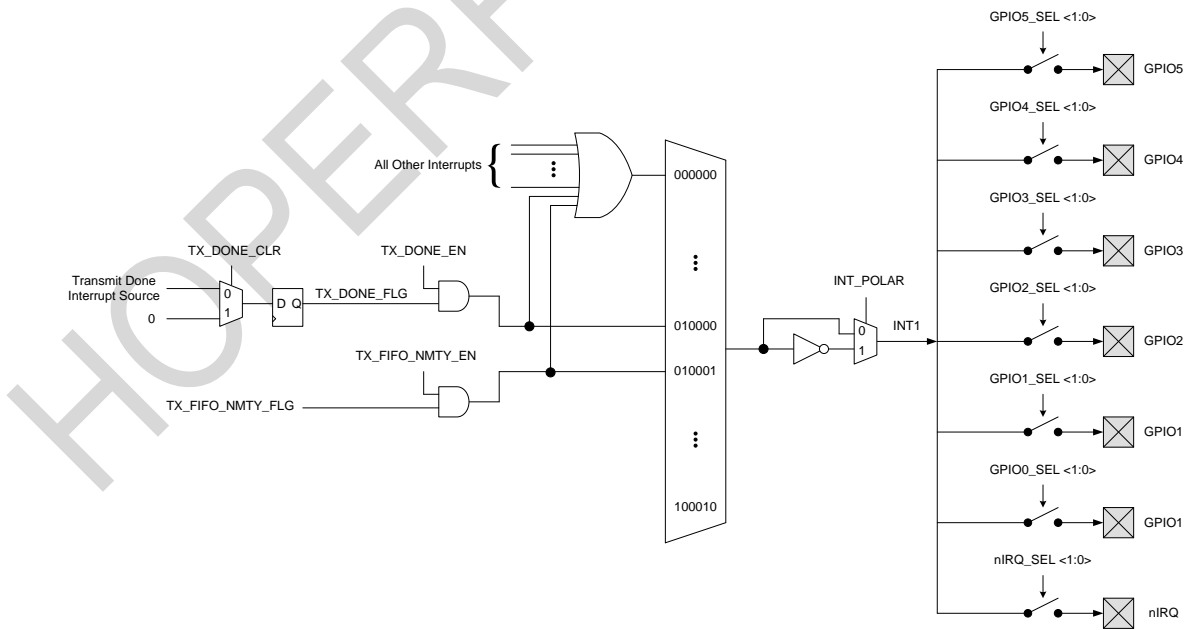


图 4-17. CMT2391F128 INT1 中断映射图

5 控制器功能简介

5.1 存储器

CMT2391F128 包含嵌入式加密闪存（Flash）存储器、嵌入式 SRAM，下图 5-1 为存储器地址映射图。

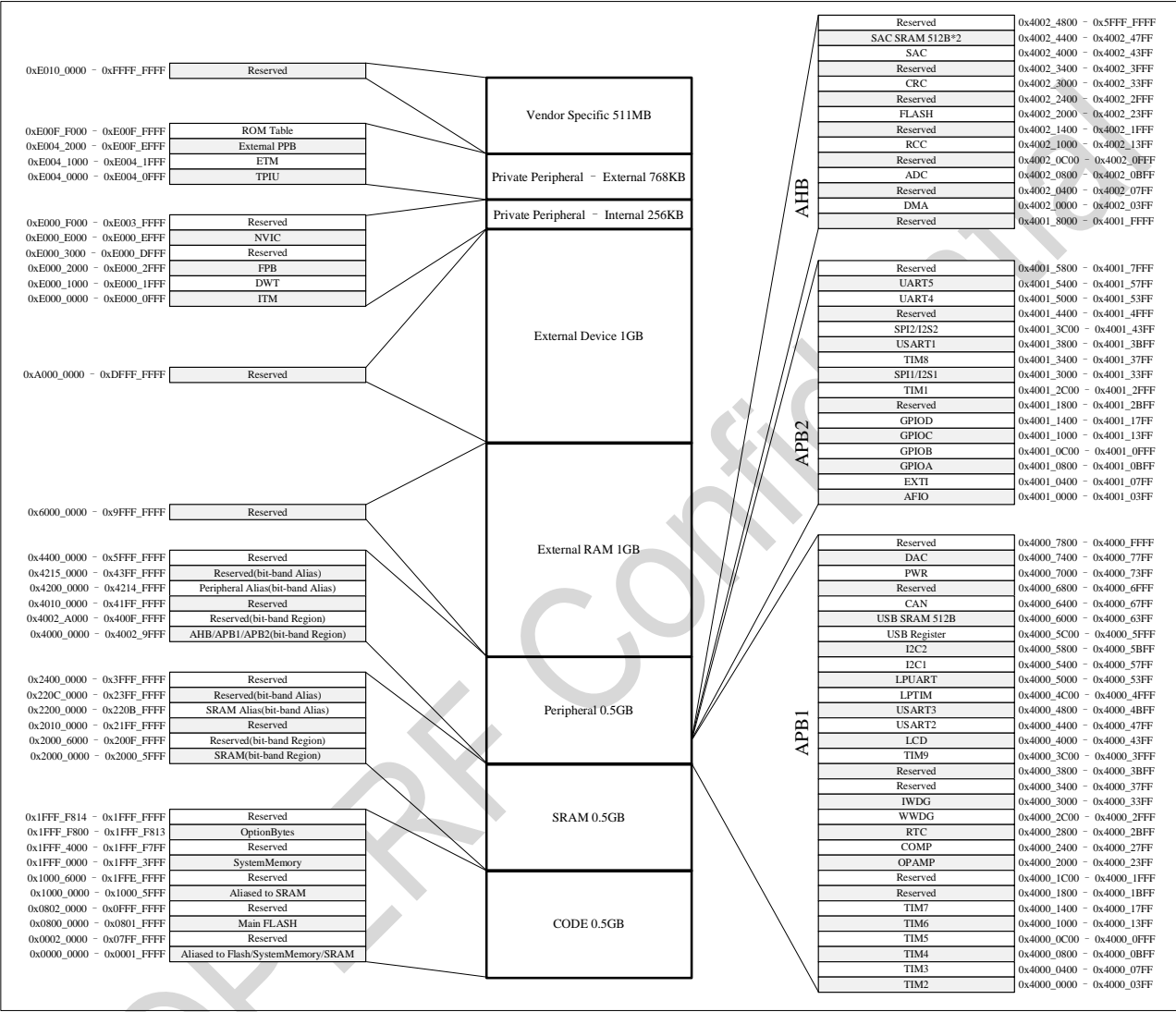


图 5-1.存储器映射图

5.1.1 嵌入式闪存存储器

片内集成 128K 字节嵌入式闪存（FLASH），用于存放程序和数据，页面大小 2K byte，支持页擦除、字写、字读、半字读、字节读操作。支持存储加密保护，写入自动加密、读出自动解密（包括程序执行操作）。支持用户分区管理，最多可分为 3 个用户分区，不同用户之间不可相互访问数据（仅可执行代码）

5.1.2 嵌入式 SRAM

片内集成多达 24K 字节的内置 SRAM，分为 SRAM1 和 SRAM2，其中 SRAM1 最大为 16K 字节，SRAM2 为 8K 字节。在 STOP2 状态下 SRAM1 和 SRAM2 均可选保持数据、STANDBY 低功耗模式下仅 SRAM2 可选保持数据。

5.1.3 嵌套的向量式中断控制器（NVIC）

内置嵌套的向量式中断控制器，能够处理多达 86 个可屏蔽中断通道(不包括 16 个 Cortex™-M4F 的中断线) 和 16 个优先级。

- ◆ 紧耦合的NVIC能够达到低延迟的中断响应处理
- ◆ 中断向量入口地址直接进入内核
- ◆ 紧耦合的NVIC接口
- ◆ 允许中断的早期处理
- ◆ 处理晚到的较高优先级中断
- ◆ 支持中断尾部链接功能
- ◆ 自动保存处理器状态
- ◆ 中断返回时自动恢复，无需额外指令开销 该模块以最小的中断延迟提供灵活的中断管理功能。

该模块以最小的中断延迟提供灵活的中断管理功能。

5.2 扩展中断/事件控制器（EXTI）

外部中断/事件控制器包含 22 个边沿检测器，用于产生中断/事件请求。每个中断线都可以独立地配置它的触发事件(上升沿或下降沿或双边沿)，并能够单独地被屏蔽；有一个挂起寄存器维持所有中断请求的状态。EXTI 可以检测到脉冲宽度小于内部 APB2 的时钟周期。多达 64 个通用 I/O 口连接到 16 个外部中断线。

5.3 时钟系统

器件提供多种时钟供用户选择，包括内部高速 RC 振荡器 HSI（16MHz），内部高速时钟 MSI（100K-4MHz 可配置），内部低速时钟 LSI（40KHz），外部高速时钟 HSE（4MHz~32MHz），外部低速时钟 LSE（32.768KHz），PLL。

复位时内部 MSI 时钟被设置为默认的 CPU 时钟，随后用户可以选择外部具有失效监控功能的 HSE 时钟；当检测到外部时钟失效时，它将被隔离，系统将自动地切换到 MSI，如果使能了中断，软件可以接收到相应的中断。同样，在需要时可以采取对 PLL 时钟完全的中断管理(如当一个间接使用的外部振荡器失效时)。

MSI 时钟可用于在 STOP2 状态下的快速唤醒并执行指令、或工作于低功耗运行状态下为系统提供时钟、以及其它一些对时钟精度要求不高，对功耗要求比较高的场景。

器件内置时钟安全系统，当用户选择开启后，可实时检测外部 HSE 或 LSE 是否失效，一旦检测到外部时钟失效将自动切换到内部时钟，并产生中断告警。多个预分频器用于配置 AHB 的频率、高速 APB(APB2)和低速 APB(APB1)区域。AHB 的最高频率是 64MHz,APB2 的最高频率是 32MHz，APB1 的最高频率为 16MHz。

当使用USB功能时，必须同时使用HSE和PLL，CPU的频率必须是48MHz。

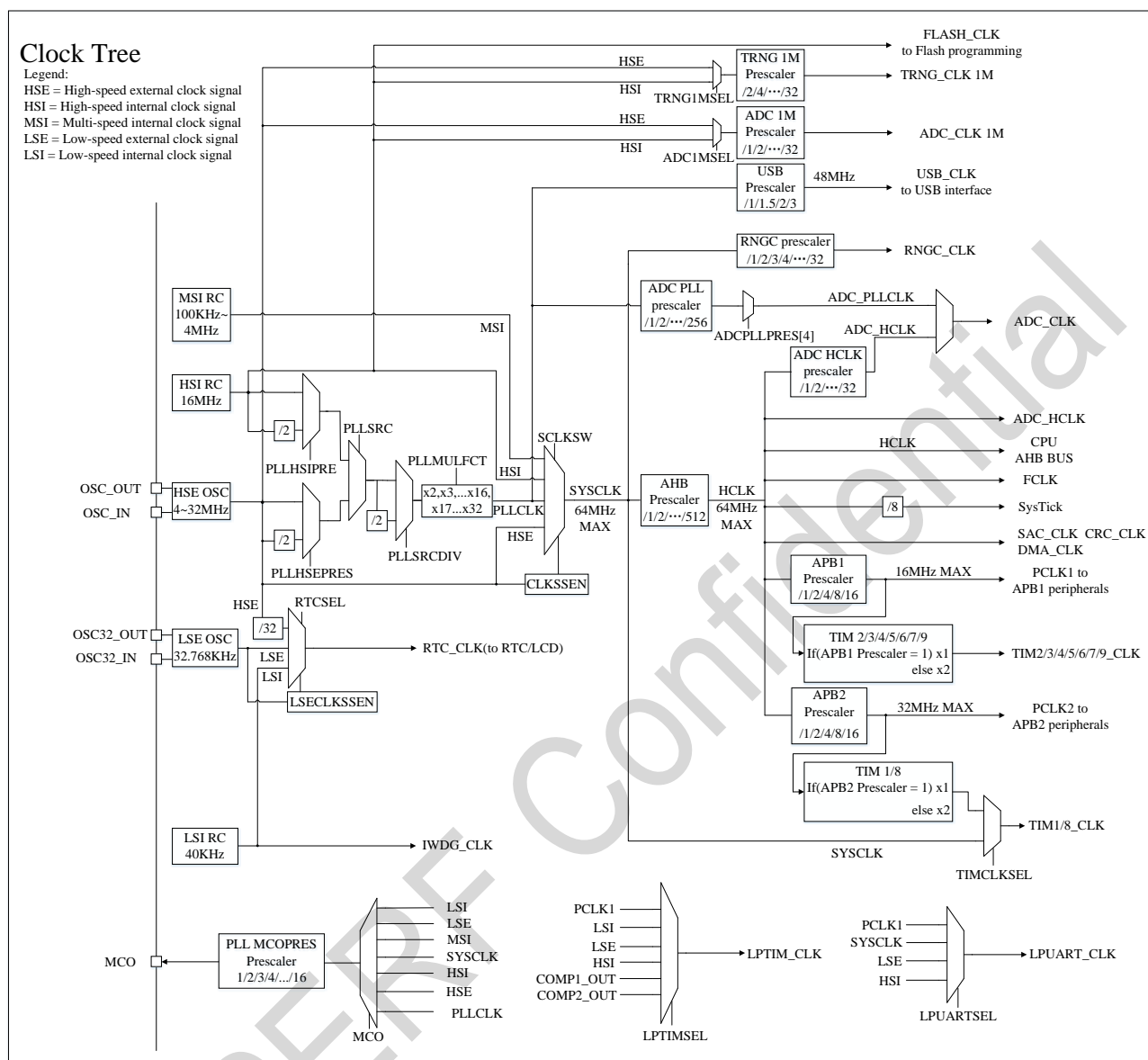


图 5-2. 时钟树

5.4 启动模式

在启动时，可以通过 **BOOT0** 引脚和选项字节 **BOOT** 配置（**USER2**）来选择在复位后的启动模式：

- 从程序闪存存储器（FLASH Memory）启动
- 从系统存储器（System Memory）启动
- 从内部 SRAM 启动

启动加载程序（Bootloader）存放于系统存储器中，可以通过 **USART1** 和 **USB** 接口对闪存进行编程。

5.5 供电方案

- VDD = 1.8~3.6V: VDD 引脚为 I/O 引脚和内部调压器供电。
- VLCD 为 Segment LCD 模块供电，通过寄存器配置有内部和外部两种供电模式。当使用 LCD 内部升压模式供电需在 VLCD 引脚需接一个 1uF 的电容，也可直接使用外部输入电源为 LCD 模块供电。
- VSSA, VDDA = 1.8~3.6V: 为 ADC、DAC、OPAMP、COMP、TSC 提供供电。VDDA 和 VSSA 必须分别连接到 VDD 和 VSS。参见图 4-3 供电方案。

5.6 复位

器件内部集成了上电复位(POR)和欠压复位(BOR)电路，这部分电路始终处于工作状态，保证系统在供电超过 1.8V 时稳定工作；当 VDD 低于设定的阈值(VPOR/BOR)时，置器件于复位状态，而不必使用外部复位电路。

5.7 可编程电压监测器

器件内置一个可编程电压监测器(PVD)，它监视 VDD 供电并与阈值 VPVD 比较，当 VDD 低于或高于阈值 VPVD 时将产生中断，中断处理程序可以发出警告信息，PVD 功能需要通过程序开启。

5.8 电压调压器

调压器有三个操作模式：主模式(MR)、低功耗模式(LPR)和关断模式

- 主模式(MR)用于正常的运行操作
- 低功耗模式(LPR)用于 MCU 的 LP RUN、LP SLEEP、STOP2、STANDBY 模式

5.9 低功耗模式

芯片支持五种低功耗模式。

- LP-RUN 模式

LP-RUN(Low Power Run)模式下，CPU 运行在 MSI 时钟下，在 FLASH 或 SRAM 执行程序，PLL 关闭，除 USB/CAN/SAC 断电外，所有外设可根据需要配置为工作状态。

唤醒：可以通过任一个使能的中断将微控制器从 LP-RUN 模式中唤醒。

- SLEEP 模式

在 SLEEP 模式下，只有 CPU 停止，所有外设处于工作状态并可在发生中断/事件时唤醒 CPU。

- STOP2 模式

STOP2 模式基于 Cortex -M4F 深度睡眠模式，所有的核心数字逻辑区域电源全部关闭。主电压调节器(MR)关闭，HSE/HSI/MSI/PLL 关闭。CPU 寄存器保持，LSE/LSI 可选工作，RCC 保持，所有 GPIO 保持，SRAM1 和 SRAM2 可选保持，SPI、USART/UART、I2C、WWDG 保持，80 字节备份寄存器保持，RET 域和低功耗电源域正常工作。

唤醒：可以通过任一配置成 EXTI 的信号把微控制器从 STOP2 模式中唤醒，EXTI 信号可以是外部 16 个 EXTI 信号 (I/O 相关)、PVD 的输出、RTC 唤醒、RTC 闹钟。

- STANDBY 模式

在 STANDBY 待机模式下可以达到较低的电流消耗状态。内部的电压调压器被关闭，PLL、HSI 的 RC 振荡器和 HSE 晶体振荡器也被关闭，仅 LSE 和 LSI 可选工作；进入 STANDBY 模式后，寄存器的内容将丢失，SRAM2 可选保持，待机电路仍工作。

NRST 上的外部复位信号、IWDG 复位、WKUP 引脚上的一个上升边沿、RTC 唤醒或 RTC 的闹钟可以把微控制器从 STANDBY 模式唤醒。

注：在进入停机或待机模式时，RTC、IWDG 和对应的时钟可以不被停止。

5.10 直接存储器存取（DMA）

器件集成 1 个灵活的通用 DMA 控制器，支持 8 个 DMA 通道，可以管理存储器到存储器、外设到存储器和存储器到外设的数据传输；DMA 控制器支持环形缓冲区的管理，避免了控制器传输到达缓冲区结尾时所产生的中断。每个通道都有专门的硬件 DMA 请求逻辑，同时可以由软件触发每个通道。可通过软件单独设置每个通道的传输的长度、传输的源地址和目标地址。DMA 可以用于主要的外设：SPI、I2C、USART，通用、基本和高级控制定时器 TIMx，DAC、I2S、ADC。

5.11 实时时钟（RTC）

RTC 是一组连续运行的计数器，内置日历时钟模块，可提供万年历功能，还具有闹钟中断和周期性中断（最短 2 个时钟周期）功能。RTC 不会被系统或电源复位源复位，当从 STANDBY 模式唤醒时，也不会被复位。RTC 的驱动时钟可以选择为 32.768 KHz 外部晶体振荡器、内部低功耗 40 KHz RC 振荡器、或者高速的外部时钟经 128 分频任意一个时钟源。对于计时精度要求非常高的应用场景，建议使用外部 32.768 KHz 时钟作为时钟源，同时为补偿天然晶体的时钟偏差，可以通过输出一个 256 Hz 的信号对 RTC 的时钟进行校准。RTC 有一个 22 位的预分频器用于时基时钟，默认情况下时钟为 32.768 kHz 时，它将产生一个 1 秒长的时间基准。另外 RTC 可以用来触发低功耗状态下唤醒，以及定时唤醒 TSC 模块工作。

5.12 定时器和看门狗

最多 2 个高级控制定时器、5 个普通定时器和 2 个基本定时器，1 个低功耗定时器，以及 2 个看门狗定时器和 1 个系统滴嗒定时器。下表比较了高级控制定时器、普通定时器、低功耗定时器和基本定时器的功能：

表 5-1. 定时器功能比较

定时器	计数器分辨率	计数器类型	预分频系数	产生DMA请求	捕获/比较通道	互补输出
TIM1 TIM8	16位	向上，向下，向上/下	1~65536之间的任意整数	可以	4	有
TIM2 TIM3 TIM4 TIM5 TIM9	16位	向上，向下，向上/下	1~65536之间的任意整数	可以	4	没有
TIM6 TIM7	16位	向上	1~65536之间的任意整数	可以	0	没有
LPTIM	16位	向上	1/2/4/8/16/32/64/128	可以	2	没有

5.12.1 基本定时器 TIM6

基本定时器（TIM6）包含一个 16 位自动装载计数器，由可编程预分频器进行驱动。可以为通用定时器提供时间基准。

基本定时器的主要功能如下：

- ◆ 16 位自动重载累加计数器；
- ◆ 16 位可编程(可实时修改)预分频器，用于对输入的时钟按系数为 1~65536 之间的任意数值分频；
- ◆ 在更新事件(计数器溢出)时产生中断/DMA 请求

5.12.2 通用定时器 TIM3

内置了 1 个可同步运行的通用定时器（TIM3）。这个定时器有一个 16 位的自动加载递增/递减计数器、一个 16 位的预分频器和 4 个独立的通道，每个通道都可用于输入捕获（用于测量脉冲宽度）、输出比较、PWM 和单脉冲模式输出。

通用定时器的主要功能包括：

- ◆ 16 位向上、向下、向上/向下自动装载计数器；
- ◆ 16 位可编程(可以实时修改)预分频器，计数器时钟频率的分频系数为 1~65536 之间的任意数值；
- ◆ 4 个独立通道：
 - 输入捕获；
 - 输出比较；
 - PWM 生成(边缘或中间对齐模式)；
 - 单脉冲模式输出；
- ◆ 使用外部信号控制定时器或多个定时器互连时的同步电路；
- ◆ 如下事件发生时产生中断/DMA：
 - ◆ 更新：计数器向上溢出/向下溢出，计数器初始化(通过软件或者内部/外部触发)；
 - ◆ 触发事件(计数器启动、停止、初始化或者由内部/外部触发计数)；
 - ◆ 输入捕获；
 - ◆ 输出比较；
 - ◆ 支持针对定位的增量(正交)编码器和霍尔传感器电路；
 - ◆ 触发输入作为外部时钟或者按周期的电流管理

5.12.3 低功耗定时器 LPTIM

LPTIM 是一个 16 位定时器，可以在除 STANDBY 模式之外的所有电源模式下运行，时钟源可来自于 LSE、LSI、内部高速时钟或者外部时钟。LPTIM 不仅可以实现基本的定时计数、输入捕获功能外，还可以用作脉冲计数器，支持单脉冲或双正交或非正交脉冲的计数功能。同时 LPTIM 可以从 STOP2 低功耗模式运行并唤醒系统。

低功耗定时器的主要功能包括：

- ◆ 16 位向上自动装载计数器；
- ◆ 3 比特预分频器，8 种分频因子（1、2、4、8、16、32、64、128）；
- ◆ 丰富的时钟源：
 - 内部时钟源：LSE，LSI，HSI，COMP1_OUT，或者 APB 时钟
 - 通过 LPTIM 输入的外部时钟源（工作时无 LP 振荡器运行，用于脉冲计数器应用）；
- ◆ 16 位 ARR 自动装载寄存器；
- ◆ 16 位比较器寄存器；
- ◆ 连续或者单触发模式；
- ◆ 软硬件输入触发
- ◆ 可编程的数字防抖滤波器；
- ◆ 可配置输出（方波，PWM）；
- ◆ 编码器模式
- ◆ 脉冲计数模式，支持单脉冲计数、双脉冲计数（正交和非正交）

5.12.4 基本定时器 TIM6 和 TIM7

2 个独立的基本定时器(TIM6/TIM7)，每个定时器包含一个 16 位自动装载计数器，由各自的可编程预分频器 驱动。它们可以作为通用定时器提供时间基准，特别地可以为数模转换器(DAC)提供时钟，它们在芯片内部 直接连接到 DAC 并通过触发输出直接驱动 DAC。

基本定时器的主要功能如下：

- ◆ 16位自动重装载累加计数器；
- ◆ 16位可编程(可实时修改)预分频器，用于对输入的时钟按系数为1~65536之间的任意数值分频；
- ◆ 触发DAC的同步电路；
- ◆ 在更新事件(计数器溢出)时产生中断/DMA请求

5.12.5 通用定时器 (TIMx)

内置了 5 个可同步运行的通用定时器(TIM2、TIM3、TIM4、TIM5 和 TIM9)。这 5 个定时器都是完全独立的，每个定时器都有一个 16 位的自动加载递增/递减计数器、一个 16 位的预分频器和 4 个独立的通道，每个通道都可用于输入捕获（用于测量脉冲宽度）、输出比较、PWM 和单脉冲模式输出，在最大的封装配置中可提供最多 20 个输入捕获、输出比较或 PWM 通道。

它具有下述特性：

- ◆ 16 位向上、向下、向上/向下自动装载计数器；
- ◆ 16 位可编程(可以实时修改)预分频器，计数器时钟频率的分频系数为 1~65536 之间的任意数值；
- ◆ 4 个独立通道：
 - 输入捕获；
 - 输出比较；
 - PWM 生成(边缘或中间对齐模式)；
 - 单脉冲模式输出；
- ◆ 使用外部信号控制定时器和定时器互连的同步电路；
- ◆ 如下事件发生时产生中断/DMA：
 - 更新：计数器向上溢出/向下溢出，计数器初始化(通过软件或者内部/外部触发)；
 - 触发事件(计数器启动、停止、初始化或者由内部/外部触发计数)；
 - 输入捕获；
 - 输出比较；
- ◆ 支持针对定位的增量(正交)编码器和霍尔传感器电路；
- ◆ 触发输入作为外部时钟或者按周期的电流管理

它们还能通过定时器链接功能与高级控制定时器共同工作，提供同步或事件链接功能。在调试模式下，计数器可以被冻结。任一通用定时器都能用于产生 PWM 输出。每个定时器都有独立的 DMA 请求机制

5.12.6 高级控制定时器 (TIM1 和 TIM8)

两个独立的高级定时器 (TIM1/TIM8)，每个定时器通过可编程预分频器驱动的 16 位自动装载计数器构成。支持多种功能，包含测量输入信号的脉冲宽度(输入捕获)，或者产生输出波形(输出比较、PWM、嵌入死区时间的互补 PWM 输出等)。使用定时

器预分频器和 RCC 时钟控制预分频器，可以实现脉冲宽度和波形周期从几个微秒到几个毫秒的调节。每个定时器都是完全独立的，没有互相共享任何资源。

高级定时器的主要功能包括：

- ◆ 16 位向上、向下、向上/下自动装载计数器；
- ◆ 16 位可编程(可以实时修改)预分频器，计数器时钟频率的分频系数为 1~65536 之间的任意数值；
- ◆ 支持最高 64MHz 作为定时器输入时钟；
- ◆ 多达 6 个独立通道：
 - 输入捕获；
 - 输出比较；
 - PWM 生成(边缘或中间对齐模式)；
 - 单脉冲模式输出；
- ◆ PWM 触发 ADC 采样；
- ◆ 触发时间点在 PWM 整个周期内可固件配置。
- ◆ 死区时间可编程的互补输出；
- ◆ 使用外部信号控制定时器和定时器互联的同步电路；
- ◆ 允许在指定数目的计数器周期之后更新定时器寄存器的重复计数器；
- ◆ Break 输入信号可以将定时器输出信号置于复位状态或者一个已知状态；
- ◆ 如下事件发生时产生中断/DMA：
 - 更新：计数器向上溢出/向下溢出，计数器初始化(通过软件或者内部/外部触发)；
 - 触发事件(计数器启动、停止、初始化或者由内部/外部触发计数)；
 - 输入捕获；
 - 输出比较；
 - Break 信号输入；
- ◆ 支持针对定位的增量(正交)编码器和霍尔传感器电路；
- ◆ 触发输入作为外部时钟或者按周期的电流管理

在调试模式下，计数器可以被冻结，同时 PWM 输出被禁止，从而切断由这些输出所控制的开关。很多功能都与标准的 TIM 定时器相同，内部结构也相同，因此高级控制定时器可以通过定时器链接功能与 TIM 定时器协同操作，提供同步或事件链接功能。

5.12.7 系统时基定时器 (Systick)

这个定时器是专用于实时操作系统，也可当成一个标准的递减计数器。

它具有下述特性：

- ◆ 24位的递减计数器
- ◆ 自动重加载功能
- ◆ 当计数器为0时能产生一个可屏蔽系统中断
- ◆ 可编程时钟源

5.12.8 看门狗定时器(WDG)

支持两个看门狗，独立看门狗（IWDG）和窗口看门狗（WWDG）。两个看门狗提供了更高的安全性、时间的精确性和使用的灵活性。

◆ 独立看门狗（IWDG）

独立看门狗是基于一个 12 位的递减计数器和一个 8 位的预分频器，由独立的低速 RC 振荡器驱动，即使主时钟发生故障它也仍然有效，可工作在 STOP 模式和 STANDBY 模式。IWDG 一旦被激活，如果不在设定的时间内喂狗（清除看门狗计数器），则在计数器计数至 0x000 时产生复位，它可以用于在应用程序发生时复位整个系统，或作为一个自由定时器为应用程序提供超时管理。通过选项字节可以配置成是软件或硬件启动看门狗。复位和低功耗唤醒可配。

◆ 窗口看门狗（WWDG）

窗口看门狗通常被用来监测，由外部干扰或不可预见的逻辑条件造成的应用程序背离正常的运行序列而产生的软件故障。除非递减计数器的值在 T6 位变成 0 前被刷新，看门狗电路在达到预置的时间周期时，会产生一个 MCU 复位。在递减计数器达到窗口寄存器数值之前，如果 7 位的递减计数器数值（在控制寄存器中）被刷新，那么也将产生一个 MCU 复位。这表明递减计数器需要在一个有限的时间窗口中被刷新。

主要特点：

- ◆ WWDG 由 APB1 时钟分频后得到的时钟驱动；
- ◆ 可编程的自由运行递减计数器；
- ◆ 条件复位：
 - ◆ 当递减计数器的值小于 0x40，（若看门狗被启动）则产生复位；
 - ◆ 当递减计数器在窗口外被重新装载，（若看门狗被启动）则产生复位；
- ◆ 如果启动了看门狗并且允许中断，当递减计数器等于 0x40 时产生早期唤醒中断（EWI），它可以被用于重装计数器以避免 WWDG 复位。

5.13 I2C 总线接口

2 个独立的 I2C 总线接口，它提供多主机功能，控制所有 I2C 总线特定的时序、协议、仲裁和定时。支持多种通信速率模式（最高支持 1MHz），支持 DMA 操作，同时与 SMBus 2.0 兼容。I2C 模块有多种用途，包括 CRC 码的生成和校验、SMBus（系统管理总线—System Management Bus）和 PMBus（电源管理总线—Power Management Bus）。

I2C 接口的主要功能描述如下：

- ◆ 多主机功能：该模块既可做主设备也可做从设备；
- ◆ I2C 主设备功能：
 - 产生时钟；
 - 产生起始和停止信号；
- ◆ I2C 从设备功能：
 - 可编程的地址检测；
 - I2C 接口支持 7 位或 10 位寻址，7 位从模式时支持双从地址响应能力；
 - 停止位检测；
- ◆ 产生和检测 7 位/10 位地址和广播呼叫；
- ◆ 支持不同的通讯速度：
 - 标准速度（高达 100kHz）；

- 快速（高达 400kHz）；
- 快速+（高达 1MHz）；
- ◆ 状态标志：
 - 发送器/接收器模式标志；
 - 字节发送结束标志；
 - I2C 总线忙标志；
- ◆ 错误标志：
 - 主模式时的仲裁丢失；
 - 地址/数据传输后的应答（ACK）错误；
 - 检测到错位的起始或停止条件；
 - 禁止拉长时钟功能时的上溢或下溢；
- ◆ 2 个中断向量：
 - 1 个中断用于地址/数据通讯成功；
 - 1 个中断用于错误；
- ◆ 可选的拉长时钟功能
- ◆ 具单字节缓存器的 DMA；
- ◆ 可配置的 PEC(信息包错误检测)的产生或校验
 - 发送模式中 PEC 值可以作为最后一个字节传输
 - 用于最后一个接收字节的 PEC 错误校验
- ◆ 兼容 SMBus 2.0
 - 25 ms 时钟低超时延时
 - 10 ms 主设备累积时钟低扩展时间
 - 25 ms 从设备累积时钟低扩展时间
 - 带 ACK 控制的硬件 PEC 产生/校验
 - 支持地址分辨协议（ARP）
- ◆ 兼容 SMBus

5.14 通用同步/异步收发器（USART）

CMT2391F128 集成了最多 5 个串行收发接口，包括 3 个通用同步/异步收发器(USART1、USART2 和 USART3)和 2 个通用异步收发器(UART4 和 UART5)。这 5 个接口提供同/异步通信、支持 IrDA SIR ENDEC 传输编解码、多处理器通信模式、单线半双工通信模式和 LIN 主/从功能。

USART1、USART2 和 USART3 接口具有硬件的 CTS 和 RTS 信号管理、兼容 ISO7816 的智能卡模式和类 SPI 通信模式，所有接口都可以使用 DMA 操作。

USART 主要特性如下：

- ◆ 全双工的，异步通信；
- ◆ NRZ 标准格式；
- ◆ 分数波特率发生器系统，波特率可编程，用于发送和接收，最高达 3Mbits/s
- ◆ 可编程数据字长度（8 位或 9 位）
- ◆ 可配置的停止位，支持 1 或 2 个停止位；

- ◆ LIN 主发送同步断开符的能力以及 LIN 从检测断开符的能力，当 USART 硬件配置成 LIN 时，生成 13 位断开符，检测 10/11 位断开符
- ◆ 输出发送时钟用于步传输；
- ◆ IRDA SIR 编码器解码器，在正常模式下支持 3/16 位的持续时间；
- ◆ 智能卡模拟功能：
 - 智能卡接口支持 ISO7816-3 标准里定义的异步智能卡协议；
 - 智能卡用到的 0.5 和 1.5 个停止位；
- ◆ 单线半双工通信；
- ◆ 可配置的使用 DMA 的多缓冲器通信，在 SRAM 里利用集中式 DMA 缓冲接收/发送字节；
- ◆ 独立的发送器和接收器使能位；
- ◆ 检测标志
 - 接收缓冲器满
 - 发送缓冲器空
 - 传输结束标志
- ◆ 校验控制
 - 发送校验位
 - 对接收数据进行校验
- ◆ 四个错误检测标志：
 - 溢出错误
 - 噪音错误
 - 帧错误
 - 校验错误
- ◆ 10 个带标志的 USART 中断源
 - CTS 改变
 - LIN 断开符检测
 - 发送数据寄存器空
 - 发送完成
 - 接收数据寄存器满
 - 检测到总线为空闲
 - 溢出错误
 - 帧错误
 - 噪音错误
 - 校验错误
- ◆ 多处理器通信，如果地址不匹配，则进入静默模式；
- ◆ 从静默模式中唤醒（通过空闲总线检测或地址标志检测）
- ◆ 两种唤醒接收器的方式：地址位（MSB，第 9 位），总线空闲
- ◆ 模式配置：

USART modes	USART1	USART2	USART3	UART4	UART5
异步模式	√	√	√	√	√
硬件流控制	√	√	√	×	×
多缓存通讯 (DMA)	√	√	√	√	√
多处理器通讯	√	√	√	√	√
同步	√	√	√	×	×
智能卡	√	√	√	×	×
半双工 (单线模式)	√	√	√	√	√
IrDA	√	√	√	√	√
LIN	√	√	√	√	√

5.15 串行外设接口 (SPI)

支持 2 个 SPI 接口，SPI 允许芯片与外部设备以半/全双工、同步、串行方式通信。此接口可以被配置成主模式，并为外部从设备提供通信时钟 (SCK)。接口还能以多主配置方式工作。它可用于多种用途，包括使用一条双向数据线的双线单工同步传输，还可使用 CRC 校验的可靠通信。

SPI 接口的主要功能如下：

- ◆ 3 线全双工同步传输；
- ◆ 带或不带第三根双向数据线的双线单工同步传输；
- ◆ 8 或 16 位传输帧格式选择；
- ◆ 支持主模式或从模式；
- ◆ 支持多主模式；
- ◆ 8 个主模式波特率预分频系数(最大为 $f_{PCLK}/2$)；
- ◆ 从模式频率 (最大为 $f_{PCLK}/2$)；
- ◆ 主模式和从模式的快速通信；
- ◆ 主模式和从模式下均可以由软件或硬件进行 NSS 管理：主/从操作模式的动态改变；
- ◆ 可编程的时钟极性和相位；
- ◆ 可编程的数据顺序，MSB 在前或 LSB 在前；
- ◆ 可触发中断的专用发送和接收标志；
- ◆ SPI 总线忙状态标志；
- ◆ 支持可靠通信的硬件 CRC：
 - 在发送模式下，CRC 值可以被作为最后一个字节发送；
 - 在全双工模式中对接收到的最后一个字节自动进行 CRC 校验；
- ◆ 可触发中断的主模式故障、过载以及 CRC 错误标志
- ◆ 支持 DMA 功能的单字节发送和接收缓冲器：产生发送和接受请求
- ◆ 接口最高速度：16 Mbps

5.16 低功耗异步收发器 (LPUART)

器件集成一个低功耗异步串行收发器(LPUART)，LPUART 可在 STOP2 状态下接收数据（最高波特率 9600），产生中断事件后可唤醒 MCU。另外通过将时钟配置为高速时钟（例如 APB 或 HSE 时钟）后可作为常规异步串口使用，以支持更高的波特率。

- ◆ 提供标准的异步通讯位（起始位、校验位和停止位）
 - 生成 1 位起始位

- 生成 1 位校验位（可设置奇校验或偶校验）或无校验位
- 生成 1 位停止位
- 字节从低位到高位依次传输
- ◆ LPUART 支持 32byte 接收 FIFO、支持 1byte 发送 FIFO
- ◆ 提供发送模式控制位
- ◆ 可编程波特率（波特率可以根据参数 F/D 调整）
- ◆ 全双工通信
- ◆ 支持数据通讯及错误处理中断
- ◆ 状态位的访问可采用查询或者中断两种方式
- ◆ 奇偶校验错误标志
- ◆ 波特率参数寄存器
- ◆ 支持硬件流控
- ◆ 支持 DMA 数据传输
- ◆ 在 STOP2 状态下支持以下唤醒 MCU 的中断事件源
 - 起始位检测
 - 接收缓冲器非空检测
 - 接收到指定的字节数据
 - 支持可用户自定义的指定 4 个字节的数据匹配

5.17 串行音频接口（I2S）

I2S 是一种 3 引脚的同步串行接口通讯协议，器件集成 2 个标准的 I2S 接口(与 SPI 复用)，可以工作于主或从模式，可以配置为 16 位、24 位或 32 位传输，亦可配置为输入或输出通道，支持音频采样频率从 8 kHz 到 96 kHz。它支持四种音频标准，包括飞利浦 I2S 标准，MSB 和 LSB 对齐标准，以及 PCM 标准。

它在半双工通讯中，可以工作在主和从 2 种模式下。当它作为主设备时，通过接口向外部的从设备提供时钟信号。

I2S 接口的主要功能如下：

- ◆ 半双工通信（同一时刻仅发送或接收）；
- ◆ 主或者从操作；
- ◆ 8 位线性可编程预分频器，获得精确的音频采样频率（8KHz 到 96kHz）；
- ◆ 数据格式可以是 16 位，24 位或者 32 位；
- ◆ 音频信道固定数据包帧为 16 位（16 位数据帧）或 32 位（16、24 或 32 位数据帧）；
- ◆ 可编程的时钟极性（稳定态）；
- ◆ 从发送模式下的下溢标志位和主/从接收模式下的溢出标志位；
- ◆ 16 位数据寄存器用来发送和接收，在通道两端各有一个寄存器；
- ◆ 支持的 I2S 协议：
 - I2S 飞利浦标；
 - MSB 对齐标准（左对齐）；
 - LSB 对齐标准（右对齐）；
 - PCM 标准（16 位通道帧上带长或短帧同步或者 16 位数据帧扩展为 32 位通道帧）；
- ◆ 数据方向总是 MSB 在先；

- ◆ 发送和接收都具有 DMA 能力；
- ◆ 主时钟可以输出到外部音频设备，比率固定为 $256 \times F_s$ (F_s 为音频采样频率)；

5.18 控制器局域网 (CAN)

器件集成 1 路 CAN 总线接口，兼容 2.0A 和 2.0B(主动) 规范，位速率高达 1Mbps。它可以接收和发送 11 位标识符的标准帧，也可以接收和发送 29 位标识符的扩展帧。

主要特点：

- ◆ 支持 CAN 协议 2.0A 和 2.0B 主动模式；
- ◆ 波特率最高可达 1Mbps；支持时间触发通信功能
- ◆ 支持时间触发通信功能
- ◆ 发送
 - 3 个发送邮箱
 - 发送报文的优先级特性可软件配置
 - 记录发送 SOF 时刻的时间戳
- ◆ 接收
 - 3 级深度的 2 个接收 FIFO
 - 可变的过滤器组：
 - 有 14 个过滤器组
 - 标识符列表
 - FIFO 溢出处理方式可配置记录
 - 接收 SOF 时刻的时间戳
- ◆ 时间触发通信模式
 - 禁止自动重传模式
 - 16 位自由运行定时器
 - 可在最后 2 个数据字节发送时间戳
- ◆ 管理
 - 中断可屏蔽
 - 邮箱占用单独 1 块地址空间，便于提高软件效率

5.19 通用串行总线 (USB)

器件内嵌一个兼容全速 USB 的设备控制器，遵循全速 USB 设备(12Mbit/秒)标准，端点可由软件配置，具有待机/唤醒功能。USB 专用的 48MHz 时钟由内部 PLL 直接产生。

USB 设备控制器主要特性如下：

- ◆ 符合 USB2.0 全速设备的技术规范；
- ◆ 可配置 1 到 8 个 USB 端点；
- ◆ CRC(循环冗余校验)生成/校验，反向不归零(NRZI)编码/解码和位填充；
- ◆ 支持批量/同步端点的双缓冲区机制；
- ◆ 支持 USB 挂起/恢复操作；
- ◆ 帧锁定时钟脉冲生成；
- ◆ 集成 USB DP 信号线上拉 1.5K 电阻 (用户可通过软件控制开启或关闭)；

5.20 触摸传感器控制器（TSC）

TSC 是 Touch Sensor Controller 的简称，主要应用于电容式触摸按键应用场景，主要特性如下：

- ◆ 支持电容式触控功能，最大支持 24 个通道，每个通道可单独使能。
- ◆ 在正常工作模式下，检测到触摸操作，中断/事件通知 CPU。
- ◆ 在低功耗模式下（Sleep、Stop2），检测到触控操作，可唤醒 CPU，每个通道均有一个唤醒指示标志，供固件查询。
- ◆ 所有通道开启检测，触控唤醒的平均功耗<10uA。
- ◆ 触控唤醒检测的间隔可固件配置。
- ◆ 每个通道的检测时间可固件配置。
- ◆ 检测的脉冲个数阈值固件设置，包括 Base 和 Delta 值，每个通道均有独立的阈值，根据固件设置值，硬件进行脉冲计数并比较。

5.21 算法硬件加速引擎（SAC）

内嵌算法硬件加速引擎，支持多种国际算法及国家密码对称密码算法和杂凑密码算法加速，相较于纯软件算法而言能极大的提高加解密速度。

- 硬件支持的算法如下：
 - ◆ 支持 DES 对称算法
 - 支持 DES 和 3DES 加解密运算
 - TDES 支持 2KEY 和 3KEY 模式
 - 支持 CBC 和 ECB 模式
 - ◆ 支持 AES 对称算法
 - 支持 128bit/192bit/ 256bit 密钥长度
 - 支持 CBC、ECB、CTR 模式
 - ◆ 支持 SHA 杂凑算法
 - 支持 SHA1/SHA244/SHA256
 - ◆ 支持 MD5 摘要算法
 - ◆ 支持对称式国密 SM1、SM4、SM7 算法以及 SM3 杂凑算法

5.22 段式液晶显示驱动（Segment LCD）

LCD 控制器是一个适用于单色无源段式液晶显示器（Segment LCD）的数字控制器/驱动器，最多具有 8 个公共端子（COM）和 44 个区段端子（SEG），可用于驱动 176（4x44）或 320（8x40）个 LCD 图像元素，具体的端子数量取决于不同型号的引脚，具体可参考数据手册中对应的引脚描述。LCD 由多个区段组成，这些区段可控制点亮或者熄灭。由若干区段（像素或完整符号）组成，这些区段均可点亮或熄灭。每个区段都包含一层在两根电极之间对齐的液晶分子。当向液晶施加高于阈值电压的电压时，则对应的区段可见。为了避免液晶中出现电泳效应（这将影响显示效果），区段电压必须为交流。

该 LCD 控制器可以在除待机和关机模式外的低功耗模式下工作。

LCD 主要特性描述如下：

- ◆ 帧速率可配置；
- ◆ 占空比可配置：支持静态、1/2、1/3、1/4 和 1/8 占空比；
- ◆ 电压偏置可配置：支持静态、1/2、1/3 和 1/4 偏置；
- ◆ 双缓冲机制允许用户随时更新显示内存寄存器中的数据（像素活动/非活动信息）；
- ◆ LCD 电源可选：从 VLCD 引脚外加电源（也可以将 VLCD 直接连接到 VDD）；使用内嵌的 DC-DC 升压转换器（外部需要接一个 1μF 电容）；
- ◆ LCD 时钟源可选：HSE/32，LSI 或 LSE；
- ◆ 两种对比度控制方式：调节帧之间多达 7 个相位周期的死区时间；调节 VLCD 在 VLCDmin~VLCDmax 范围内变化（仅使用内部升压转换器时）；
- ◆ 内置电阻网络用来产生 LCD 中间电压，可通过软件配置，以匹配 LCD 面板上的电容性负载；
- ◆ 内置电压输出缓冲器；
- ◆ 支持 SLEEP、LOW-POWER RUN、LOW-POWER SLEEP 和 STOP2 模式下显示，也可以在这些模式下禁用以获得更低的功耗；
- ◆ 内置相位反转，可降低电磁干扰（EMI）和功耗；
- ◆ 支持闪烁功能：可配置 1、2、3、4、8 或所有像素在指定的频率（0.5Hz、1Hz、2Hz 或 4Hz）下闪烁；
- ◆ 用作 SEG 和 COM 功能的管脚应配置为相应的 AFIO。

5.23 通用输入输出接口（GPIO）

支持最多 64 个 GPIO，共被分为 4 组（GPIOA/GPIOB/GPIOC/GPIOD），其中 GPIOA、GPIOB、GPIOC、GPIOD 每组 16 个端口。每个 GPIO 引脚都可以由软件配置成输出（推挽或开漏）、输入（带或不带上拉或下拉）或复用的外设功能端口，多数 GPIO 引脚都与数字或模拟的复用外设共用，有的 I/O 引脚还与时钟引脚复用；除了具有模拟输入功能的端口，其它所有的 GPIO 引脚都有大电流通过能力

GPIO 主要特性描述如下：

- ◆ GPIO 端口可由软件分别配置成以下模式：
 - 输入浮空
 - 输入上拉（弱上拉）
 - 输入下拉（弱下拉）
 - 模拟输入

- 开漏输出
- 推挽式输出
- 推挽式复用功能
- 开漏复用功能
- ◆ 通用 I/O(GPIO)
 - 复位期间和刚复位后，复用功能未开启，除 BOOT0 外（BOOT0 为输入下拉），I/O 端口被配置成模拟输入模式；
 - 复位期间和刚复位后，复用功能未开启，I/O 端口被配置成模拟输入模式，复位后，JTAG 引脚被置于输入上拉或下拉模式：
- ✓ JTDI 置于上拉模式；
- ✓ JTCK 置于下拉模式；
- ✓ JTMS 置于上拉模式；
- ✓ JNTRST 置于上拉模式
 - 当作为输出配置时，写到输出数据寄存器上的值输出到相应的 I/O 引脚。可以以推挽模式或开漏模式输出
- ◆ 单独的位设置或位清除功能；
- ◆ 外部中断/唤醒：所有端口都有外部中断能力，为了使用外部中断线，端口必须配置成输入模式；
- ◆ 复用功能：(使用默认复用功能前必须对端口位配置寄存器编程)
 - 对于复用的输入功能，端口必须配置成输入模式(浮空、上拉或下拉)且输入引脚必须由外部驱动；
 - 对于复用输出功能，端口必须配置成复用功能输出模式(推挽或开漏)；
 - 对于双向复用功能，端口位必须配置复用功能输出模式(推挽或开漏)。这时，输入驱动器被配置成浮空输入模式。
- ◆ 软件重新映射 I/O 复用功能
- ◆ GPIO 锁定机制，锁定机制允许冻结 IO 配置。当在一个端口位上执行了锁定(LOCK)程序，在下次复位之前，将不能再更改端口位的配置

5.24 模拟/数字转换器（ADC）

器件支持 1 个 12 位 4.5Msps 采样率的逐次比较型 ADC，支持单端输入和差分输入，可测量 16 个外部和 3 个内部信号源。

ADC 主要特性描述如下：

- ◆ 支持 12 位、10 位、8 位、6 位分辨率可配置
 - 12bit 分辨率下最高采样速率 4.57MSPS
 - 10bit 分辨率下最高采样速率 5.33MSPS
 - 8bit 分辨率下最高采样速率 6.4MSPS
 - 6bit 分辨率下最高采样速率 8MSPS
- ◆ ADC 时钟源分为工作时钟源、采样时钟源和计时时钟源
 - 可配置AHB_CLK作为工作时钟源，最高可到64 MHz
 - 可配置PLL作为采样时钟源，最高可到64 MHz，支持分频1,2,4,6,8,10,12,16,32,64,128,256
 - 可配置AHB_CLK作为采样时钟源，最高可到64 MHz，支持分频1,2,4,6,8,10,12,16,32
 - 计时时钟用于内部计时功能，频率必须配置成1 MHz
- ◆ 支持定时器触发 ADC 采样

- ◆ 支持 2.048V 的内部参考电压 VREFBUFFER
- ◆ 转换结束、注入转换结束和发生模拟看门狗事件时产生中断
- ◆ 单次和连续转换模式
- ◆ 从通道 0 到通道 N 的自动扫描模式
- ◆ 支持自校准
- ◆ 带内嵌数据一致性的数据对齐
- ◆ 采样间隔可以按通道分别编程
- ◆ 规则转换和注入转换均有外部触发选项
- ◆ 间断模式
- ◆ ADC 供电要求：1.8 V 到 3.6 V
- ◆ ADC 输入范围：VREF- \leq VIN \leq VREF+
- ◆ ADC 可以使用 DMA 操作，规则通道转换期间有 DMA 请求产生
- ◆ 模拟看门狗功能，可以非常精准地监视一路、多路或所有选中的通道，当被监视的信号超出预置的阈值时，将产生中断。

5.25 数字/模拟转换器（DAC）

器件集成 1 个数模转换器(DAC)，DAC 是 12 位数字输入、电压输出的数字/模拟转换器，有 1 个内置 Buffer 的输出通道。

DAC 可以通过 VDDA 或 VREFBUFFER 作为参考源。

这个接口支持下述功能：

- ◆ 一个内置 Buffer 的输出通道
- ◆ 可配置的 8 位或 12 位输出
- ◆ 12 位模式下可配置的左右数据对齐
- ◆ 同步更新功能
- ◆ 产生噪声波
- ◆ 产生三角波
- ◆ 支持 DMA 功能
- ◆ 外部触发进行转换

5.26 运算放大器（OPAMP）

内嵌 2 个独立的运算放大器，具有外部放大、内部跟随和可编程放大器（PGA）等多种工作模式（或兼具有内部放大和外部滤波）。

主要功能如下：

- ◆ 支持轨到轨输入；
- ◆ 正向和反向输入复选；
- ◆ OPAMP 工作模式可以配置成：
 - 独立模式（外部增益设置）；
 - PGA 模式，可编程增益设为 2X、4X、8X、16X、32X；
 - 跟随器模式；
- ◆ 内部连接的 ADC 通道用于运算放大器的输出信号测量。

5.27 模拟比较器（COMP）

内嵌 2 个比较器，其中 COMP1 支持低功耗模式，可在 STOP2 状态下工作，可以用作单独的设备（比较器所有端口引到 I/O 上），也可以和定时器组合使用，在电机控制场合可以与来自定时器的 PWM 输出配合形成逐周期电流控制。

比较器主要功能如下：

- ◆ 支持轨到轨比较器
- ◆ 比较器的反向与正向端支持以下输入
 - 复选的 I/O
 - DAC 通道输出
 - 内部 64 级可调电压输入参考
- ◇ VREF1 为低功耗电压参考源，仅可提供为 COMP1 使用
- ◇ VREF2 为非低功耗电压参考源，可提供给 COMP1 和 COMP2 使用
- ◆ 可编程的迟滞，可配置为无迟滞、低迟滞、中迟滞、高迟滞
- ◆ 比较器可以输出到 I/O 或者定时器输入，用于触发
 - 捕获事件
 - OCREF_CLR 事件（用于逐周期电流控制）
 - 刹车事件
- ◆ 比较器支持输出滤波，包括模拟滤波和数字滤波
- ◆ COMP1/COMP2 可以组成窗口比较器
- ◆ 支持带消隐的比较器输出，可以选择禁能消隐或选择 Timer1_OC5、Timer8_OC5 作消隐输入；
- ◆ 每个比较器可以有中断唤醒能力，支持从 Sleep 模式下唤醒，COMP1 可支持在 STOP2 下唤醒；

5.28 温度传感器（TS）

温度传感器产生一个随温度线性变化的电压，转换范围在 $1.8\text{ V} < V_{DDA} < 3.6\text{ V}$ 之间。温度传感器在内部被连接到 ADC_IN17 的输入通道上，用于将传感器的输出转换到数字数值。

5.29 循环冗余校验计算单元（CRC）

集成 CRC32 和 CRC16 功能，循环冗余校验（CRC）计算单元是根据固定的生成多项式得到任一 CRC 计算结果。在众多的应用中，基于 CRC 的技术被用于验证数据传输或存储的一致性。在 EN/IEC 60335-1 标准的范围内，它提供了一种检测闪存存储器错误的手段，CRC 计算单元可以用于实时地计算软件的签名，并与在链接和生成该软件时产生的签名对比。

CRC 的主要特性如下：

- ◆ CRC16：支持多项式 $X^{16}+X^{15}+X^2+X^0$
- ◆ CRC32：支持多项式 $X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$
- ◆ CRC 计算时间：4 个 AHB 时钟周期(HCLK)
- ◆ 循环冗余计算初始值可配置
- ◆ 支持 DMA 方式

5.30 唯一设备序列号（UID）

芯片内置两个不同长度的唯一设备序列号，分别为 96 位的 UID（Unique device ID）和 128 位的 UCID（Unique Customer ID），这两个设备序列号存放在闪存存储器的系统配置块中，它们所包含的信息在出厂时编写，并保证对任意一个芯片在任何情况下都是唯一的，用户应用程序或外部设备可以通过 CPU 或 JTAG / SWD 接口读取，不可被修改。

UID 为 96 位，通常用来做为序列号或作为密码，在编写闪存时，将此唯一标识与软件加解密算法相结合，进一步提高代码在闪存存储器内的安全性，也可用于激活带安全功能的自举程序（Secure Bootloader）。

UCID 为 128 位，它包含芯片生产及版本相关信息。

5.31 串行单线 JTAG 调试口（SWJ-DP）

内嵌 ARM 的 SWJ-DP 接口，这是一个结合了 JTAG 和串行单线调试的接口，可以实现串行单线调试接口或 JTAG 接口的连接。JTAG 的 TMS 和 TCK 信号分别与 SWDIO 和 SWCLK 共用引脚，TMS 脚上的一个特殊的信号序列用于在 JTAG-DP 和 SW-DP 间切换。

6 订购信息

表 6-1. CMT2391F128 订购信息

型号	描述	封装	包装选项	运行条件	最小起订量
CMT2391F128-EQR ^[1]	CMT2391F128, 低功耗 Sub-1GHz 射频收发 SoC	QFN68 (7x7)	编带盘装	1.8 to 3.6 V, -40 to +85°C	3,000
备注: [1]. “E” 代表扩展型工业产品等级，其支持的温度范围是从- 40 到+ 85°C。 “Q” 代表 QFN 68 的封装类型。 “R”代表编带及盘装类型，最小起订量（MOQ）是 3,000 片。					

如需了解更多产品及产品线信息，请访问 www.hoperf.cn
有关采购或价格需求，请联系 sales@hoperf.com 或者当地销售代表。

7 封装外形

CMT2391F128 的封装信息如下图及下表所示。

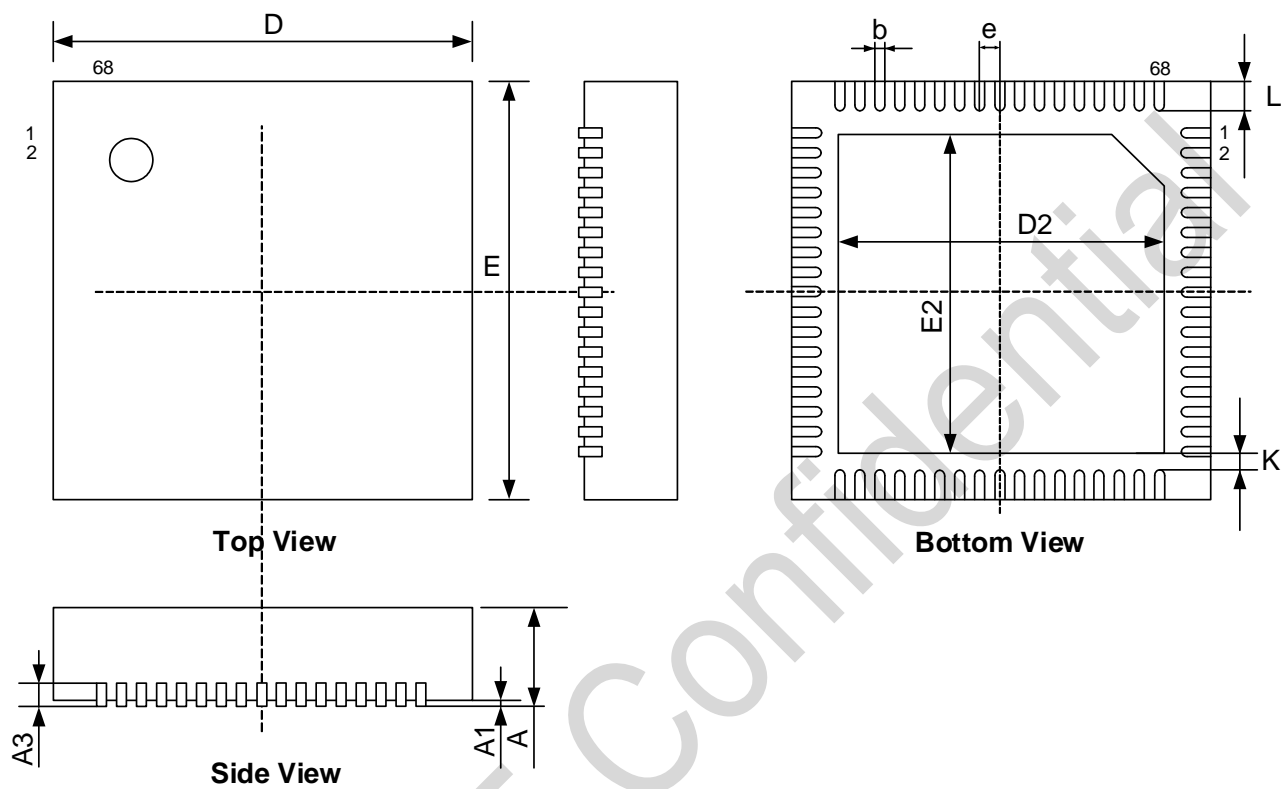


图 7-1. CMT2391F128 封装图

表 7-1. CMT2391F128 封装尺寸

符号	尺寸(毫米mm)		
	最小值	典型值	最大值
A	0.65	0.75	0.85
A1	--	0.02	0.05
A3	0.18	0.203	0.25
b	0.10	0.15	0.20
D	6.90	7.00	7.10
E	6.90	7.00	7.10
e	--	0.35	--
D2	5.39	5.49	5.59
E2	5.39	5.49	5.59
L	--	0.40	--
K	0.20	--	--

8 丝印信息

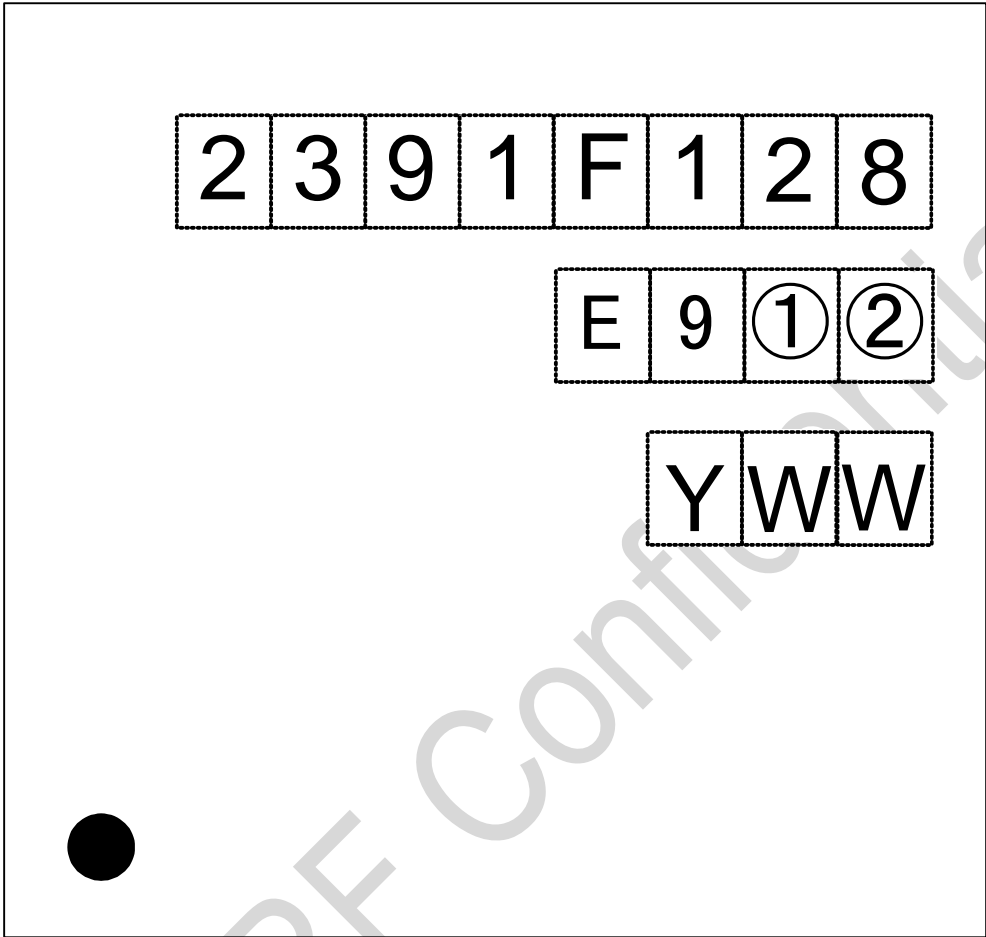


图 8-1. CMT2391F128 顶部丝印

表 8-1. CMT2391F128 顶部丝印说明

丝印方式	激光
管脚 1 标记	圆圈直径 = 0.3 mm
字体尺寸	0.5 mm, 右对齐
第一行丝印	2391F128, 代表型号 CMT2391F128
第二行丝印	E9①②内部跟踪编码
第三行丝印	日期代码, 由封装厂分配, Y 表示年的最后一位数, WW 表示工作周。

9 文档修订

表 9-1.文档修订记录

版本号	章节	修改记录	日期
0.1	All	初始版本	2023-03-31
0.2	1.4	“同信道抑制比”，“邻道抑制比”，“阻塞抑制比”，“镜像抑制比” 的单位从 dBc 改为 dB。	2023-05-23

HOPERF Confidential

10 联系方式

深圳市华普微电子股份有限公司

中国广东省深圳市南山区西丽街道万科云城三期 8A 栋 30 层

邮编： 518052

电话： +86 - 755 - 82973805

销售： sales@hoperf.com

网址： www.hoperf.cn

Copyright. Shenzhen Hope Microelectronics Co., Ltd. All rights are reserved.

The information furnished by HOPERF is believed to be accurate and reliable. However, no responsibility is assumed for inaccuracies and specifications within this document are subject to change without notice. The material contained herein is the exclusive property of HOPERF and shall not be distributed, reproduced, or disclosed in whole or in part without prior written permission of HOPERF. HOPERF products are not authorized for use as critical components in life support devices or systems without express written approval of HOPERF. The HOPERF logo is a registered trademark of Shenzhen Hope Microelectronics Co., Ltd. All other names are the property of their respective owners.