

CMT221xLH单接收芯片原理图及PCB版图设计指南

1. 概要

本应用文档为使用 CMOSTEK NextGenRF™ 系列单接收芯片进行产品开发的用户提供基本的原理图和 PCB 版图设计指南，以期望帮助用户快速实现应用所需要的性能指标：如改善灵敏度、降低功耗和系统成本、提高抗干扰能力等。

本文档涵盖的产品型号如下表所示。

表 1. 本文档涵盖的产品型号

产品型号	工作频率 (MHz)	调制方式	主要功能	配置方式	封装
CMT2210LH	300 - 480	OOK	直通单收	EEPROM	SOP8
CMT2217LH	300 - 960	OOK	直通单收	EEPROM	SOP8

本文将以 CMT221xLx EM 原理图和 PCB 设计为参考，从以下几个方面来阐述使用 CMOSTEK NextGenRF™ 系列单接收芯片的注意事项：

- 射频输入设计
- 晶体电路设计
- 数字信号设计
- 电源及地设计
- 灵敏度优化考虑
- 测试电路设计
- 设计检查项

目录

1. 概要.....1

2. 射频输入匹配.....3

3. 晶体电路设计.....6

4. 数字信号设计.....7

5. 电源及地设计.....8

 5.1 电源滤波电路设计.....8

 5.2 铺地设计.....8

6. 灵敏度优化考虑.....9

7. 测试电路设计.....10

8. 设计检查项.....11

9. 文档变更记录.....13

10. 联系方式.....14

2. 射频输入匹配

匹配网络通过将天线的阻抗匹配值芯片射频输入阻抗，达到提高接收灵敏度的设计目标。

CMOSTEK NextGenRF™ CMT221xLx 系列单接收产品采用的是单端 LNA 输入，仅需要一个电容 C0 和一个电感 L2 就能将实现匹配功能。多数时候，在天线输入端加上由 L2 和 C1 构成的带通滤波器网络能有效滤除复杂电磁环境给接收机带来的干扰。完整的匹配网络如下图所示。

根据不同的封装形式和不同的应用频段，用户需要选用不同元件值进行匹配。

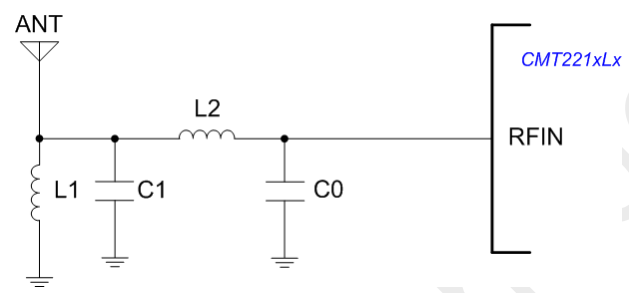


图 1. CMT221xLx 射频输入匹配网络

说明如下：

- 1. 上图暂不涉及射频匹配网络以外的其他电路。
- 2. 不同封装、不同频点的匹配网络元件值如下表所示。其中：
 - a) L2、L2 规格为：±5%，0603 叠层片状电感；
 - b) C0、C1 规格为：±0.25 pF，0603 NP0，50 V。

表 2. 单接收匹配网络元件值

产品型号	封装	频段 (MHz)	推荐匹配			
			L1 (nH)	C1 (pF)	C0 (pF)	L2 (nH)
CMT2210/17LH	SOP8	315	62	12	3	68
		433	36	10	3	36
CMT2217LH	SOP8	868	8.2	7.5	-	12
		915	8.2	7.5	-	10

不同频点下射频输入等效阻抗如下表所示。

表 3. 输入等效阻抗

频率 (MHz)	RFIN 管脚输入等效阻抗	
	Z _{RFIN}	R _{RFIN} // C _{RFIN}

315	$120 - j*98$	$200\ \Omega // 2.0\ \text{pF}$
433.92	$79 - j*106$	$220\ \Omega // 2.2\ \text{pF}$

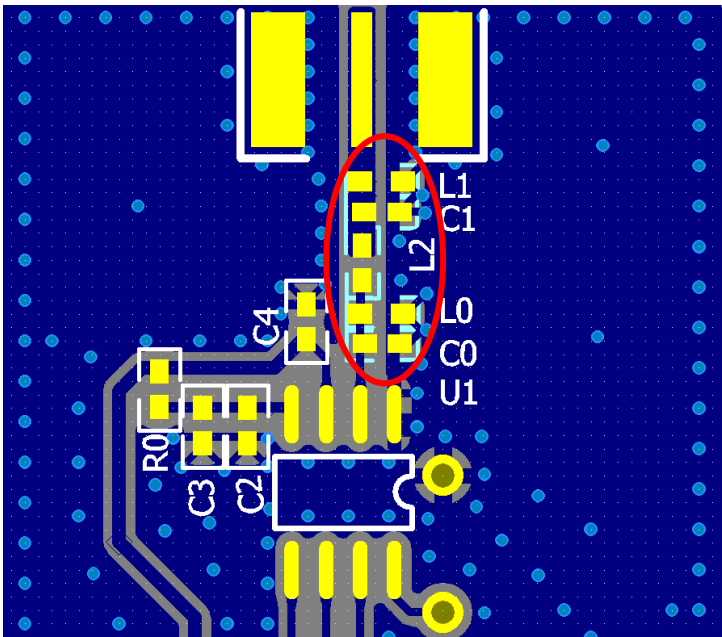


图 2. 匹配网络的版图设计参考

上图给出的单接收产品匹配网络的版图，基于 CMT221xLx-EM 的版图设计。其中：

1. 保持射频信号路径尽量短，以减小信号能量传输带来的损失。
2. 将 L1、L2、C0 和 C1 尽量靠近摆放，并且尽量靠近射频输入端口。
3. L1 和 L2 之间相互垂直摆放，以减少它们之间的互感。
4. 芯片的射频输入端阻抗较高，靠近射频输入端的传输线用较窄线宽，上图参考设计中用的是 0.2 mm 线宽；L2 和天线接口（P1）之间的传输线用的是 1 mm 宽的传输线，用以匹配 50 Ω 阻抗的天线。
5. 尽量不要在射频器件及走线上布丝印，厚重的丝印会影响 PCB 的介电常数和射频输出阻抗。
6. 铺地和射频走线应该尽量平整，以减小传输线上的阻抗波动。
7. 1/4 波长 ($\lambda/4$) 的单极子天线是一种很常用的天线。它其实就是偶极子天线，一半由一个 1/4 波长的天线组成，另一半由虚的 1/4 波长天线的地平面组成。所以，对于单极子天线的设计而言，性能的好坏取决于铺地的面积。考虑不同的成本、性能、上市时间等因素，用户可以选择不同类型的单极子天线，比如说 PCB 天线，芯片天线，胶棒天线，导线天线等。在本参考设

计中，P1 是一个连接天线用的 SMA 连接器，连接器连接的是一个阻抗为 $50\ \Omega$ 的胶棒天线，以使参考设计达到最佳性能。

CMOSTEK Confidential

3. 晶体电路设计

为了减少封装管脚个数，CMT221xLx 都采用单端晶体的设计。此外，晶体所需的负载电容已经集成到了芯片内部，PCB 上只需要接晶体到地就行了。需要注意的是，由于晶体封装不同导致寄生电容存在差异。推荐晶体规格如下：

表 4. 晶体振荡器规格

参数	符号	条件	最小	典型	最大	单位
晶体频率 ^[1]	F _{XTAL}	工作在 433.92 MHz		27.1412		MHz
		工作在 315 MHz		19.7029 ^[2]		MHz
晶体频率精度 ^[3]				±20		ppm
负载电容	C _{LOAD}	SMD32*25 mm 封装		15		pF
		49USSMD 或者 49S 封装		22		pF
晶体等效电阻	R _m				60	Ω
晶体起振时间 ^[4]	t _{XTAL}			400		us

备注：

[1]. 该系列型号都支持用外部时钟直接驱动 XOSC 管脚（需要串接一个耦合电容），峰峰值幅度要求 0.3 到 0.7 V 之间。

[2]. 如果用户选择通过 RFPDK 配置该芯片，那么工作在 315 MHz 时，所需选用的晶体频率是 26.2774 MHz。

[3]. 此处指所有的频率精度容差，包括 (1) 初始容差；(2) 晶体负载；(3) 老化；和 (4) 温度变化。可接受的晶体容差取决于射频频率以及信道间隔、带宽设置等因素。

[4]. 该参数与所用晶体有很大关系。

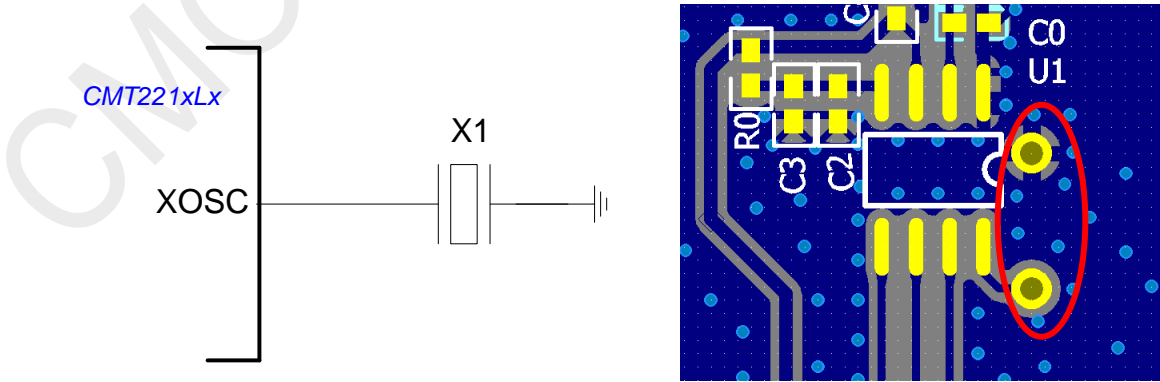


图 3. 晶体电路的原理图及版图设计

设计注意事项:

1. 因为晶体所需的负载电容已经集成到了芯片内部且固定为 15 pF，用户在选用晶体时需要考虑不同的 PCB 设计可能导致板上寄生电容变化，确保由此导致的频率偏差在应用允许范围内。
2. 晶体应该尽可能靠近接收芯片管脚 XOSC 位置摆放，减小走线长度。这样做的目的在于降低晶体受外部干扰的可能，同时减少分布电容，提高频率精度。
3. 晶体电路应尽量远离射频信号、数字信号或其它高频大幅度强干扰信号，并在其周围尽量多铺地以作隔离，以防止干扰到射频信号或者受到干扰从而影响参考时钟质量。
4. 晶体的金属外壳需要接地。

4. 数字信号设计

数字信号走线，包括 DATA 以及各个 TP（Test Point）信号，连接注意事项如下：

1. 数字信号走线应尽量远离 RF 和晶体走线区域。
2. 数字信号应尽可能用铺地围起来，以减少相互串扰。

5. 电源及地设计

5.1 电源滤波电路设计

为了减轻电源上的噪声和纹波对芯片的影响，用户应当在芯片紧靠电源管脚处加合适的滤波电容。

CMT221xLx 可以工作在供电电压为 3.0 – 5.5 V 或者 2.0 – 3.6 V 两个区间。当用户希望其设计兼容这两个供电方案时，可以考虑预留出 R0 的位置。当工作电压为 3.0 – 5.5 V 时，不焊接 R0；当工作电压为 2.0 – 3.6 V 时，R0 焊接为 0 Ω ，这时 C4 可以省掉也可以保留。R1 取值 4.7 Ω ，为串接保护电阻。电路示意如下：

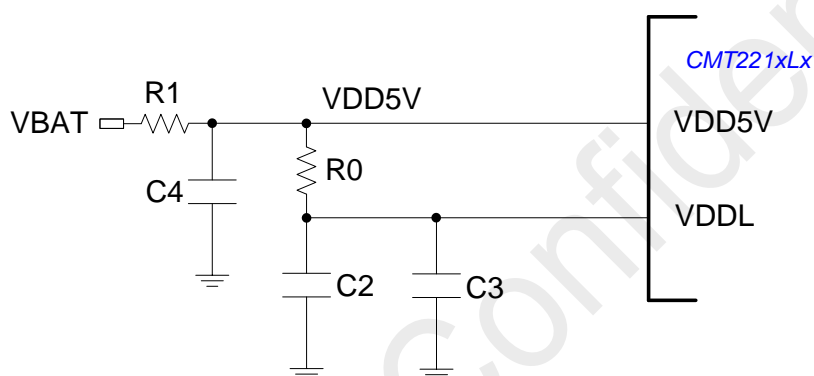


图 4. 电源滤波电路原理图

5.2 铺地设计

铺地需要注意的事项：

1. 尽量用大片的连续地做铺地设计。
2. 地线的走线应尽量使电流的回流到电源的路径回路面积最小，以减少供电环路向外部空间的电磁辐射。
3. 芯片正下方尽量多铺地，以减小对射频输出传输线阻抗连续性的影响。
4. PCB 边沿尽量多排列间隔不超过 $N/10$ 的过孔，以减小 PCB 边沿的高次谐波辐射。

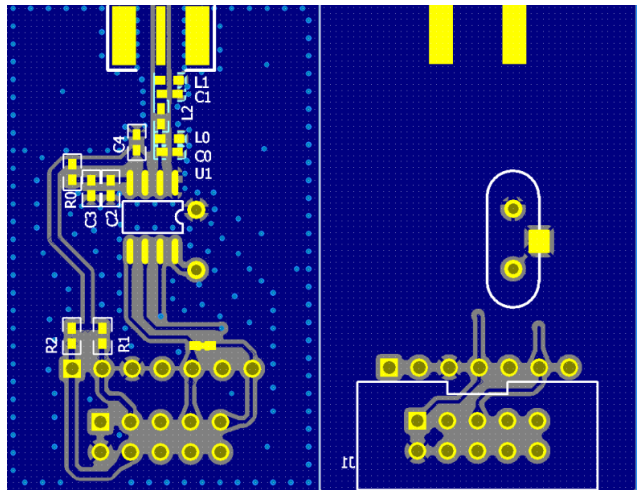


图 5. 铺地

6. 灵敏度优化考虑

第 2 章中推荐的匹配网络可以作为用户设计的参考起点。在某些应用场合，由于受到产品结构和物理空间限制，射频天线的摆放位置、扭曲程度、尺寸大小不再趋向理想，这样天线阻抗随之而产生了变化，从而导致参考设计的假定不再满足，实际通讯距离达不到要求。这时候，用户需要根据这些变化对匹配参数做修调，以达到最佳接收效果。理论上，1/4 波长天线长度随工作频率的对照如下表所示：

表 5. 波长与频率的关系

工作频率 (MHz)	λ (cm)	$\lambda/4$ (cm)
433.92	69.2	17.3
315	95.2	23.8
868	34.6	8.6
915	32.8	8.2

7. 测试电路设计

CMOSTEK 系列产品的一个特点是可以通过对芯片烧录改变芯片的功能，因此，我们强烈建议客户在设计 PCB 的时候为芯片预留测试点，以便完成以下两个功能：

- 1. 生产时方便对芯片进行烧录，以改变芯片的功能。
- 2. 方便对芯片的配置进行读取，了解芯片的配置情况。

需要预留的测试点如下表所示。

表 6. 测试点

产品型号	预留测试管脚
CMT2210LH	TP1, TP2, DATA, VDD, GND

8. 设计检查项

用户可以通过下面的检查项对比实际设计中是否已经考虑了这些细节。

表 7. 设计检查项

射频输入设计	
<input type="checkbox"/>	射频信号路径是否尽量短，以减少射频信号的损失。
<input type="checkbox"/>	将匹配网络 L2、C0 和 L1、C1 是否已经尽量靠近摆放，并且尽量靠近射频输入端口。
<input type="checkbox"/>	匹配网络的 L1、L2 摆放方向是否相互垂直，以消除互感。
<input type="checkbox"/>	射频传输线的走线宽度是否已经考虑了阻抗大小（50Ω 左右的阻抗用 1mm 左右宽的传输线）。
<input type="checkbox"/>	是否已经尽量不要在射频器件及走线上布丝印。
<input type="checkbox"/>	铺地和射频走线是否已经尽量平整。
<input type="checkbox"/>	天线长度是否接近 $\lambda/4$ 。
<input type="checkbox"/>	晶体是否已经尽量远离天线。
晶体电路设计	
<input type="checkbox"/>	晶体是否已经尽量靠近芯片 XOSC 管脚摆放，以减少走线寄生电容。
<input type="checkbox"/>	晶体电路是否已经尽可能远离数字信号等强干扰源，并在其周围尽可能多铺地。
<input type="checkbox"/>	晶体的金属外壳是否已经接地。
数字信号设计	
<input type="checkbox"/>	数字信号是否已经尽量远离 RF 和晶体走线。
<input type="checkbox"/>	数字信号是否已经尽可能用铺地围起来，以减少相互串扰。
电源及地设计	
<input type="checkbox"/>	电源滤波电容在版图上是否已经尽量靠近芯片的电源管脚。
<input type="checkbox"/>	5V 和 3V 双区间供电的需求存在时，是否预留了 0Ω 跳线位置以备设计复用。
<input type="checkbox"/>	是否已经尽量用大片的连续地做铺地设计。
<input type="checkbox"/>	地的走线是否已经使得电流的回流路径环面积最小，以使从供电环路上向外辐射尽量减小。
<input type="checkbox"/>	芯片底部是否已经尽量多铺地，以减小对射频输出传输线阻抗连续性的影响，并增强 ESD 性能。
<input type="checkbox"/>	PCB 边沿是否已经尽量多大间距不超过 $\lambda/10$ 的过孔，以减小 PCB 边沿的高次谐波辐射。
测试电路设计	
<input type="checkbox"/>	PCB 设计是否已经预留了测试烧录点。

参考设计

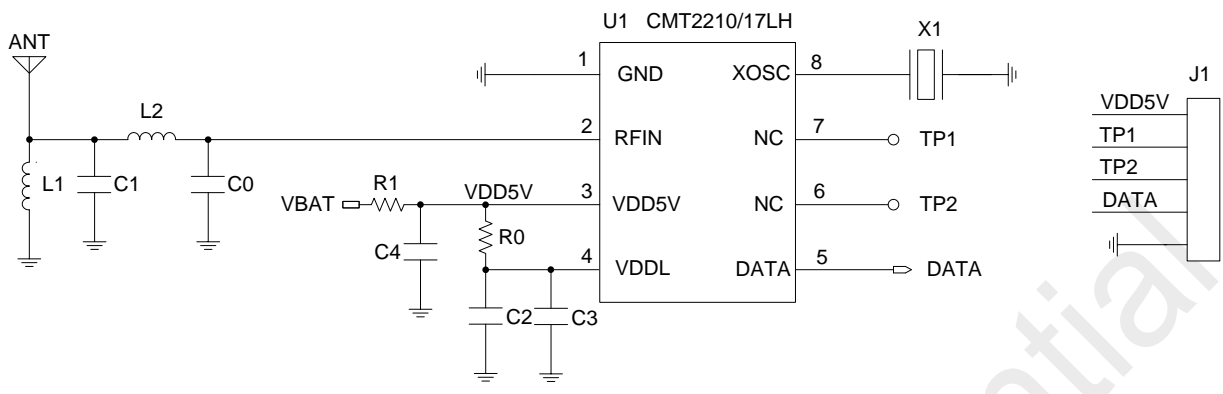


图 6. CMT221xLH EM 原理图参考设计

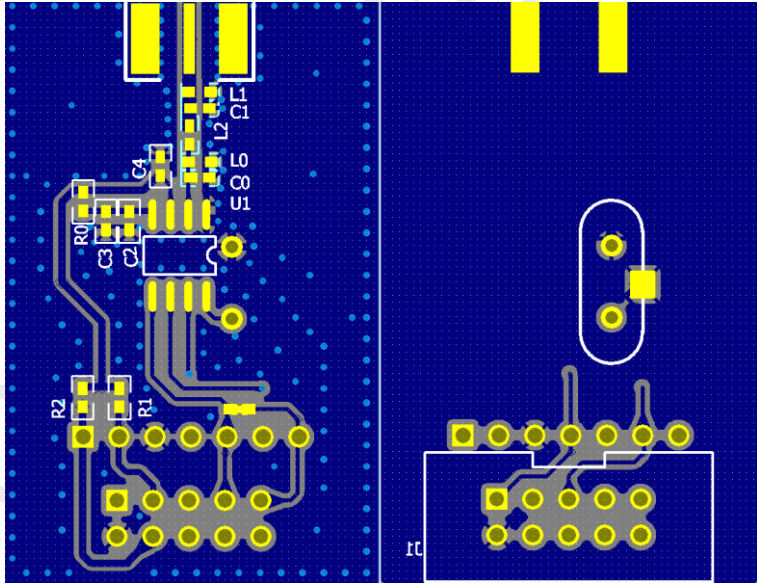


图 7. CMT221xLH EM 版图参考设计

9. 文档变更记录

表 8. 文档变更记录表

版本号	章节	变更描述	日期
0.9	所有	初始发布版本	2017-08-01
1.0	所有	增加了新型号 CMT2217LH 的相关描述	2018-08-30

CMOSTEK Confidential

10. 联系方式

无锡泽太微电子有限公司深圳分公司

中国广东省深圳市南山区西丽镇平山村民企科技园 3 栋 2 楼

邮编: 518000

电话: +86-755 - 83235017

传真: +86-755 - 82761326

销售: sales@cmostek.com

技术支持: support@cmostek.com

网址: www.cmostek.com

Copyright. CMOSTEK Microelectronics Co., Ltd. All rights are reserved.

The information furnished by CMOSTEK is believed to be accurate and reliable. However, no responsibility is assumed for inaccuracies and specifications within this document are subject to change without notice. The material contained herein is the exclusive property of CMOSTEK and shall not be distributed, reproduced, or disclosed in whole or in part without prior written permission of CMOSTEK. CMOSTEK products are not authorized for use as critical components in life support devices or systems without express written approval of CMOSTEK. The CMOSTEK logo is a registered trademark of CMOSTEK Microelectronics Co., Ltd. All other names are the property of their respective owners.